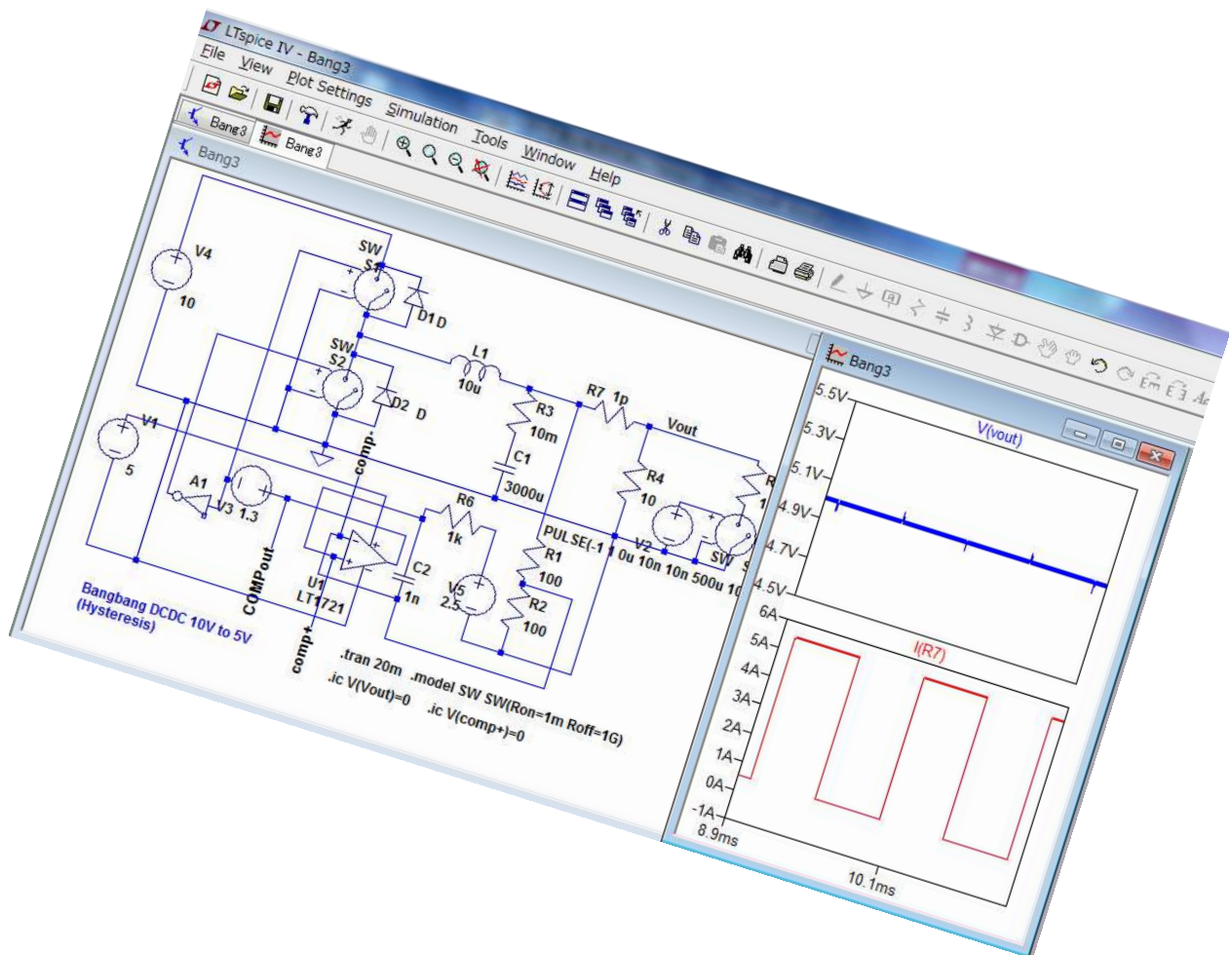


LTspice で学習する

電源回路



KA.tech.

Ver16023

はじめに (LTspice で学習する 電源回路)

本書は電源回路の学習を行うものであり、LTspice を用い電源動作を実感しながら理解を深める工夫を込めたものである。

電源回路を設計に向けて学ぼうとするとき学習資料は多くの場合回路図と状態図、動作波形写真、計算式による解説が用いられる。

しかし静的な波形や数式では動作状態を実感して理解するには不足なことが多い。

その点回路シミュレータ解析を用いることで回路各部の波形、電圧電流が動的にチャート上に解析でき動作状態が実感でき理解が効果的に行われる。

本書では電源回路の動作解説や設計解析を回路シミュレータを用いて行い、その解説過程で読者諸氏にシミュレータ解析に参加していただき電源動作理論を実感して身に付けていただくという工夫しました。

回路シミュレータの選定は下記観点から LTspice を使用します。

電源回路はパワー変換主要回路はパルスやスイッチング回路で構成される。

このため電源回路を一般の回路シミュレータで解析すると解析計算が収束しずらく解析が不可能なケースが多々発生する。

パルスやスイッチング回路処理に対応した回路シミュレーターが LTspice であります。

幸いにも LTspice は電源技術者のもとより回路技術者にリニアアテック社の好意により無償で提供されている。

本書では謝意を持って各種電源の設計解析に LTspice を利用させていただきます。

前記した動作理論の実感や理解への工夫という点については下記になります。

本書の*回路図はすべて添付回路図集ファイルに解析動作が可能な LTspice 回路図データで収納してあり読者諸氏の PC にダウンロードすれば PC 上に動作する回路図となる。

(*回路図は fig ナンバーfig5.4.3.2(5432cct)の()4 数字+cct 名でファイルに収録してある)。

各電源トポロジー別 (電力変換+制御)、電源制御方式、制御設計 他 は各章にまたがって回路図解と解析波形に示して動作理論解析波形の解説を行っている。

また解析操作に LTspice 特有あるいはスイッチング回路特有の操作があればその都度解説の中で説明している。

本書の fig 画面使用と解説により回路データを用いず学習でもいいが解説を実感し理解するには諸氏が回路データを PC 上にロードされ自由に興味ある回路定数や結線を変更して理論から予測した特性変化が出るか実験することをお奨めしたい。それらの過程で電源回路動作の理論がプリント基板を測定するのと同じように (あるいはそれ以上) に理解いただけるものと信じます。

さらには諸氏なりの仕様を仮想してその特性を出すような回路方式の選定や回路変更を回路図データにおこない仕様実現されれば諸氏自身が基盤を組み立て測定し、特性が得られたということに近くなるはずです。

上記回路変更や定数変更の過程では自然に LTspice のエディター機能、作図、チャート波形の使い方など習得できることとなります。

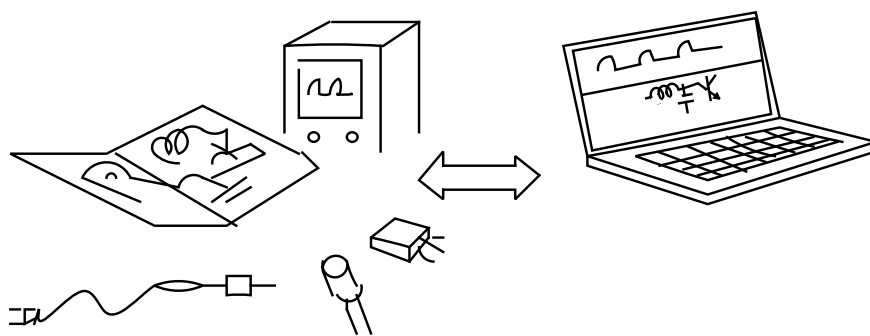
回路を動かす `spice-command`(命令) は回路図上記入済みのもの利用や本書 1 章の操作(簡単説明)も利用できますがさらに高度なものは 市場出版済専門書 `web-site` などから取得すれば有効でしょう。

また本書の回路図、LTspice に限らず回路シミュレータを諸氏ご自身で理解いただき解析効率を上げるための工夫を期待して 6 章に LTspice を含め回路シミュレータの上手な使い方を記述してあります。

なお本書の回路図は理論的なものでありますのでそのまま実機に載せて即動作するものとは限りません、実機に応用に関しては定格その他諸氏の責任でおすすめてください。

本書が 諸氏の電源回路への理解を深め、次ステップの LTspice をはじめとする CAD 化電源回路設計への 一助となれば小生の幸いとするとところです。

荒川洗治



もくじ (LTspice で 覗く 電源回路)

	page
第 1 章 LTspice の操作(簡単説明)	7
1.1 回路図作成	8
1.1.1 LTspice のダウンロード	8
1.1.2 回路図エディター画面起動	8
1.1.3 回路素子の配置と結線	8
1.1.4 部品の定格指定	9
1.1.5 多機能素子の動作指定	10
1.2 回路状態、解析状態の設定	11
1.3 半導体部品へのマクロモデル設定	11
1.3.1 バイポーラトランジスタの設定	12
1.3.1 MOSFET の設定の設定	13
1.3.2 COMPARETOR と OPAMP の設定	13
1.4 解析の実施	14
1.4.1 時間解析 (.tran)	14
1.4.2 周波数解析 (.ac) / 受動回路	15
1.4.3 周波数解析 (.ac) / 能動回路	17
1.5 PC 容量節約(.raw ファイル処理)	33
第 2 章 電源回路トポロジー別動作解析	19
2.1 電源回路の分類マップ	19
2.2 リニア電源	20
2.3 スイッチング電源	23
2.3.1 Buck DC-DC (非絶縁 PWM)	23
2.3.2 Boost DC-DC (非絶縁 PWM)	27
2.3.3 Inverting (非絶縁 PWM)	33
2.3.4 Forward (絶縁 on-on PWM)	40
2.3.5 Fly-back (絶縁 on-off PWM)	46
2.3.6 Half-bridge (絶縁 on-on PWM)	52
2.3.7 Two-tra-forward (絶縁 on-on PWM)	57
2.3.8 Full-bridge (絶縁 on-on PWM)	63
2.3.9 Qashi-resonant-fly-back (絶縁 on-off Ton 制御共振)	67
2.3.10 Active-clamp (絶縁 on-on PWM 共振)	74
2.3.11 Asymmetric-half-bridge (絶縁 on-on 疑 PWM 共振)	83
2.3.12 PFC (非絶縁 on-off Ton 制御)	93

2.4	スイッチング電源 (絶縁 特殊)	99
2.4.1	RCC (絶縁 自励)	99
2.4.2	LLC (絶縁 共振 周波数制御)	105
2.4.3	マグアンプ (絶縁 磁気飽和 SW PWM)	113
2.4.4	ジェンセン (絶縁 磁気飽和自励)	121
2.4.5	双方向電源 (絶縁 on-on 50%duty)	128
2.5	スイッチング電源 (非絶縁 ヒステリシス)	135
2.6	特殊電源	141
2.6.1	非接触給電 (非接触 共振)	141
2.6.2	スイッチドキャパシタ (非絶縁)	146
第3章	スイッチングトランスの解析	147
3.1	絶縁トランスの等価回路	148
3.1.1	理想トランスとスイッチングトランス	148
3.1.2	スイッチングトランスの等価回路	148
3.2	トポロジー別トランス設計	151
3.2.1	Forward (on-on)用スイッチングトランス	151
3.2.2	Fly-back(on-off)用スイッチングトランス	153
3.2.3	LLC/用疎結合トランスの設計	155
第4章	電源制御の解析	160
4.1	制御のモード	160
4.1.1	ボルテージモード制	161
4.1.2	カレントモード制御	163
4.1.3	ヒステリシスモード	166
4.2	制御の安定性解析	167
4.2.1	伝達関数と制御特性	167
4.2.2	ボード線図に安定性解析	169
4.2.3	電源の制御安定性解析	171
4.2.4	LTspice による FRA1	172
4.2.5	LTspice による FRA2	174
4.2.6	制御回路の設計(ボルテージモード)	177
4.2.7	制御回路の設計(カレントモード)	184
第5章	電源特性の定量測定	188
5.1	効率測定	188

5.1.2	回路変更と効率見積	190
5.2	力率、高調波測定	192
5.2.1	AC-DC 変換と力率	192
5.2.2	PFC 電源の力率と高調波	193
第 6 章	LTspice を上手に電源回路解析に使うには	195
6.1	シミュレータの動作を知る	195
6.1.1	回路図から回路方程式へ	196
6.1.2	回路方程式の解法 (反復繰り返し計算)	197
6.2	解析計算の収束性	199
6.2.1	リニア回路の解析	199
6.2.2	非線形回路の解析	199
6.2.3	スイッチング回路の解析	199
6.3	シミュレータを高速で動かす	200
6.3.1	サージ、スパイク波形の抑圧	200
6.3.2	解析エンジンでの解析効率向上	201
6.3.3	パルス回路から AC 回路へ	201
第 7 章	電源回路解析に多用する数式	202
7.1	素子に流れる電気量	202
7.1.1	インダクター関連 数式	202
7.1.2	キャパシタ (コンデンサー) 関連 数式	203
7.2	オペアンプのゲインと位相	204
7.2.1	直流増幅 数式	204
7.2.2	交流増幅 数式	205
7.2.3	制御回路設計の 数式	206

第1章 LTspice の 操作 (簡単説明)

本章では第2章の電源回路解析を理解するとともにその回路の応用変更回路するためのLTspiceの必要最低限の操作を紹介する。

本章以下各章のシミュレーター動作、操作において本簡単解説で不足する事象については各種LTspice操作専門書またはLTspice関連webサイトを利用されたい。

以下LTspiceによる電源回路の記述と回路変更を第2章のBuck型DCDCコンバータパワー変換部(fig 1.0.01)を例に解説する。

回路図部(各素子の定格入り)

部品選定し結線し回路とする。

主に上から2段目の部品バーを用いて描画する。

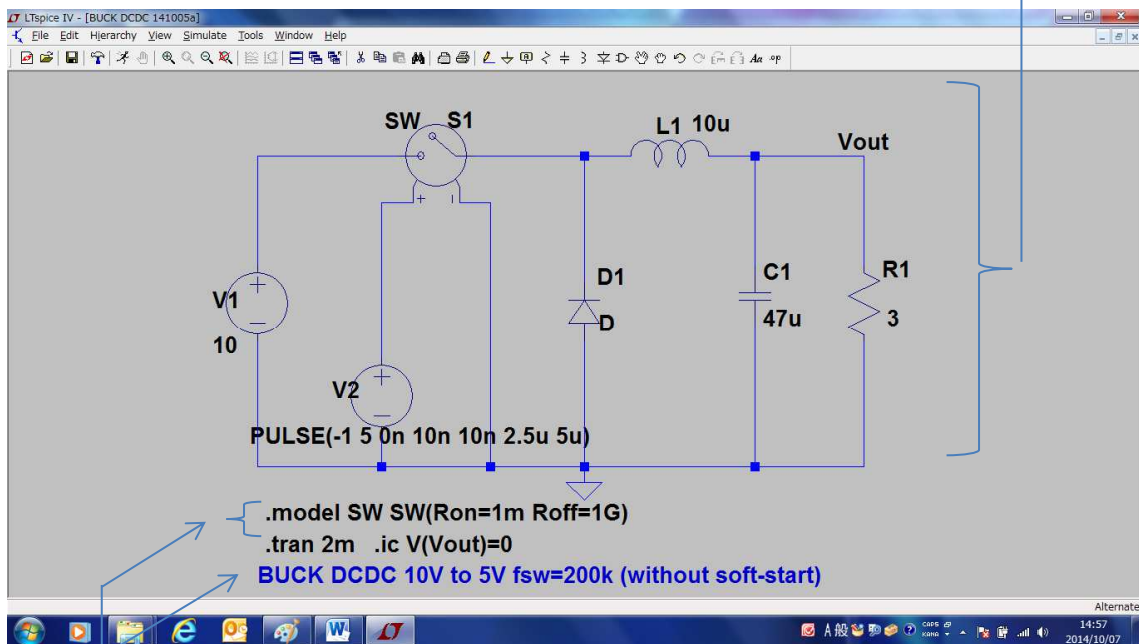


Fig 1.0.0.1 (2321cct) Buck 型 DCDC 回路図

Spice commandであり 解析への各種命令

. が頭につくので dot-command と呼び

タスクバー→Edit→SPICE Directive →SPICE directive で指定する

定フォーマットに従って記入。

コメントであり 回路説明などで解析には関係ない

タスクバー→Edit→SPICE Directive →comment で指定する

自由フォーマット。

1.1 回路図の作成

◇1.1.1 LTspice のダウンロード

インターネットで LTspice をダウンロードする。

◇1.1.2 回路作成画面の起動

LTspice を起動したタスクバーの File→新規回路作成は **new schematic** を選択して回路作成画面にする (Fig.1.1.2.1)。既存回路ファイルデータがあるときは **open** を選びデータを取り入れ回路図を得る。またデータ.asc があるときは直接データのアイコンクリックでも回路図入りで起動できる。

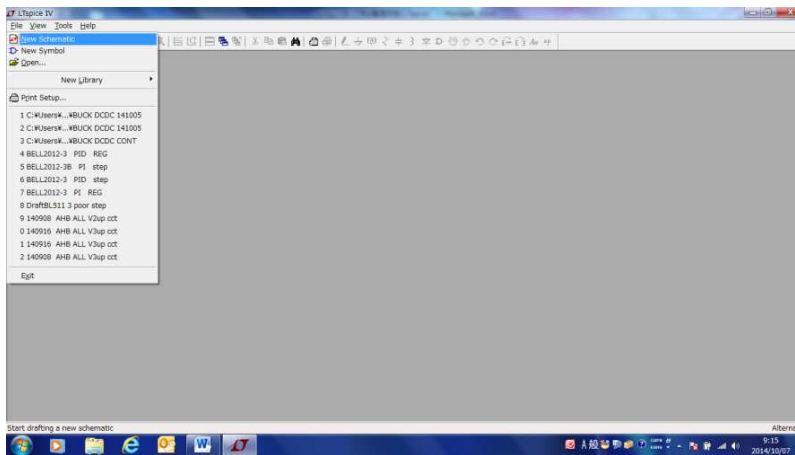


fig.1.1.2.1 New Schematic 選択例

◇1.1.3 回路部品の選択と結線

部品をタスクバーから選択。高使用頻度の部品 R C L などは直接選択可能であり、IC など高機能部品はゲートマークの中から選択する。結線ワイヤー鉛筆、部品ピック矢印、移動手袋、削除用はさみを使い回路を組む (fig.1.1.3.1)。

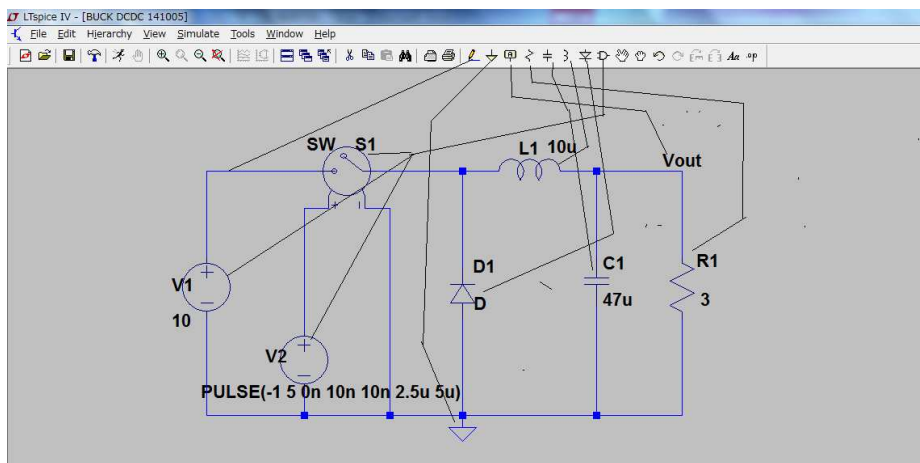


fig.1.1.3.2 回路図と部品御選択

◇1.1.4 部品の定格指定

部品は回路解析前に定格を指定する必要がある。

グラウンド、基本素子 R,C,L、ノードラベル の選定と定格指定

“グラウンド”は解析に必須なので忘れず入れる。RCL は素子選定後素子画面を右クリックで定格指定画面を得て必要な定格値を記入する。

また主要ノードには初期状態指定する、バーにある看板型アイコンを選定し記号を記入しノードに取りつける(fig 1.1.4.1)。

キャパシタ、インダクタの **u** 表示がデフォルト設定では u 字とならないが解析上問題ない。必要に応じ tools→ control panel→ netlist の手順で u に設定できる。

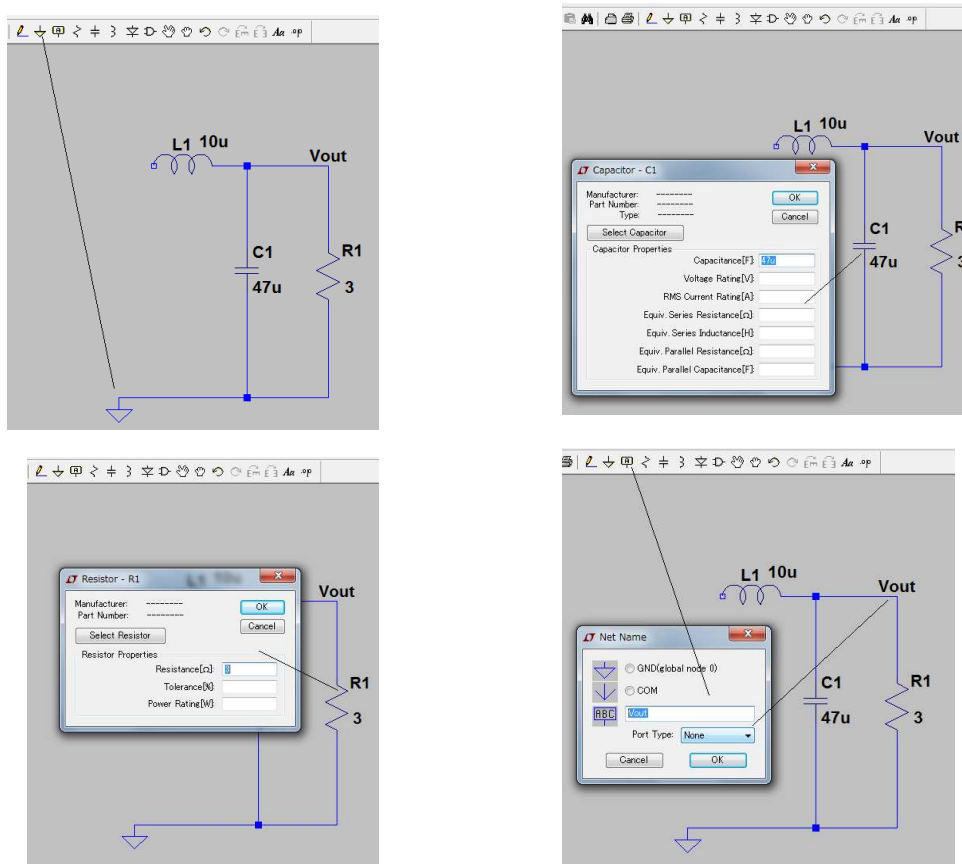


Fig 1.1.4.1 基本素子の定格記入例

◇1.1.5 多機能素子の動作指定 (電圧素子、SW 素子、の動作指定)

これらの素子は複雑な動作が指定できる。電圧素子は素子を右クリックで行う。

SW 素子については SPICE directive で行う。指定方法の違いは個別に覚えることになる。

電圧素子は 直流、パルス波、三角波、正弦波 など多彩に指定できる。

電源素子は部品バーのゲートマーク→Select component 画面に入り voltage で選択する。

- ・ 直流は部品画面右クリックで voltage-source 画面電圧指定する。
- ・ パルスや正弦波は同画面→の advanced→Independent voltage source 画面に従い必要な設定する。Fig1.1.5.1 の例では Vlow=-1V Vhigh=5V Tdelay=0 Trise=0nS Tfall=0n Ton=2.5 uS Period=5uS (-1~5V 200khz 50%のパルス)となる(fig 1.1.5.1)。

SW 素子は Edit→SPICE Directive →SPICE directive に進み .command (ドットコマンド) で指定す指定フォーマットで指定する。このフォーマットは他の dot command とともに入門書、web などで学んでほしい。Fig1.1.5.2 の例では SW の Ron=1mΩ Roff=1GΩ {thresh=0V(デフォルト)} である。

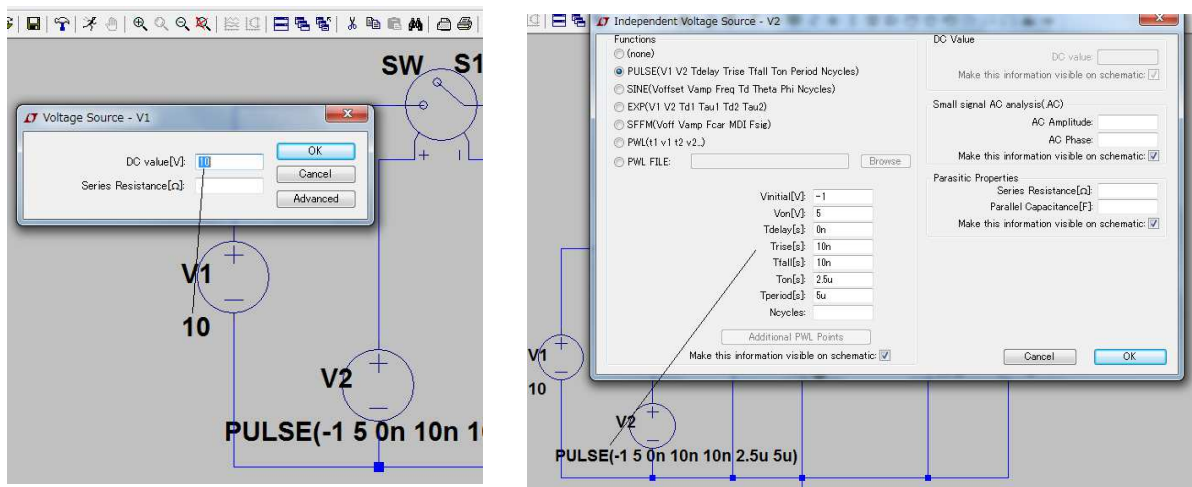


fig 1.1.5.1 直流電圧とパルス設定

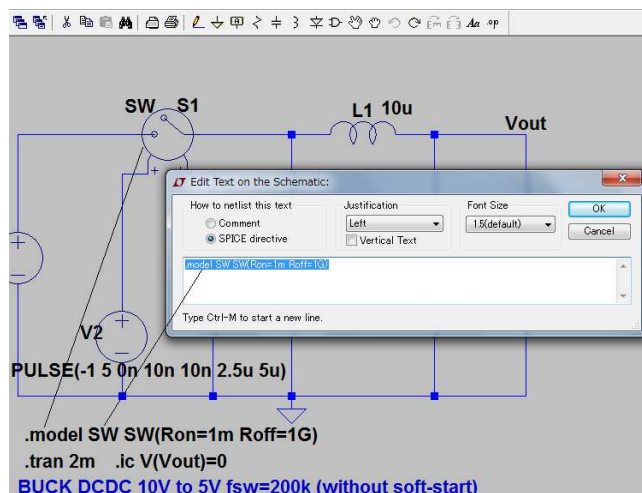


fig 1.1.5.2 SW の特性設定(.command ドットコマンドにて)

1.2 回路状初期状態の設定

電源回路においては回路の起動時と安定時の解析が必要である。

特に起動時は実電源に存在する初期状態を設定しておくことで起動が無理なく実回路に近い状態の解析ができる。fig 1.2.1.1 では Vout ノードを 0 V（起動時コンデンサー 0 V）に設定している。状態設定は .command（ドットコマンド）で設定（Edit→SPICE Directive→SPICE directive 画面）する。

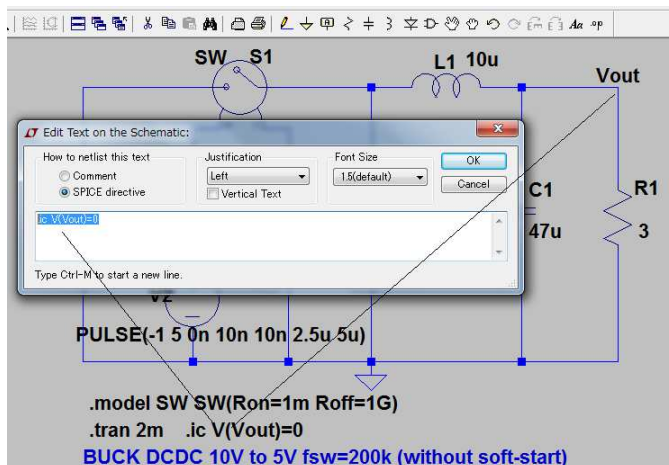


fig 1.2.1.1（起動初期条件設定）

1.2 半導体へのマクロモデル適用

スイッチング回路解析では回路のトポロジー中心の場合スイッチを機械的な SW（抵抗高抵抗と低抵抗の切替）でおこなってもかまわない。

回路解析を定量的（たとえば効率など）に実回路に近づけておこなう時にはスイッチ素子をトランジスタや MOSFET に置き換えておこなう必要がある。

LTspice スパイスではトランジスタや MOSFET を実品番名でその品番に近似した特性を発生するマクロモデルを用意している。マクロモデルはデスクリートの素子の他の半導体で構成される IC やダイオードも半導体メーカーの協力のもとにライブラリーとして用意されている。これらのマクロモデルのを用いれば定量精度はさらに向上する

◇1.3.1 バイポーラトランジスタの設定

まず ゲートマーク→Select component 画面に入り npn あるいは pnp 所要の接合のトランジスタを選択する。選択したトランジスタを回路図上に接続する。このままでも回路完成させても粗い(一般の)動作確認や時間解析(tran)は可能である。

しかしクリチカル（自励発振動作確認や 耐圧マージン確認）特性を解析するには npn や pnp を所定の品番（hfe や Vce が組み込まれた マクロモデルトランジスタ）に置き換える

必要がある。品番への置き換えは図上の npn、 pnp を右クリックし bipolar transistor 画面の Pick New Transistor →Select bipolar Transistor 画面 で品番を選択すると品番のマクロモデルトランジスタに置き換わる (fig 1.3.1.1)。

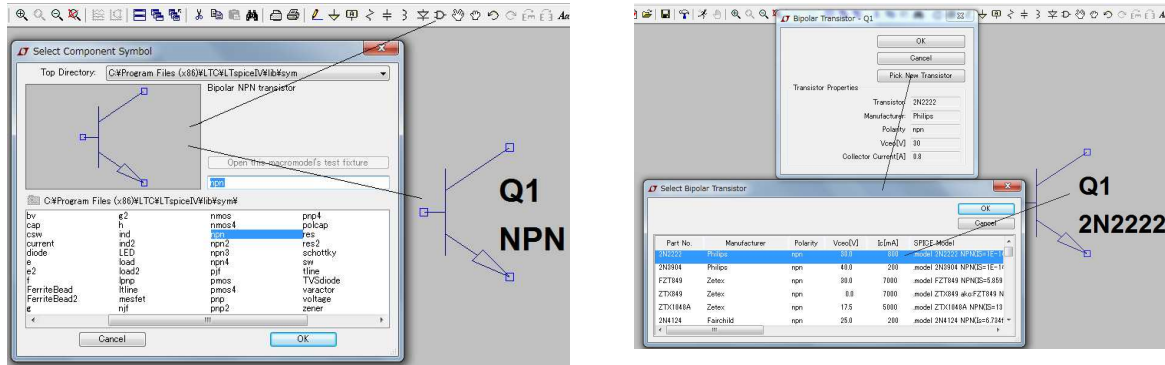


Fig1.3.1.1 バイポーラトランジスタの設定

◇ 1.3.2 MOSFET の設定

MOSFET の場合バイポーラトランジスタの場合と同様である (fig 1.3.2.1)。

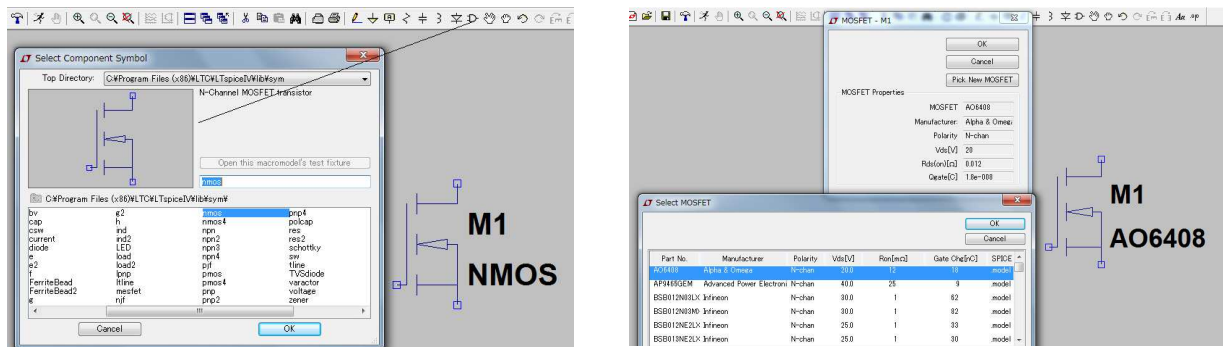


fig 1.3.2.1 MOSFET の設定

◇ 1.3.3 Comparator と Op-amp の設定

Comparator と Op-amp は直接品番のマクロモデルを指定する (Fig 1.3.3.1)。

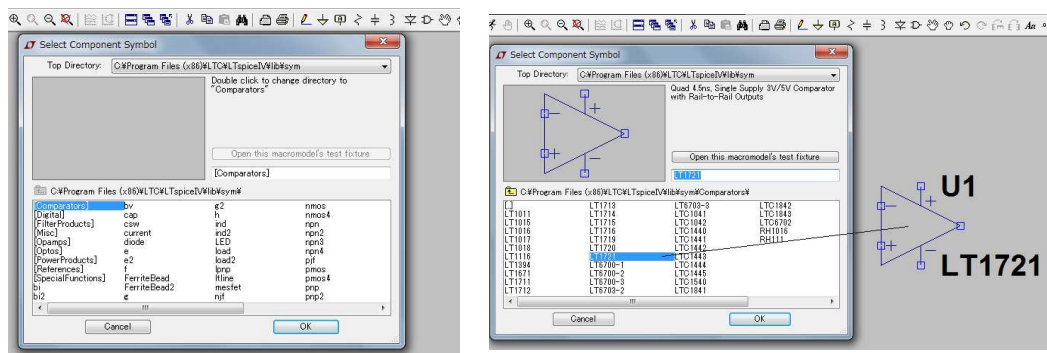


Fig1.3.3.1 Select component 画面→選択画面となる。 Comparator と Op-amp の設定

1.4 解析の実施

回路図が完成すると回路解析（動作シミュレーション）が可能となる。

回路解析は数種類のモードがあるが電源回路の解析によく用いられる **transient** と **AC analysis** を説明する。

◇1.4.1 時間解析(tran 解析)

完成した回路図を表示したままタスクバーの **Simulate** を選択すると **run** を要求が窓に出る。この **run** を選択すると **Edit simulation command** 画面に飛ぶ。この画面上 **tran** を選択すると解析時間幅など要求される (fig 1.4.1.1)。

この指定を **2m** とセットすると自動的に **0mS~2mS** 間の時間解析が開始される、同時に回路図上には **.tran 2m** という **.command** が書き込まれる。以後この時間変更はこの **.command** を右クリックで行う、

時間解析開始は画面上部にオシロ画面が出る (fig 1.4.1.2)。

もし回路動作が不完全な時（回路にグランドがないなど）はオシロ画面の代わりに問題点を書いたコメントが出る。

またシミュレーション（計算結果が収束しない）ができない時はオシロは出るが PC 画面左下の **simulation time** が進まなくなる。

その対応（収束不良）は第 6 章参照ください。

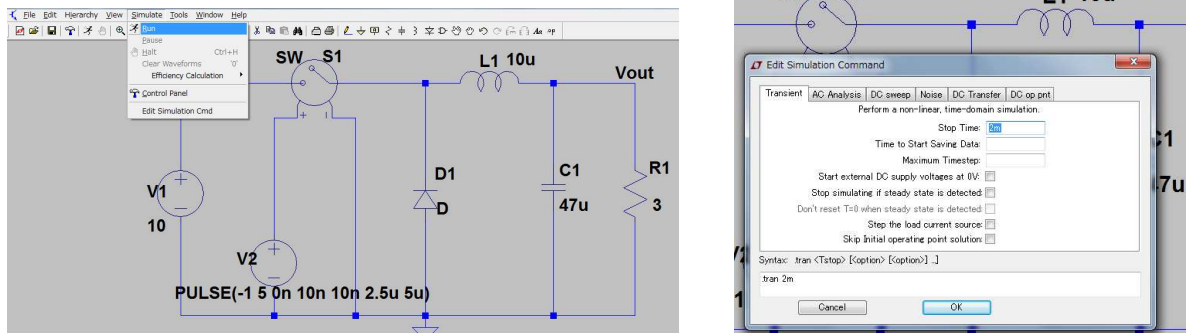


fig 1.4.1.1 .tran の指定

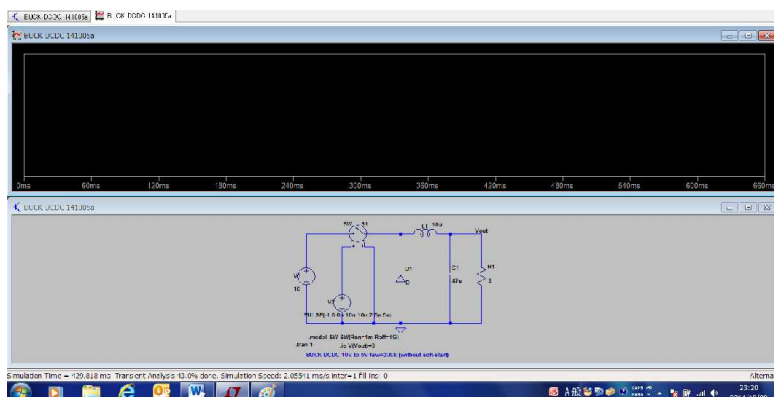


fig 1.4.1.2 解析中の画面

解析中や解析終了後 回路図の部分にカーソルで触れると電圧プローブマークが現れ左クリックするとその部分の電圧波形（対時間の）が、回路図の素子にカーソルをかぶせると電流プローブマークが現れその状態で左クリックすると電流波形（対時間の）がオシロ画面に得られる。画面左下に `loango pereting data` と表示されれば解析終了である。

得られた電圧波形や電流波形はオシロ画面のスケール軸や表示名をクリックして変更窓に従って操作することで大きさ、色、またオシロ画面に出るカーソルで数値測定もできる

オシロ画面のバックが黒で `print` 画面がみづらい時はタスクバーの `tools`→`color preference` 画面で白（3原色 100%）に変更できる。回路図画面同様である（fig 1.4.1.3）。

また複数の測定ポイントの時間解析オシロ画面を並べて表示したいときはオシロ面を選択してタスクバー上の `Plot Setting` →`Add Plot Plane` で同じ時間軸でのオシロ画面を得て希望の測定 `point` にプローブをあててその波形を得られた画面に表示する。

表示はまず使用 `plane` 面を左クリックの後プローブは素子両端を左クリックドラッグ（赤→黒）しながら移動で得られる。Fig1.4.1.4 は表示後波形画面を最大化した例である。

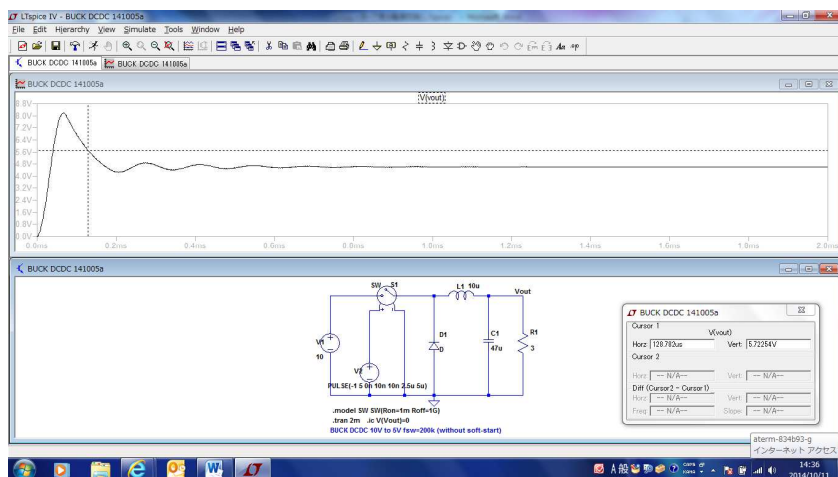


fig 1.4.1.3 解析結果のオシロ画面

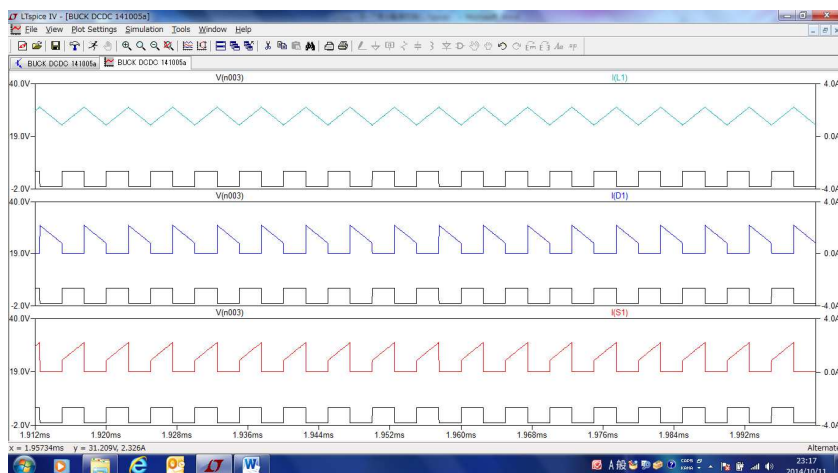


Fig1.4.1.4 複数波形画面の表示

◇1.4.2 周波数解析 (AC 解析)受動回路

fig 1.0.0.1 の回路図は時間軸解析を前提とした回路図であった。

一方電源回路での周波数解析も重要で回路制御の一巡伝達関数の評価などに用いられる。一般には周波数解析は主にアナログ 4 端子網の入出力間の伝達関数の解析に用いられる。

本章は LTspice 使用法の簡単解説なのであらく一般の周波数解析で説明しておく。

4 端子網の入力に ac 電源を有し出力に Vout の回路図で説明する。4 端子回路図を作成してまず電圧設定を `advanned`→`V` 設定画面上 `small AC analysis` に (`* 1 V 0deg`) を設定する (fig1.4.2.1)。次にタスクバーの `simulation` を選択すると `Edit simulation command` 画面に飛ぶ。この画面上 `AC analysis` を選択すると解析周波数関連の指定する (fig 1.4.2.2)。例としこの指定を 100点 `start 3khz stop 30khz` とセットすると自動的に 3k から 30k 間の周波数解析が開始される、同時に回路図上には `ac oct 10 3k 30k` という `.command` が書き込まれる。以後この周波数変更はこの `command` 表示を右クリックで行える。以降の画面操作は時間解析とほぼ同じであるが画面内用はプローブが触れた部分の電圧と位相が一对で表示される。実線が `gain` 破線が位相となる (fig 1.4.2.3)。

* LTspice はゲインを倍率による dB 表示しない。単に `Vout 1 V` を 0dB として扱う。したがって入力を 1 V としてチャート上の `Vout` の絶対電圧 dB を回路ゲインとして直読することになる。

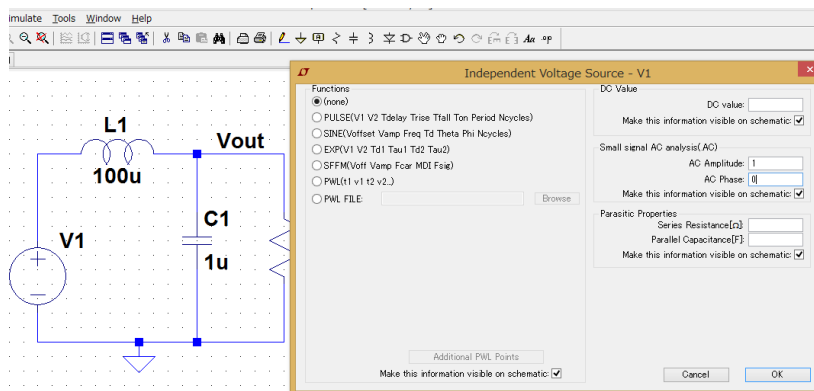


Fig1.4.2.1

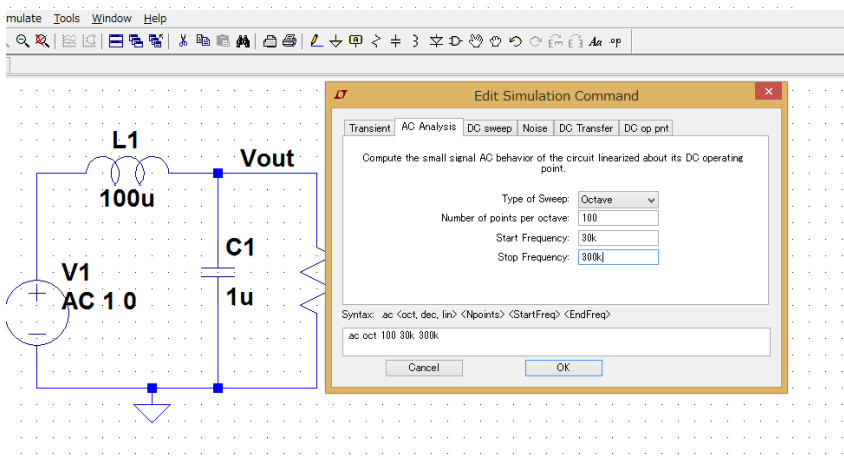


fig1.4.2.2simulation command 画面

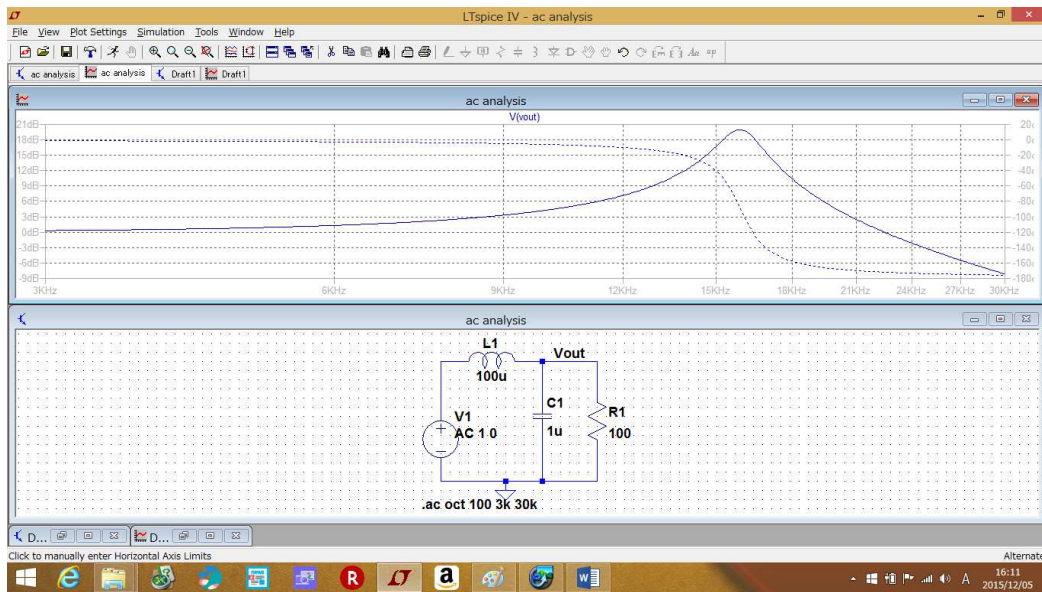


fig1.4.2.3 解析結果のオシロ画面

◇1.4.3 周波数解析 (AC 解析) 能動回路

一般のシミュレータでは能動回路の解析に関しては増幅による電圧飽和がある為入力 AC 信号を微小にする必要がある。

しかし LTspice ではチャートの回路ゲイン読み取りが入力 1 V の時に対応した dB となるため AC 解析に関しては飽和をネグレクトアルゴリズムが組み込まれている。

このため能動回路解析においても受動回路解析と同じ入力 1 V AC を用いてもかまわない。

飽和ネグレクトは .tran 解析 (時間解析) では組み込まれていないため飽和が発生するのに .ac 解析では発生しない点に情動的な混乱があれば微小入力でもいいが Vout 読み取りはゲインでなく絶対電圧の dB 表示なので注意を要する。

この辺を少し実解析例で解説しておく。

能動回路の代表としてオペアンプ (OPAMP) の周波数解析を説明する。

オペアンプは帰還なしでは 100dB に近いゲインがあり DC 電源を有する 5 ピンマイクロモデルでは 1V の入力では Vout に飽和してしまう。

その対策として LTspice では飽和のない 3 ピンの理想 opamp のマイクロモデルを提供している。

しかし LTspice の品番対応の電源ピン付 5 ピンマイクロモデルのほうが時間解析での飽和検出など含め実回路の解析には有用である。

そこで 1 V 入力でも動作しても AC 解析に限って飽和を無視するアルゴリズムを組み込んでいるというわけである。

すなわち同じオペアンプであっても .tran 解析ではオペアンプ電源電圧に飽和するが .ac 解析では飽和しないで動作する。

この様子を fig1.4.3.1 (.tran 解析) fig1.4.3.2 (.ac 解析) に示す。
.tran ではオペアンプ電源電圧 5V に飽和しているが、.ac では 60 dB で解析されている。

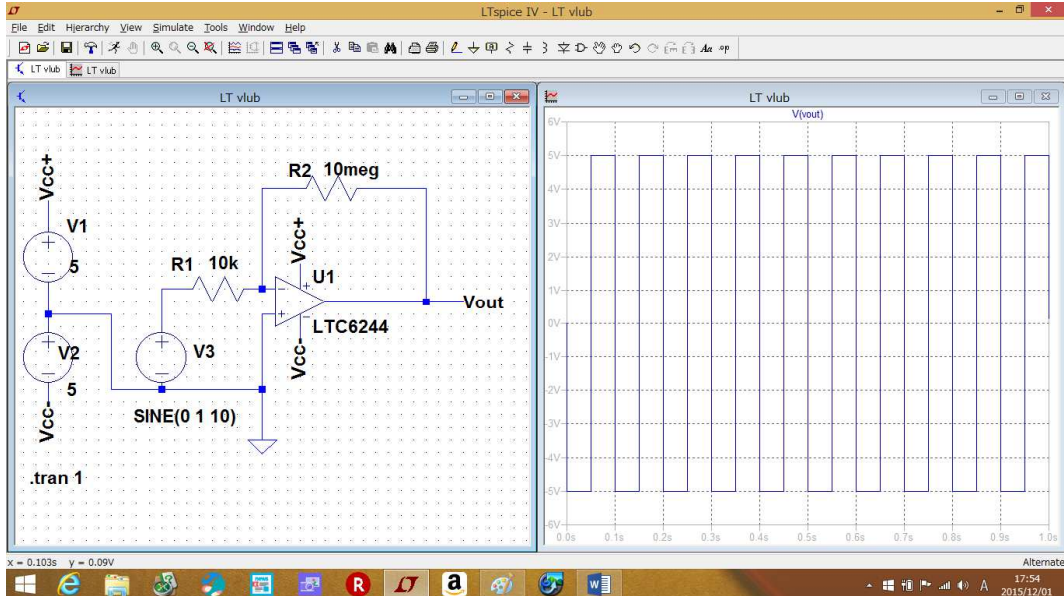


Fig1.4.3.1

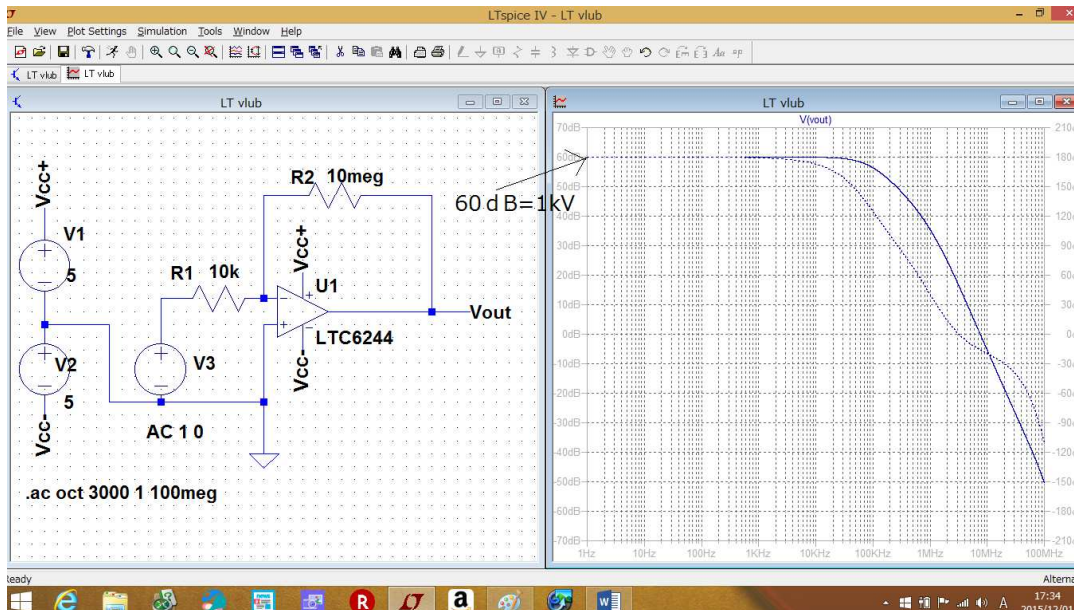


Fig1.4.3.2

しかしオープンまたは負帰還が小さい状態で 5 品番対応マクロモデル (5 ピン) のオペアンプでの.ac 解析で所定のゲインが得られないことが発生する (マイナスゲインの動作が発生する)。

この現象 (*1) はマクロモデル内の帰還回路と外部設計帰還回路のバランスによるモデル内バイアス起因とわる。

(5 ピン) モデルでこれを防ぎたい時は帰還抵抗に DC での抵抗値と AC での抵抗値を

R のレシタンス指定に 3k AC=1T などの特殊な指定を行うといい。

(*1 参考資料 LTspice による電子回路 オーム社 渋谷氏 第 8 章)

またこのマイナスゲインは理想モデルのオペアンプ (3 ピン) には存在しないので負帰還なしの解析にもそのまま対応できる。

本書では下記で解析を進めることにする。

この現象は帰還抵抗が高抵抗で帰還付きのオペアンプの低域ゲインが 80dB 程度以上で発生する。

このため対策としては 80dB 目安以下の帰還抵抗で.ac 解析をする。

低域以外は帰還なしと同一のゲインと位相が得られるので実用上の問題はない。

この様子を fig1.4.3.3 に示す。

帰還抵抗 R2 が 10meg から 670meg までは正常な解析が行われるが 1g になると急激に原が落ち誤動作しているのが分かる。(LTspice では 1 メグは 1meg で指定する)。

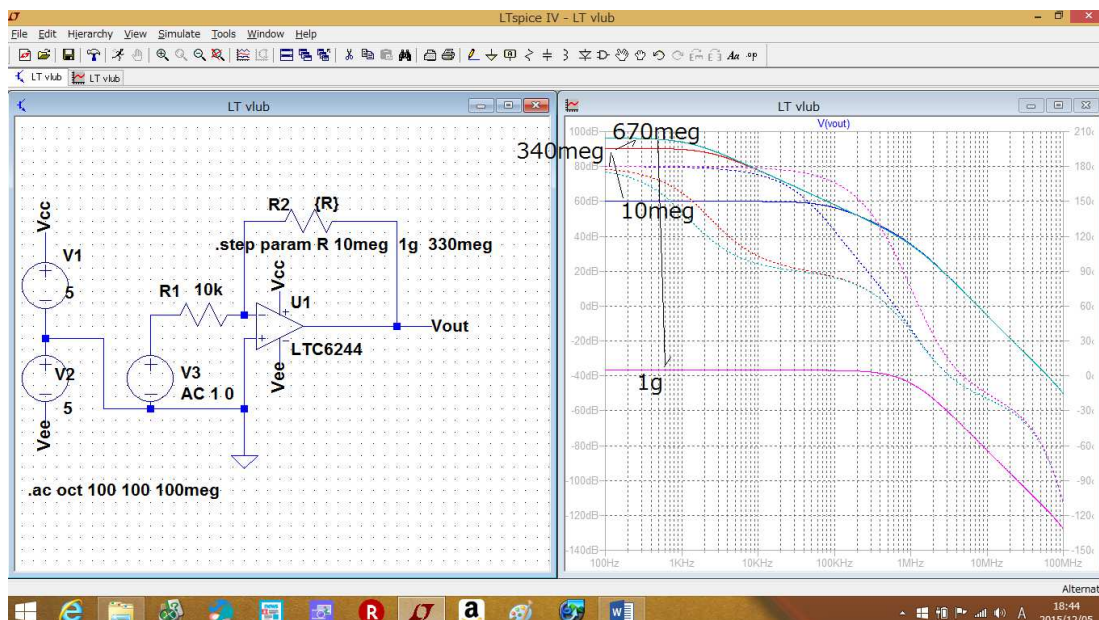


Fig1.4.3.3 高ゲイン時のゲイン誤動作

1.4 PC 容量節約 (.raw ファイルの処理)

LTspice での解析時に PC の本回路.asc ファイルの存在ホルダーに解析内容に従って.raw、.net、.log、.fft 各ファイルが生成される。これらは解析記録のキャッシュ的ファイルであり.raw は大きな容量とメモリーエリアを占有する。それらは本書の用途では不要となるので LTspice のタスクバー→tools→cntrolepanel→operation 画面を選び.raw、.net、.log、.fft の automatically-delete を yes に設定すると.raw、.net、.log、.fft ファイルは本回路.asc を close したとき自動消去される。回路プログラムの整理、保存とメモリーエリア節約に利用することができる。

第2章 電源回路トポロジー別動作解析

本章では電源回路のトポロジーマップに従い回路構成のシンプルなものから LTspice による時間解析を行う。

解析の目的は従来の電源回路の解説本では回路図とオシロ画面の写真による静的なものであったが本書では解説とともに **LTspice 回路図データファイル**提供している。

対応データは figNO の直後に () で fig5.4.3.2 (5492cct) のように表示しています。このデータをロードされ読者自ら回路の波形解析を実感されることが可能である。

また提供のデータを読者が自身の電源回路に LTspice 使用法に基づき追加変更されて電源設計の支援としての利用が可能である。動的な解説支援として使用ください。

なお解説の回路そのものは各回路方式の代表的な例を用いていますし保護回路などは省略してあります。製品設計の転用に関してはご自身の裁量で実施ください。

2.1 電源回路の分類マップ

下表 fig2.1.0.1 は電源回路の分類マップであり各回路解析時にマップの位置づけを考慮すると解析の理解がしやすくなります。

			非絶縁回路			昇降圧電源	
			降圧電源	昇圧電源	昇降圧/反転	フォワード	フライバック
リニア			1. Series-Reg.				
スイッチング	自動					4.RCC	
	他励	非共振	2. Buck	3. Boost	4. Inverting 5. Buck-Boost	6.Single-Forward 8.Half-Bridge 9.Two-Tra-Forward 13. Full-Bridge 14. Asinmetric -Half Bridge	7. Fly-Back
		共振				10. Active-Clamp 11. LLC	12. Quasi -Resonant
	その他					15. Bi-Directional	

fig2.1.0.1 電源回路のマップ

2.2 リニア電源 (Series Regulator)

リニア電源は回路がシンプルであり小型であり、ノイズの発生の発生もない。しかし入力電圧から所定の出力電圧を得るとき電力変換効率が低い。このため各種回路のバイアス用電源やオンボードの小電力用途電源に用いられる。代表的電源回路としてはシリーズレギュレータである。(fig 2.2.0.1)

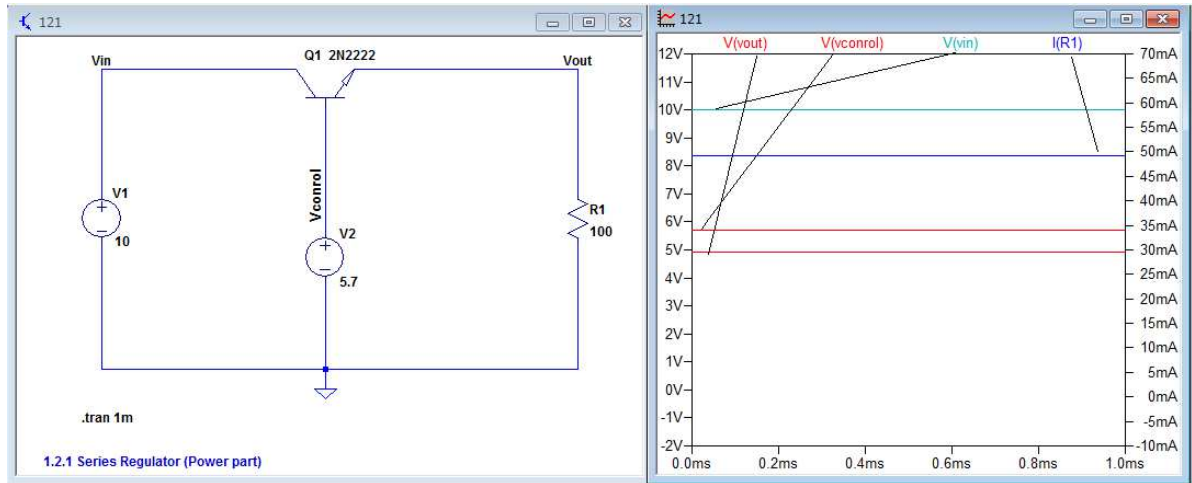


Fig 2.2.0.1 (2201 cct)

・動作説明

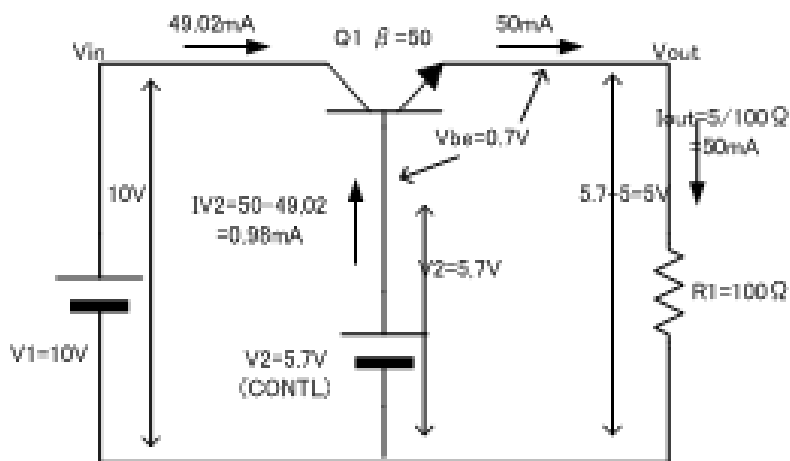


fig2.2.0.2

左 fig2.2.0.2 において V_{in} と V_{out} 間に存在する電圧降下を行うトランジスタ $Q1$ はエミッター (V_{out}) にベース ($V2$ のコントロール電圧がかかっている) から V_{be} 低下した電圧を発生し安定化する。エミッターから流

出する電流は $V2$ 電源から流れ出る電流と その電流に $Q1$ の電流増幅 β 倍を掛けた $Q1$ 通過電流が加わったものとなる。すなわち $V_{out} = V2(5.7V) - Q1V_{be}(0.7V) = \text{約 } 5V \rightarrow Q1V_{ce} = V1(10V) - V_{out} = \text{約 } 5V$ となる。また $I_{V2}(1 + \beta) = 50mA$ から β を 50 として $I_{V2} = \text{約 } 0.98mA$ コントロール端子から $0.98mA$ 流出で安定化することになる。

回路の効率はコントロール電流を無視すれば $10V$ 入力に対し $5V$ 出力 入出力電流各 $50mA$ 電力では入力 $0.5W$ 出力 $0.25W$ 効率は 50% である。 $Q1$ での電圧降下損失は $0.25W$ となる。絶対電力値では $0.25W$ と小さいが 50% の効率は省エネ面では受け入れがたい。

・LTspiceによる解析 (Vout Vs 負荷変動同)

上記動作説明は R1 負荷抵抗の高低は加味されていない。説明で用いた Vbe は 0.7V の固定値ではなくトランジスタの動作状態により変化する。回路図に用いた 2N2222 のマクロモデルでは実際の 2N2222 動作をほぼ正確にトレース出来る。

この動作を用いて負荷抵抗を 1Ω から 100Ω に振った時の Vout を解析してみる。fig1.2.1 に R1 を 10 オームから 100Ω 迄 30Ω 間隔で変化させる.comand (ドットコマンド)の .step を用いて Vout の変化を解析 (Fig2.2.0.3)。データは(2201cct に+)読者.step 追加で解析ください。

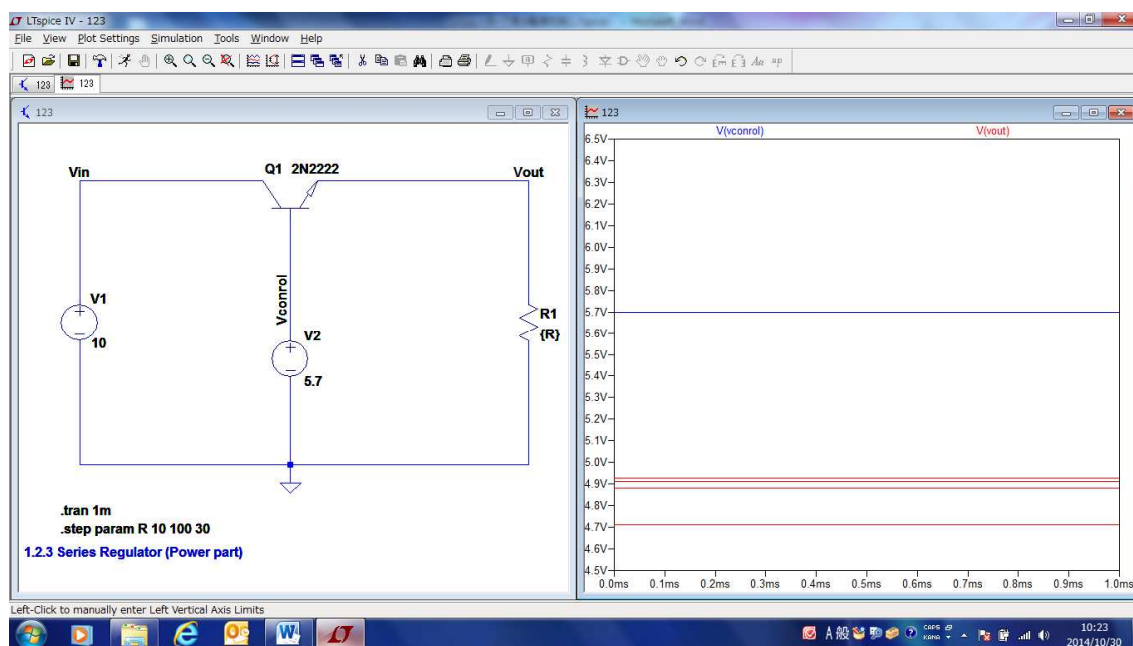


Fig 2.2.0.3(2201cct+) 負荷変動による Vout 変化

オシロ画面は波形上から V2Control 電圧、負荷抵抗 100Ω、70Ω、40Ω、10Ω 時の Vout である。したがって Vout は 5V 付近にはあるが正確な 5V にはならない。負荷が重いときには V2 コントロール電圧を僅かに上げ Vout を 5V に合わせ込む必要が生ずる。これらの V2 の補正を行うのが制御回路である。

・LTspiceによる解析 (Vout 安定化制御)

安定化は負荷が重くなり Vout が低下したそれを上昇させるに見合った V2 の上昇を図る動作をする Vout の検出回路 (負帰還回路) が必要になる。簡単な負帰還回路を fig2.2.0.1 に組み込んでみる。(Fig 2.2.3.4)

負帰還回路は安定させたい出力電圧 Vout (あるいは Vout の分割値) と同値の基準電圧を設け Vout が基準電圧より高ければ V2 を下げる、Vout が基準電圧より低ければ V2 を上げる回路を構成することで実現される。この負帰還回路は個別部品で組んだり制御 IC を持ちいたり目的の制御精度によりいろいろ選択される。今後の多種の電源制御への応用を加味してオペアンプ IC を用いた負帰還回路を利用した例での解析を示す。(fig 2.2.0.4)

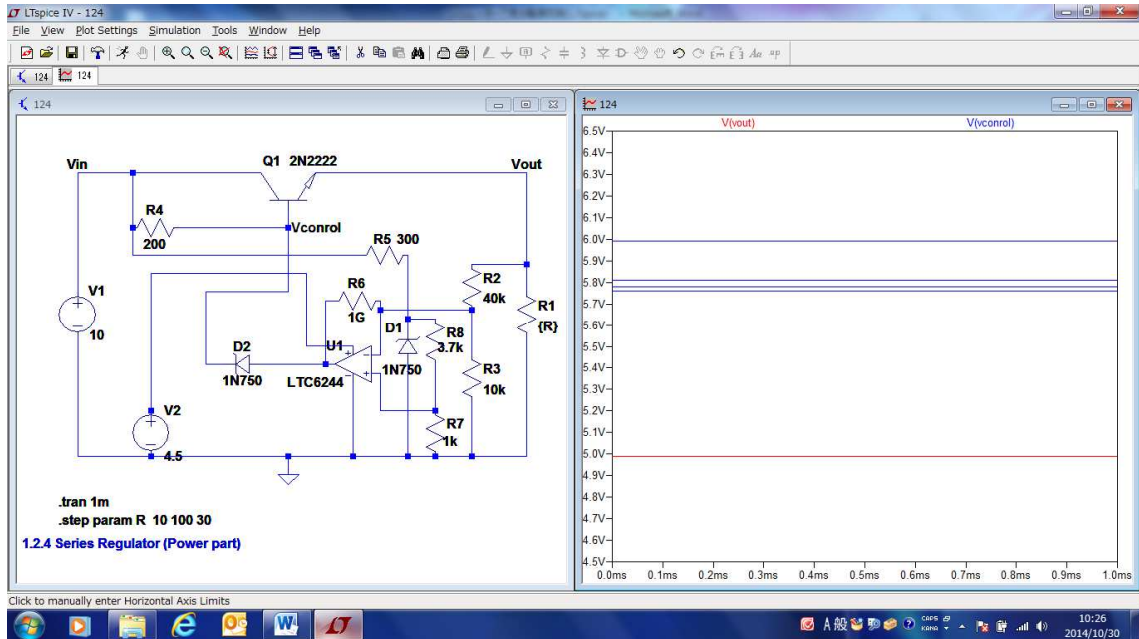


Fig 2.2.0.4(2204cct) 制御回路動作時の負荷変動による Vout 変化

波形は上から V2Control 電圧、負荷抵抗 100Ω、70Ω、40Ω、10Ω 時の Vout である。上の 4 本かたまりが調整された V2 Control 電圧でありその結果下の 1 本（実際は 4 本のかたまり）の 5V に調整されている。

回路図では R2 と R3 の分割点の Vout の 1/5 電圧を反転入力に基準電圧（1 N750 4.7V）の 1/2 電圧を正転入力に入れた誤差検出器（LTC6244）で control 電圧を調整している。なお D2 のツェナーは LTC6244 の Vcc4.5 に対しての control へのレベルシフターである。

2.3 スイッチング電源(Swishing-Regulator)

◇2.3.1 Buck DC-DC (非絶縁 降圧 PWM)

○LTspice 回路図 Buck 型 DC-DC は出力部にチョークインプット平滑回路を有するスイッチングコンバータの基本になるものである。Fig2.3.1.1 に電圧変換部を示す。

回路は SW を 100kHz 5 μ S(duty 固定 50%) のパルスで PWM(パルス幅制御)している。

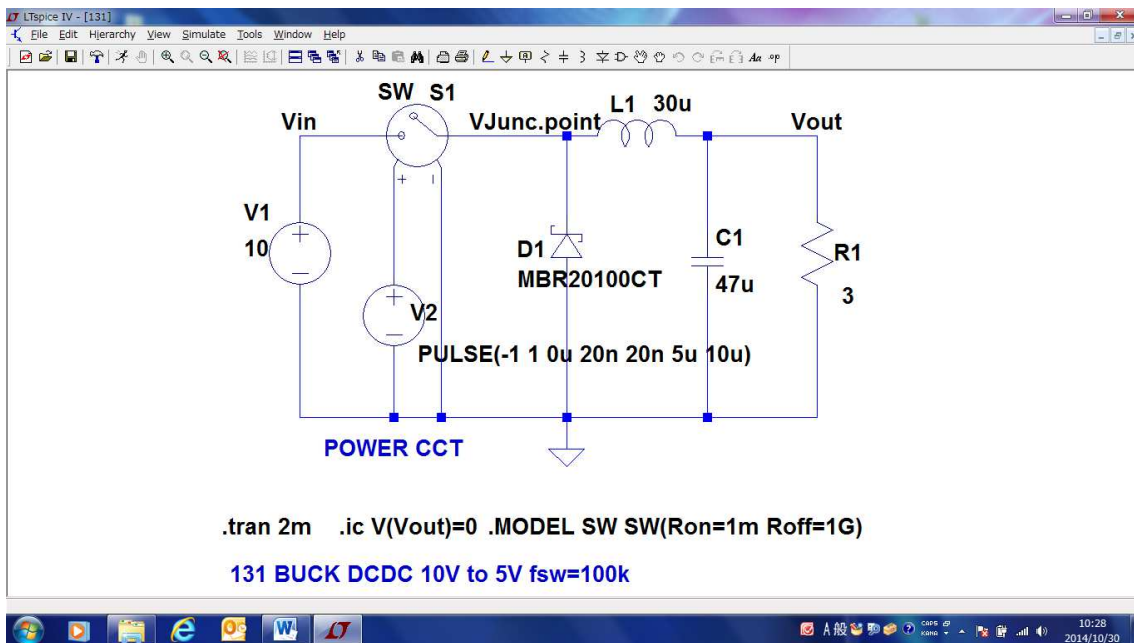


Fig2.3.1.1 (2311cct)

○動作説明 Buck 型コンバータの特徴は電力伝送が SW オン (Ton) 期間におこなわれる、出力部のチョーク L1 には Ton 期間にも Toff 期間にも電流が流れることです。(fig2.3.1.2)。 Toff にチョークに電流が流れるプロセスは、Toff への遷移時 Ton に L1 チョークに流れていた電流が途絶るとチョークのインダクターの性質 (電流継続) で L1 と D1(フライホイール・ダイオード)の接点が Ton エンドの L1 に流れた電流値 L1 に継続 (電流を引きこむ) するため急激に低下します。急激に低下した接点電圧がマイナスになるとダイオード D1 を通してグラウンドから電流が流れ込み電流継続が満たされます。そのグラウンドからの電流 (この電流は平滑コンデンサー C1 を充電し流れ出ます) が Toff のチョーク電流になるわけです。

チョークの設計は磁気部品的设计になるので割愛しますが磁気回路の体積は処理電力に比例した体積が要求されます。

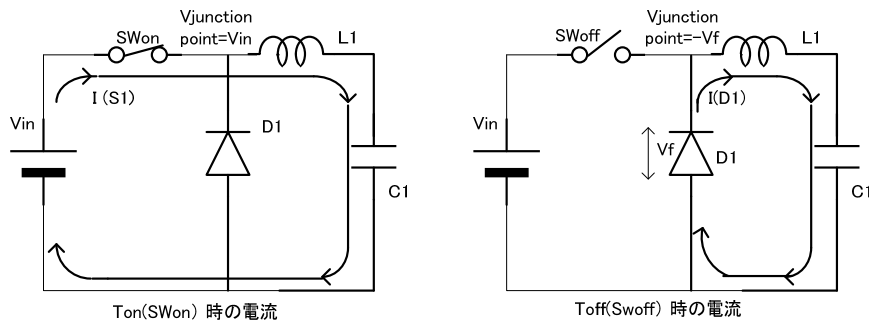


fig2.3.1.2

チョークに T_{on} 、 T_{off} とも電流が流れるこの電流は平滑コンデンサーに流れますのでコンデンサー電流は少ないリップルで所定電圧に充電されることになります。電流リップルが少ないとコンデンサーの電圧平滑後の電圧 (V_{out}) にリップルが小さくコンデンサー自身の寿命も長くなります。

この V_{out} のリップルが少ないこと平滑コンデンサーの寿命が長くなる（あるいは小型コンデンサーが使用できる）ことが Buck 型のメリットである。

またチョークの各接合点は V_{in} 以上になる状態がないので V_{out} に処理できる電圧は V_{in} 以下であり電圧処理仕様は降圧電源となります。

○LTspice による解析 (各部の電圧電流)

解析結果の波形画面 V_{out} (電圧)、 $V_{junc.-point}$ (電圧)、 $L1$ (電流)、 SW (電流)、 $D1$ (電流) を下に示す。fig2.3.1.3 (fig1.4.1.4 の複数画面操作応用にて)

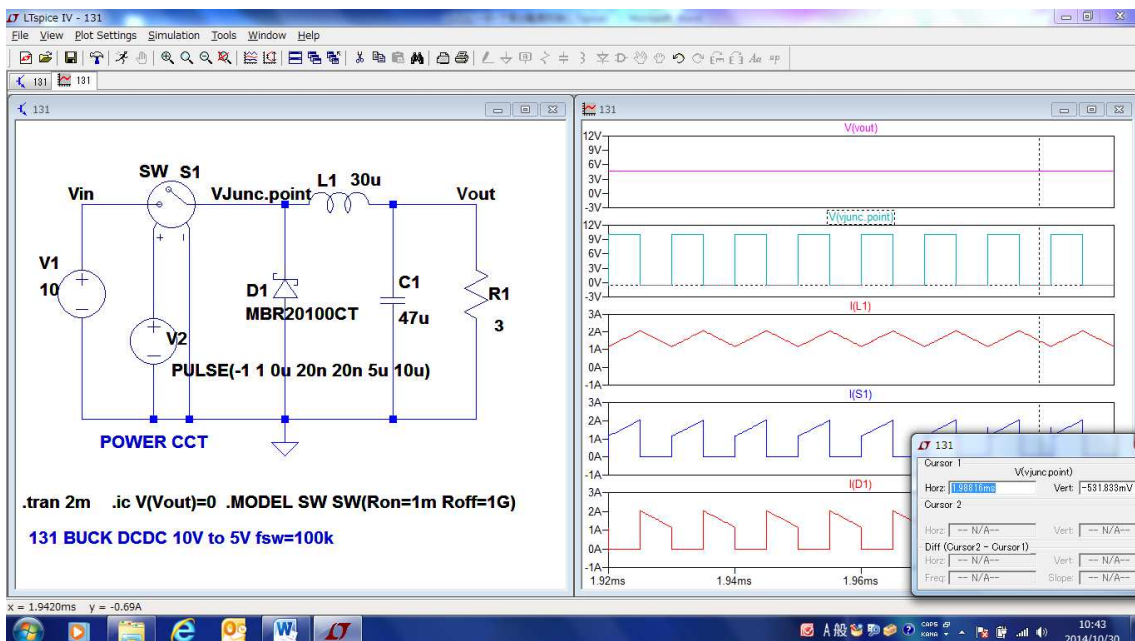


Fig2.3.1.3 (2311cct)

○電圧変換理論式と LTspice 解析結果

ここで各電流、電圧の理論計算値と LTspice による波形測定値を比較してみましょう。

まず V_{out} を導く理論式はまずインダクターの性質（印加電圧と電流）

$$e=L \cdot (di/dt) \rightarrow I=V \cdot T/L \quad \text{これを } T_{on} \quad T_{off} \quad I_{L1} \quad \text{に挿入すれば}$$

$$(I_{L1ton} : T_{on} \text{ 期間の } I_{L1} \text{ 変化幅}) = (V_{in}-V_{out}) \cdot T_{on} / L_{ind} \quad \text{—— (231-1)}$$

$$(I_{L1toff} : T_{off} \text{ 期間の } I_{L1} \text{ 変化幅}) = (V_{out}-V_f) \cdot T_{off} / L_{ind} \quad \text{—— (231-1b)}$$

但し V_f はダイオードの順方向電圧降下

Fig2.3.1.3の $I(L1)$ のように電流が0にならず電流連続(Continuos-Current-Mode/CCM)状態では $I_{L1ton} = I_{L1toff}$ であり (231-1) (231-1b) 式の右項は一致し

$$(V_{in}-V_{out}) \cdot T_{on} = (V_{out}-V_f) \cdot T_{off} \quad \text{となる。ここから } V_{out} \text{ を導けば}$$

$$V_{out} = (V_{in} \cdot \text{duty}) - \{V_f \cdot (1-\text{duty})\} \quad \text{—— (231-2) (ただし } \text{duty} = T_{on} / (T_{on} + T_{off}) \text{)}$$

$$V_{out} \text{ (about)} = V_{in} \cdot \text{duty} \quad \text{—— (231-3) } \quad V_f=0 \text{ の簡易式の } V_{out}$$

(231-3) に回路定数を入れ数値を求めれば

$V_{out} \text{ (about)} = V_{in} \cdot \text{duty} = 10 \cdot 0.5 = 5(V)$ — 回路ドライブパルス duty と (231-2) 式から
出力電流 $I(L1)$ 平均値 $= V_{out} / R1 = 5 / 3 = 1.66 (A)$ — 回路図 $R1$ 値代入にて

$$I(L1) \text{ リップル} = \{(V_{in}-V_{out}) \cdot T_{on}\} / (L \text{ インダクタンス}) = (5V \cdot 5\mu S) / 30\mu H = 0.83 (A)$$

これを波形画面からの測定結果（(波形名にカーソル左クリック) と比較

$$V_{out} = 4.75 (V) \quad \text{(波形名にカーソル } \text{cont} + \text{左クリック)}$$

$$I(L1) \text{ 平均値} = 1.58 (A) \quad \text{(波形名にカーソル } \text{cont} + \text{左クリック) 左クリック)}$$

$$I(L1) \text{ リップル} = 2.01 - 1.16 = 0.85 (A) \quad \text{(波形名左クリック } \text{カーソル線移動 } \text{山値-谷値の算出) と得られる。理論値と波形観測値では } V_{out} \text{ では } 0.25V \text{ 差が出る。}$$

理論値と LTspice 測定値の違いは $D1$ の V_f ロスによるものである。正式には V_{out} に

(123-2) 式を用い V_f を入れると理論値は

$$V_{out} = V_{in} \cdot \text{duty} - V_f \cdot (1-\text{duty}) = 10 \cdot 0.5 - 0.5 \cdot 0.5 = 4.75(V) \quad \text{波形観測値に一致する。}$$

(ただし注1: $V_f=0.5$ は LTspice で回路図の $D1$ の V_f 測定による)。

このようにシミュレータ解析は使用する回路や素子を正確にあたえれば定量的な特性値においても理論値とよい一致が得られる。

但し使用者は回路や素子の特性を正確にして回路化することや指定した回路や素子が理論式に比べ補正が必要かをあらかじめ推定、整理して得られた結果を評価することが必要である。

なお fig2.3.1.3 の $V_{\text{junction-point}}$ の谷電圧は 一見 $0V$ に見えるが $(-V_f)V$ である。これは $V_{\text{junction-point}}$ はインダクタンスの性質から (-) 方向に V_{in} 電圧からは逆起電力ではねて下がっているのを $D1$ の導通で $L1$ に戻しているので主たるものであり注目する必要がある、当然この V_f はダイオード内で熱損失になるものであり電力変換回路自体の効率低下になる。

Fig2.3.1.3 では V_f の低いショットギアダイオードを用いているので $0.5V$ になっているがファーストリカバリー等 PN 接合ダイオードで $0.7V$ と大きくなる。

出力電圧 V_{out} が 2V 以下と低い CPU 用オンボード電源などではこの V_f 損失割合が大きくなるのでダイオード整流は使用されず MOSFET による同期整流で対応している。

理論式を導く過程でチョークの電流が CCM(電流連続モード)条件を用いたが電源負荷が軽くなりこの電流が 0V 落ち込む部分が発生した時は DCM(Dis-continue CM 不連続カレントモード)とよぶ。このモードでは上記理論式は成り立たず(231-3)式は成り立たず固定 duty による V_{out} の制御は不可能となる。このため実用電源では単純な固定 duty は使用されない。(固定 duty では DCM 負荷条件において V_{out} が上昇してしまう)

実用電源では制御回路が付加され解決される。この DCM 時の問題と対応は次の Boost でも同様に発生するので次項少し細かく触れる。

なお CCM を臨界以上、DCM を臨界以下と呼ぶことがあるが本誌では以後 CCM、DCM に統一して使う。

◇2.3.2 Boost DC-DC (非絶縁 PWM 昇圧)

○LTspice 回路図

Boost 型 DC-DC は出力部にコンデンサーインプット平滑回路を有するスイッチングの昇圧コンバータの基本になるものである。下に SW を固定 50%duty パルスでドライブした Boost DC-DC の電圧変換部回路を示す。(Fig2.3.2.1)

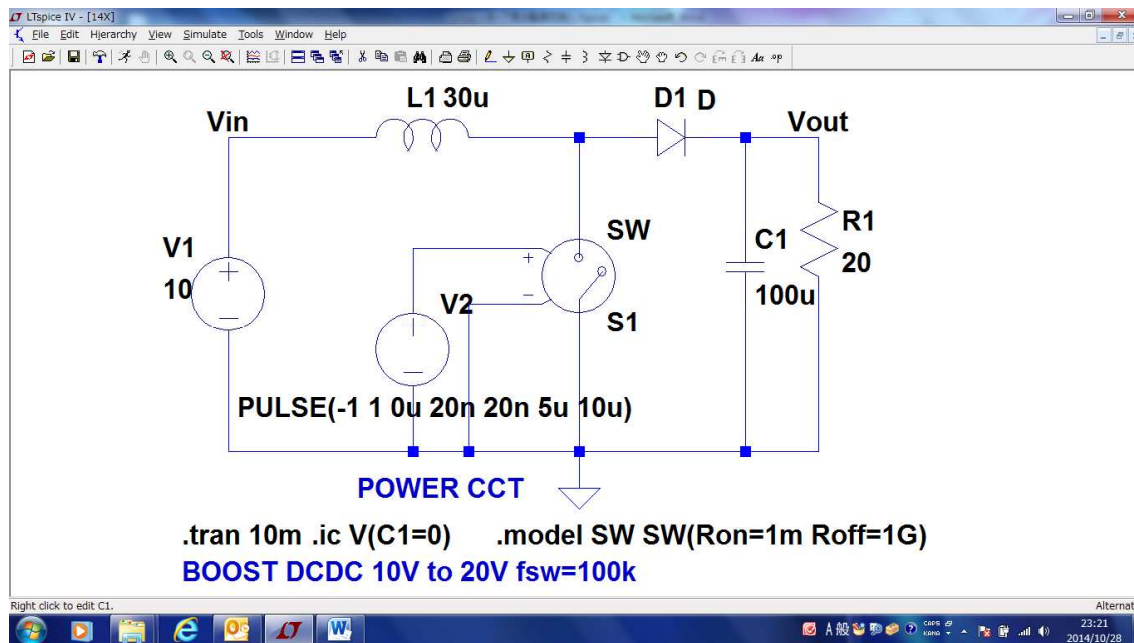


Fig2.3.2.1 (2321cct) Boost DC-DC

○動作説明 と 特徴

boost 型コンバータの特徴は電力はダイオード D1 通して T_{off} 期間のみ電流が流れることでもあります。

SW がオフ時 (Toff) のみに D1 に電流が流れるプロセスと昇圧動作を説明する。

まず Ton には SW のショートでチョーク L1 に電源電圧 V1 が印加され電流が流れる、この時は SW がオンなので D1 には電流は流れない。

SW がオフになるとインダクターの性質 (電流連続あるいは逆起電力) で L1 と D1 の接点は 0V から急激に V1 電圧を通り過ぎ V1 以上に上昇する。上昇の値は SW のオン duty {Ton/(Ton+Toff)} で決まる。

L1 は上昇した電圧から D1 を通してに先に流れていた電流を継続し流し込みます。この電流の流し込みで電流継続が終了します。

Vout は内部処理電圧が V1 を超すので Vin より大きく昇圧回路になります。(Fig2.3.2.2)

他の特徴は Toff 期間のみ D1 や平滑コンデンサ C1 (以下平滑コン)に電流が流れるため電流リップルが大きく Vout にリップルが出やすく、平滑コンの電流リップル容量が要求される。電力面では V1 にチョーク蓄積エネルギーを積み上げる方式なので出力電力に対する SW の電流負担が後述 INVERTING のコンバータより少ない。

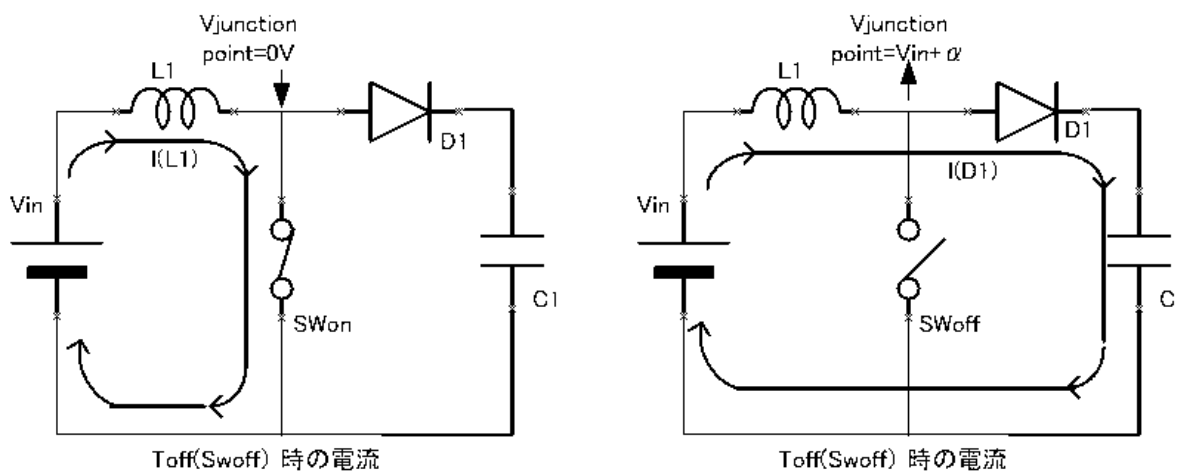


Fig2.3.2.2

○電圧変換理論式

$$L1 \text{ 電流連続式 } Vin * Ton / L1ind = (Vout + Vf - Vin) * Toff / L1ind \quad \text{———— (232-1)}$$

(ただし L1 のインダクタンス = L1ind SWon 時間 = Ton SWoff 時間 = Toff)

$$(1) \text{ 式を整理 } Vin * Ton = (Vout + Vf - Vin) * Toff \quad \text{———— (232-2)}$$

$$Vout \text{ 計算式(232-2)から } Vout \text{ を解き } Vout = Vin \{ (Ton + Toff) / Toff \} - Vf \quad \text{———— (232-3)}$$

Vin = 10V, Ton = 5μs, Toff = 10ms, Vf = 0.7V を入れると

$$Vout = 19.3V \text{ となる}$$

昇圧比で表すと

$$Vout / Vin = 1 / (1 - duty) \quad \text{———— (232-4)}$$

(ただし duty = Ton / T (T = Ton + Toff)、Vf = 0)

昇圧比 (4) をグラフで fig2.3.2.3 に示す。

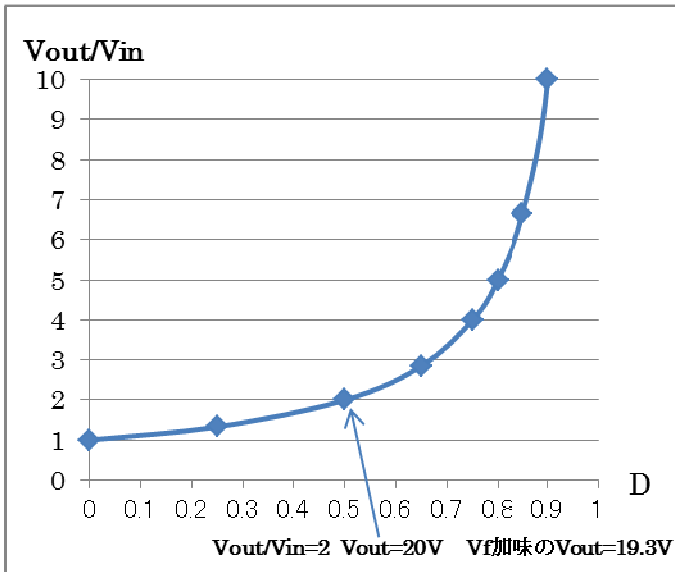


Fig2.3.2.3 D=duty と昇圧比

○LTspice 時間解析 (.tran 解析)

●Voutの解析 Fig2.3.2.5 に起動時(0mS~10mS)の Vout の.tran 解析を示す。

起動後 9mS の安定時の波形画面を波形名左クリックで測定した Vout 電圧は 19.2V である。(232-3)式による理論 Vout 19.3V に少誤差で合致する。

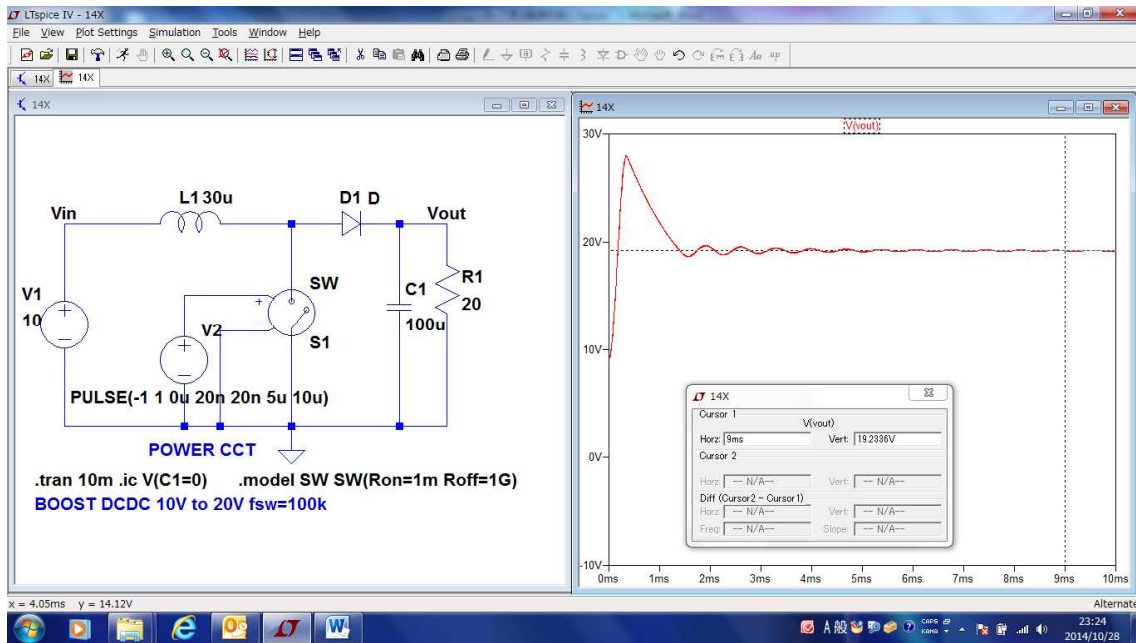


Fig2.3.2.4 (2321cct) Vout の測定

●各部電流、電圧測定 fig2.3.2.5 に安定時の各部の.tran 解析の複数画面表示で示す。

下からドライブパルス、SW 電流、D1 電流、L1 電流、L1 と D1 接点電圧である。

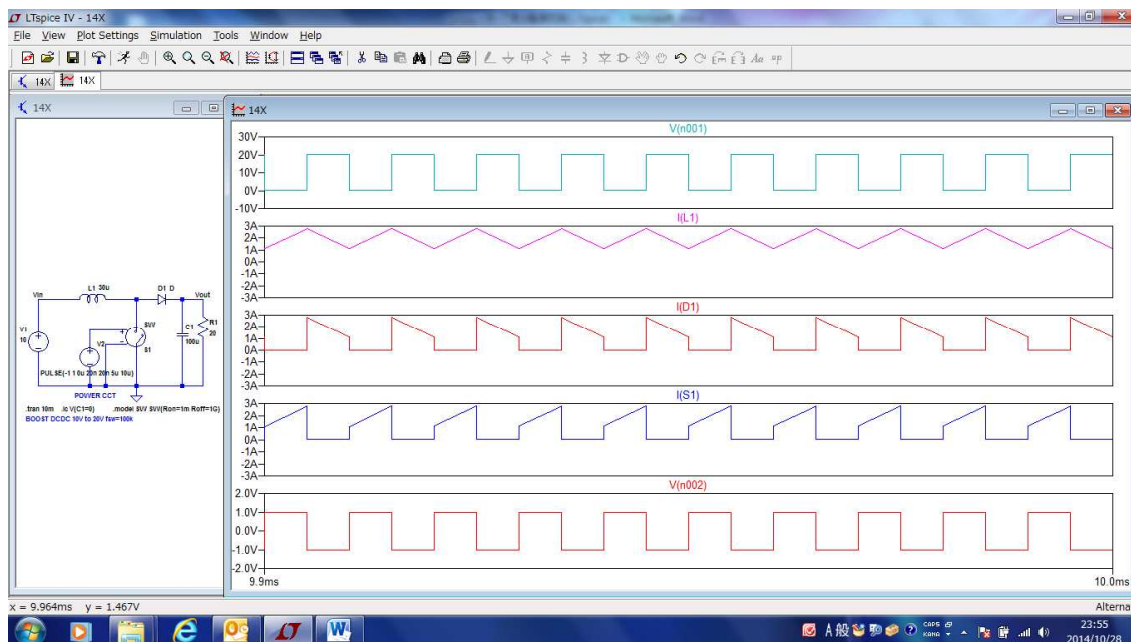


Fig2.3.2.5 (2321cct) 各部の電圧、電流波形

ドライブは SW のスレッシュホールドが 0V をまたぐ $-1 \sim 1 \text{ V}$ である。SW、D1、L1 各電流波形の傾斜は(1)式の $V/Lind$ によるものである。L1 と D1 の接点電圧が 0V から 20V 付近まで跳ね上がって昇圧しているのが分かる。

●負荷変化時の解析

V_{out} の負荷変化時の特性を評価する。 .step コマンドで負荷を(10Ω～100Ωまで 30Ω 間隔で振って V_{out} の対負荷変動特性を解析する。(.step 対応のため R1 の値は{R} に変更 軽負荷は安定化時間が長くなるため解析時間を 50m に広げる)。(Fig2.3.2.6)

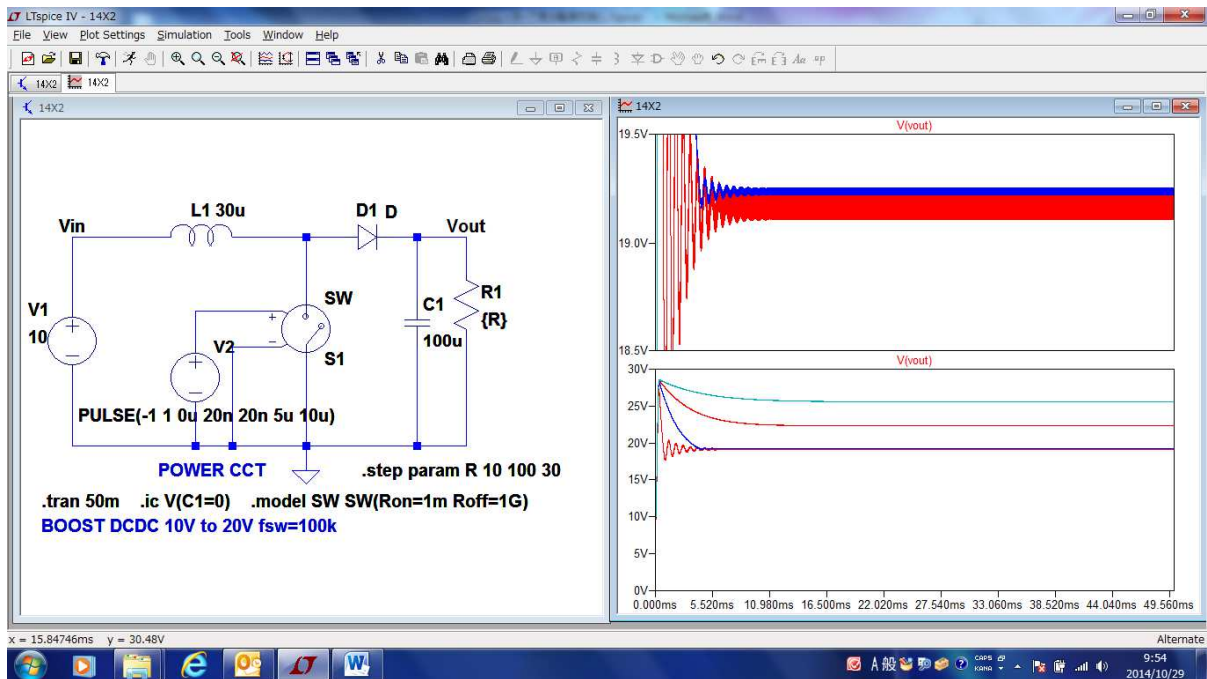


Fig2.3.2.6 負荷変化による Vout 解析

下画面にて波形上から一本目が $R=100\Omega$ 、二本目が $R=70\Omega$ 負荷の V_{out} である。ともに (232-3) 式の計算電圧 $19.3V$ に合致しない高めの電圧が発生している。

三本目 40Ω 、四本目 10Ω 負荷では V_{out} 電圧はまた (3) 式の $19.3V$ に合致した電圧が発生している。

また $R=40$ 、 $R=10$ の V_{out} 拡大 (上画面) では 40Ω 時のリップル小、 10Ω 時のリップル大と $R=10\Omega$ に V_{out} がわずかに低くなっていますが $19.3V$ を保持しています、2つの負荷間の V_{out} 差は固定 duty に対し回路素子の抵抗などの影響によるものです。

$70, 100\Omega$ の軽負荷ではつきり $19.3V$ を超す V_{out} が 50% duty でのスイッチングにもか発生しています。(DCM 状態) が発生し (232-1) 式が成立しなくいるためです。

Fig2.3.2.7 に D1 電流を中心としてこの DCM、CCM のをモードの波形解析を示します。 70Ω 、 100Ω 負荷では T_{off} 期間期間終了前の D1 電流 0 の部分での発生です。L1 電流は電流 0 の部分の発生となり DCM(臨界以下)のモードでの V_{out} 上昇現象です。(この現象は Buck 項末尾でも紹介した)

また 10Ω 、 40Ω 負荷は上記の DCM モードがみられなく電流連続または CCM(臨界以上)で $19.3V$ 保持しています。

この DCM、CCM のをモードは広くはトランス式の forward、Fly-Back を用いる duty を固定した電源では同様に発生します(固定 duty の電源は実際にはほとんど存在しないが)。

軽負荷による DCM のモードで発生する V_{out} の上昇や重負荷時の回路抵抗損失による V_{out} の微小な低下(上の例の 10Ω 時の V_{out} の 40Ω の V_{out} からの低下) のわずかのとともに duty 制御回路を付加することで $19.3V$ に安定化すること

になります。

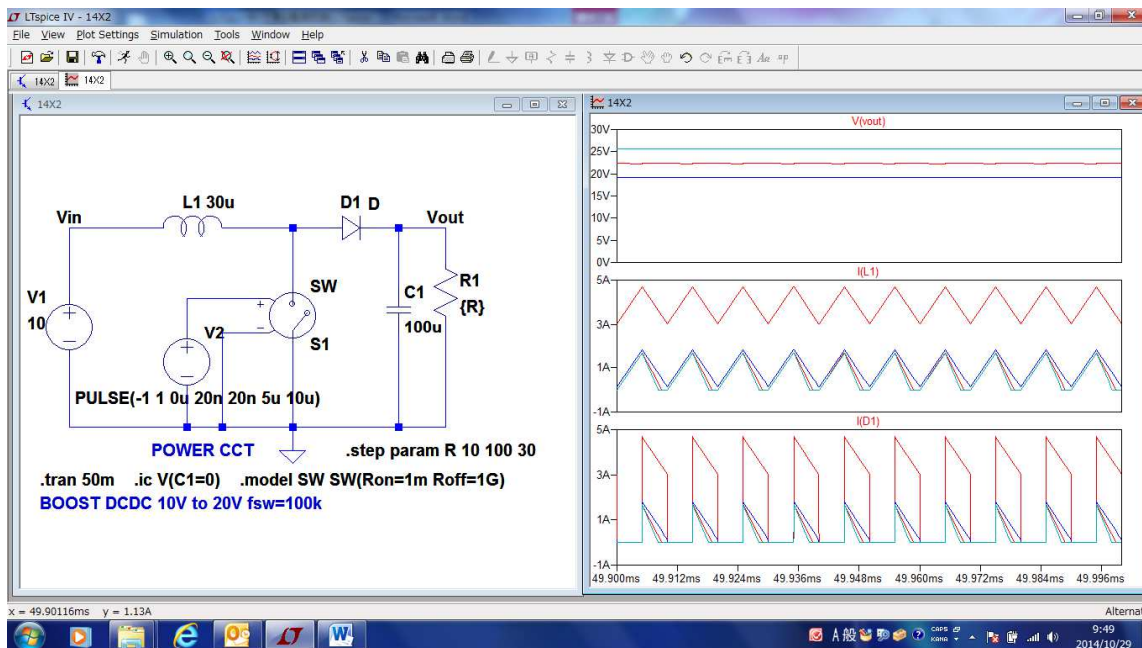


Fig2.3.2.7 (2326cct) 一部負荷での DCM モードでの発生

○制御回路での Vout 安定化の解析

制御回路は臨界以下の状態で Vout を所定の電圧に制御するには Ton (duty とは関係ない) をを操作すること臨界以上であつても回路抵抗損失を補い正確に計算値に正しく合わせるには微小に Ton (duty 近傍で) の調整が必要になる。

このために Boost 型においても (全ての電源で) 制御回路が実用化電源レベルでは必須になる。

Fig2.3.2.8 は制御回路を加えた Boost DCDC である。

制御回路は大枠 Vout から基準電圧に負帰還を掛けて Vout を基準電圧(或いは基準電圧の設定された倍率) に抑え込む負帰還回路で構成される。この負帰ループ内に PWM (pulse-width-modulation) でドライブパルス幅の duty を操作し所定の Vout を得るものである。詳細は第 4 章を設けてあるのでそちらで把握してほしい。

しかし本項で実際に動作させるので理論はともかく言葉で Fig2.3.2.8 での制御イメージを説明する。Vout 情報は設定倍率の分割抵抗を通してエラーアンプ (オペアンプ) の (-) 入力に帰還される。エラーアンプの (+) は基準電圧が接続される。この接続はエラーアンプの後にある PWM 発生器の duty に対し Vout 情報が基準電圧より高ければ duty が下がるような極性で接続(負帰還)される。この接続の duty でスイッチを操作すると Vout が高ければ duty が絞られ、Vout が低ければ duty があげられ結果としては Vout は基準電圧(或いは基準電圧の設定された倍率) に抑えられるというものである。図では Vout 設定抵抗 R6,R7 エラーアンプ LT6244 (オペアンプ)、PWM 発生はスイッチ周波数三角波エラーアンプ出力をと比較して PWM duty パルスにするのが LT1721 (コンパレータ) である。

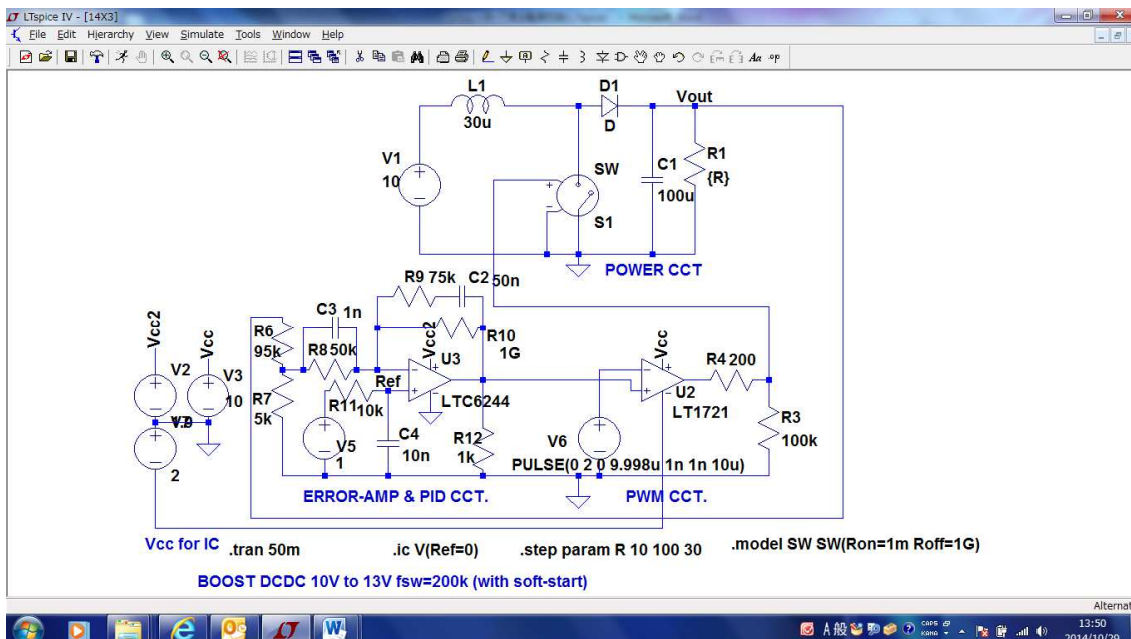


Fig2.3.2.8 (2328cct) 電圧変換部に制御部を加える

制御回路では誤差検出器入力の V_{out} の $1/20$ ($R6$ と $R7$ による) 電圧と $1V$ ($V5$ 基準電圧) を一致させるような NFB ループでを組み SW の T_{on} を制御し V_{out} を $20V$ に制御するものである。Fig 2.3.2.9 は制御回路による .tran 波形であり fig2.3.2.6 の制御無し回路と対応するものである。制御回路で $10\Omega \sim 100\Omega$ (DCM 電圧 up や内部ロスによる down) まで $19.3V$ 近傍の狭い範囲におさえこんでいる。Fig2.3.2.10 は同じく制御付で fig2.3.2.7 制御無の各部波形と対応する部分の波形解析結果である。最下段の波形は SW の T_{on} 電流波形で T_{on} 幅 が制御回路されている。

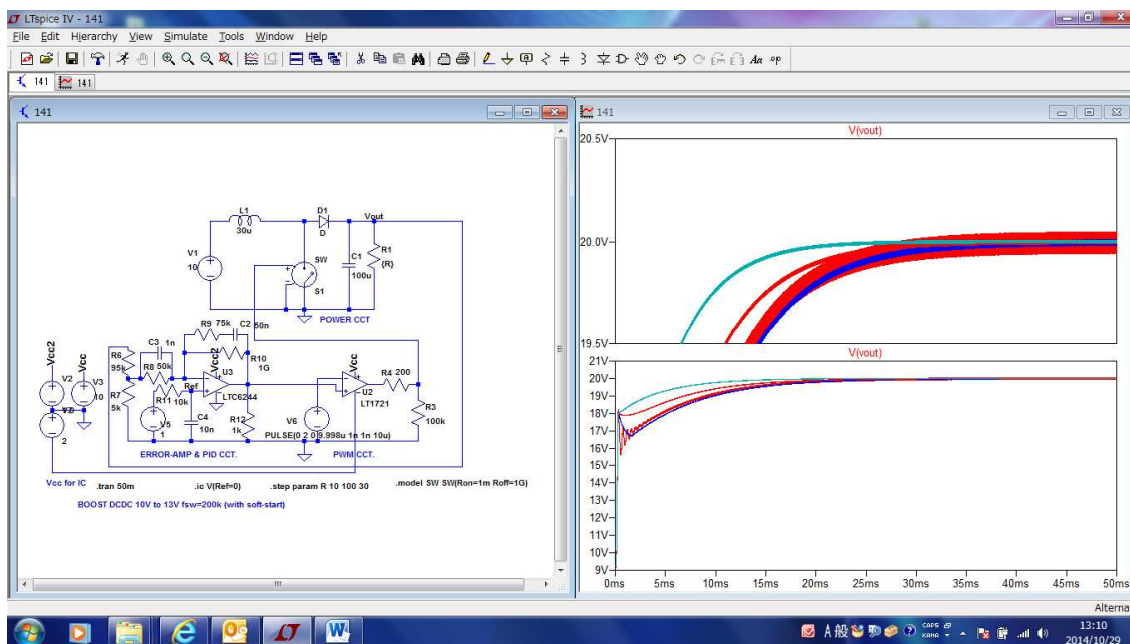


Fig2.3.2.9 (2328cct) 制御付 Boost の V_{out} 制御状況 (対 fig2.3.2.6)

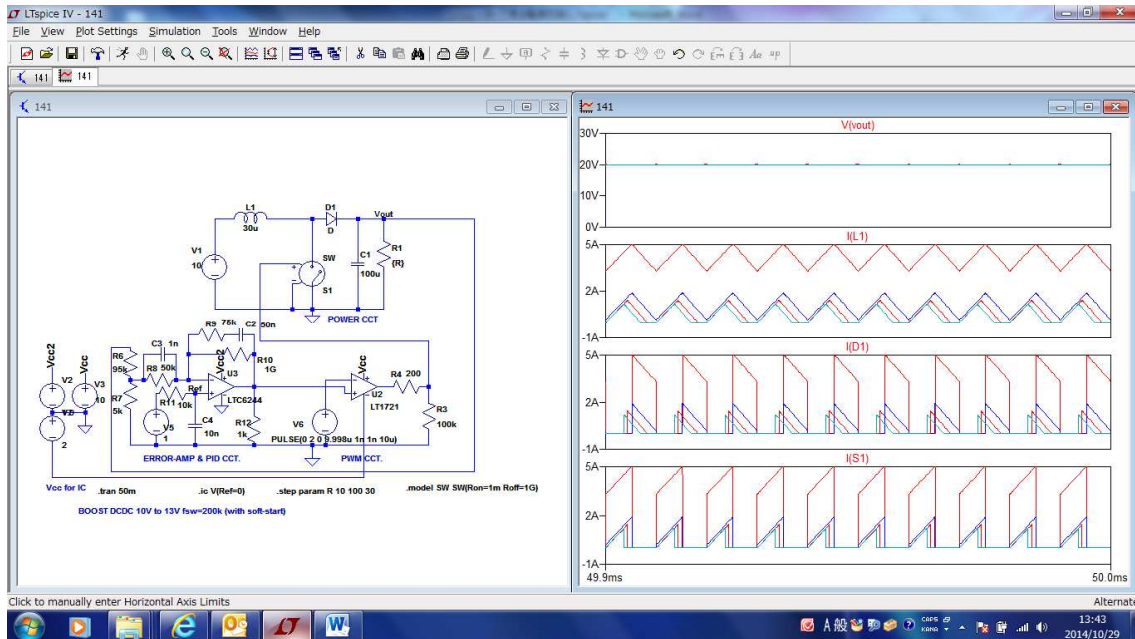


Fig 2.3.2.10 (2328cct) 制御付 Boost の電力部波形 (対 fig2.3.2.7)

◇2.3.3 Inverting DC-DC (非絶縁 PWM (-) 出力)

○LTspice 回路図

Inverting 型 DC-DC は+入力電圧から-出力を非絶縁のスイッチング電源である。
Fig2.3.3.1 に SW を固定 50% duty ドライブした Boost DC-DC の電圧変換部回路を示す。

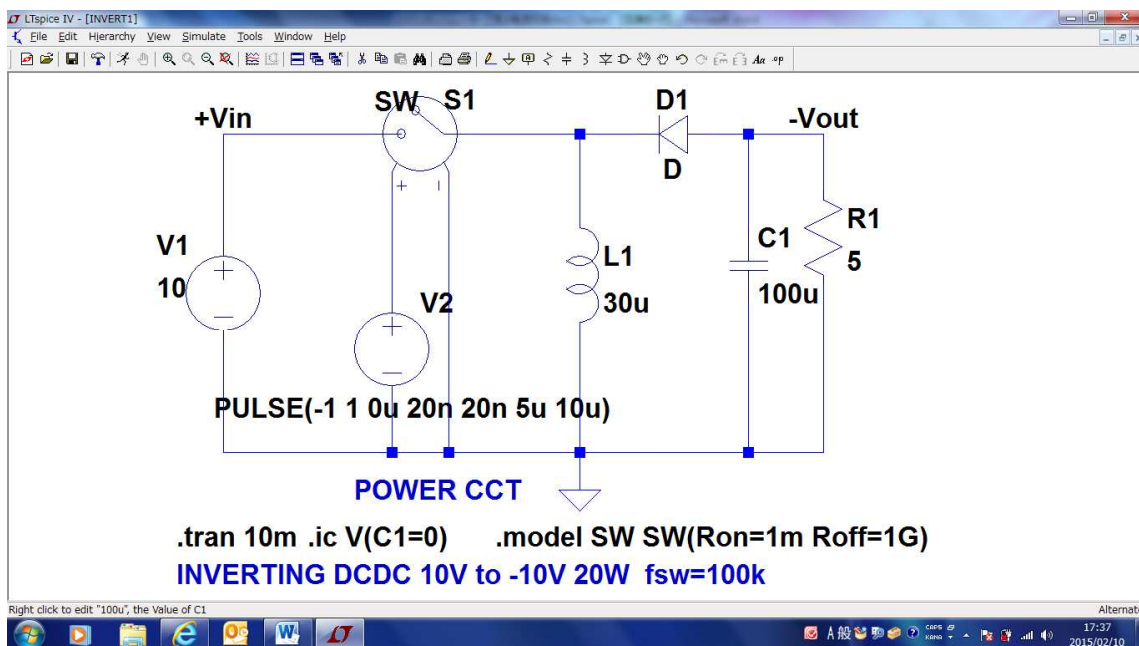


Fig2.3.3.1 (2331cct)

○動作説明 と 特徴

INVERTING 型コンバーターの特徴は出力部のダイオード D1 に SW がオフ時のみに電流が流れることとあります。ただし D1 に流れる電流方向は boost と逆になります。

このオフ時のみ D1 に電流が流れるトポロジーはマップのフライバック型のものであり、on-off 型に近いものとなります。

Toff 期間のみに D1 に電流が流れるプロセスの INVERTING 動作を説明すると下のようになります。

まず Ton には SW のショートでチョーク L1 に電源電圧 V1 が印加され電流が流れる、この時は SW がオンなので D1 は逆バイアスなので電流は流れません。

SW がオフになるとイダクターの性質（電流連続あるいは逆起電力）で L1 と D1 の接点は V1 から急激に 0 電圧を通り過ぎ (-) 電圧になります。(-) の値は SW のオン duty T_{on}/T ($T=T_{on}+T_{off}$) で決まる。

L1 は上昇した電圧へ D1 を通して L1 に Ton に流れていた電流を継続し引き込みます。この電流のひき込みで電流継続が達成されます。

Vout は D1 に電流が引き込まれる方向に C1 が充電されますので (-) 電圧が発生します。この様子は Fig2.3.3.2 のとおりです。

他の特徴は Toff 期間のみ D1 や平滑コンデンサ C1 (以下平滑コン) に電流が流れるため電流リップルが大きく Vout にリップルが出やすく、平滑コンの電流リップル容量が要求される。電力面では V1 のチョーク蓄積エネルギーが Vout に変換される方式なので出力電力に対する SW の電流負担は他の on-off 型とおなじで Boost 型より大きくなります。

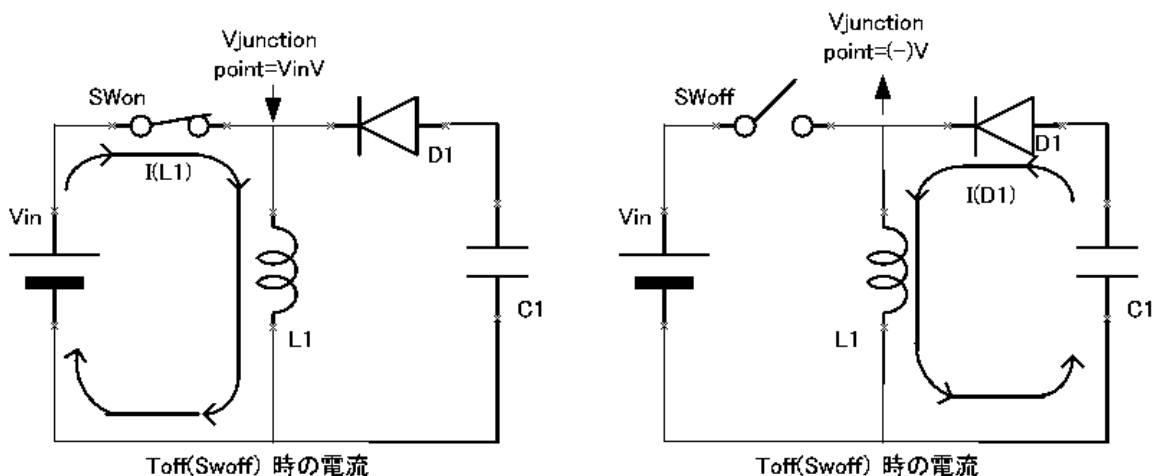


Fig2.3.3.2

○電圧変換理論式

L1 電流連続式 $V_{in} \cdot T_{on} / L_{1ind} = -(V_{out} + V_f) \cdot T_{off} / L_{1ind}$ —— (233-1)

(ただし L1 のインダクタンス = L_{1ind} SWon 時間 = T_{on} SWoff 時間 = T_{off})

(1)式を整理 $V_{in} \cdot T_{on} = -(V_{out} + V_f) \cdot T_{off}$ —— (233-2)

Vout 計算式 (233-2) から Vout を解き $V_{out} = -V_{in} \{ T_{on} / T_{off} \} - V_f$ —— (233-3)

$V_{in} = 10V$ 、 $T_{on} = 5\mu S$ $T_{off} = 5\mu S$ $V_f = 0.7V$ を入れると

$V_{out} = -9.3V$ となる

昇圧比で表すと $V_{out} / V_{in} = -1 / \{ (1/D) - 1 \}$ —— (233-4)

(ただし $V_f = 0$ にて $D = \text{duty} = T_{on} / T$ 、とした時)

昇圧比 (233-4) をグラフで fig2.3.3.3 に示す。

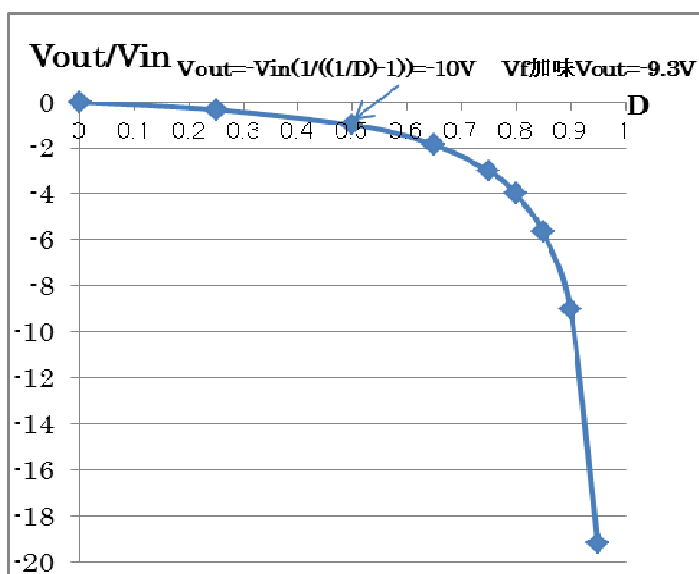


Fig2.3.3.3 INVERTING の Duty と昇圧比

○LTspice 時間解析 (.tran 解析)

●Vout の解析 Fig2.3.3.4 に起動 0mS~10mS 間の Vout の.tran 解析を示す。

起動後 9mS の安定時の波形画面を波形名左クリックで測定した Vout 電圧は-9.2V である。(233-3)式による計算にて合致する。

(制御回路無しの基本トポロジーでは安定前の深い (-) 電圧が発生するが制御回路付

の場合はソフトスタートで禁止できる)。

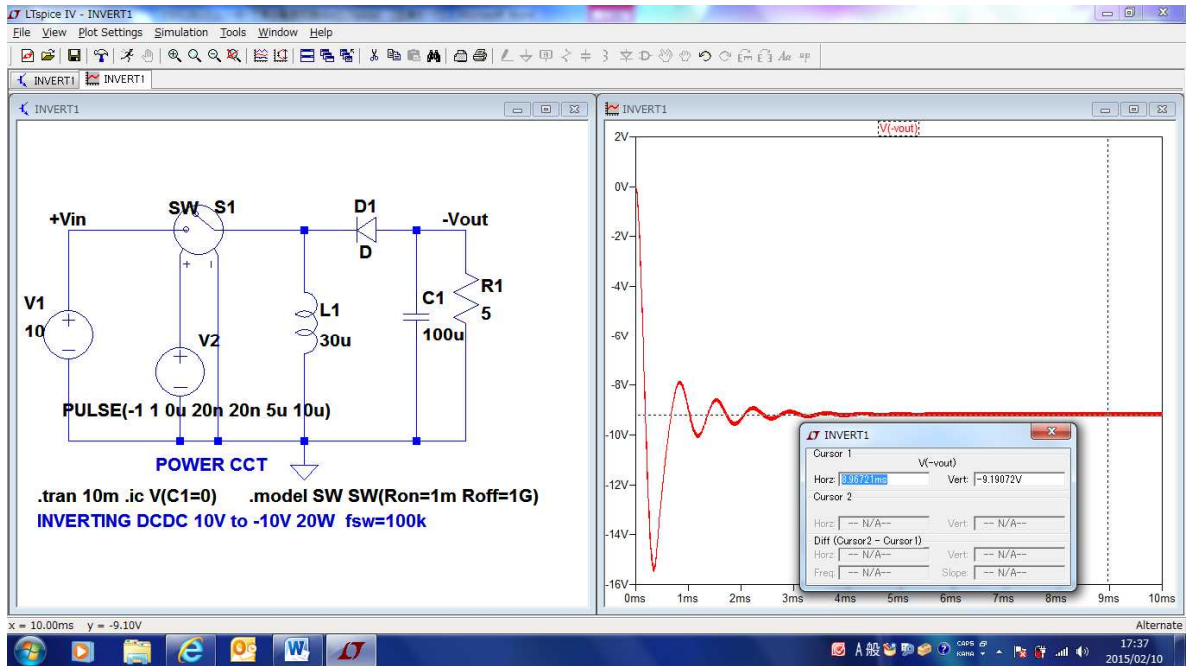


Fig2.3.3.4 (2331cct) Vout の測定

●各部電流、電圧測定 fig2.3.3.4 の安定時起動後 9.5mS 近辺の各部の.tran 解析の複数画面表示で示す。(複数画面は fig1.4.1.4 参照)

下からドライブパルス、SW 電流、D1 電流、L1 電流、L1 と D1 接点電圧である。

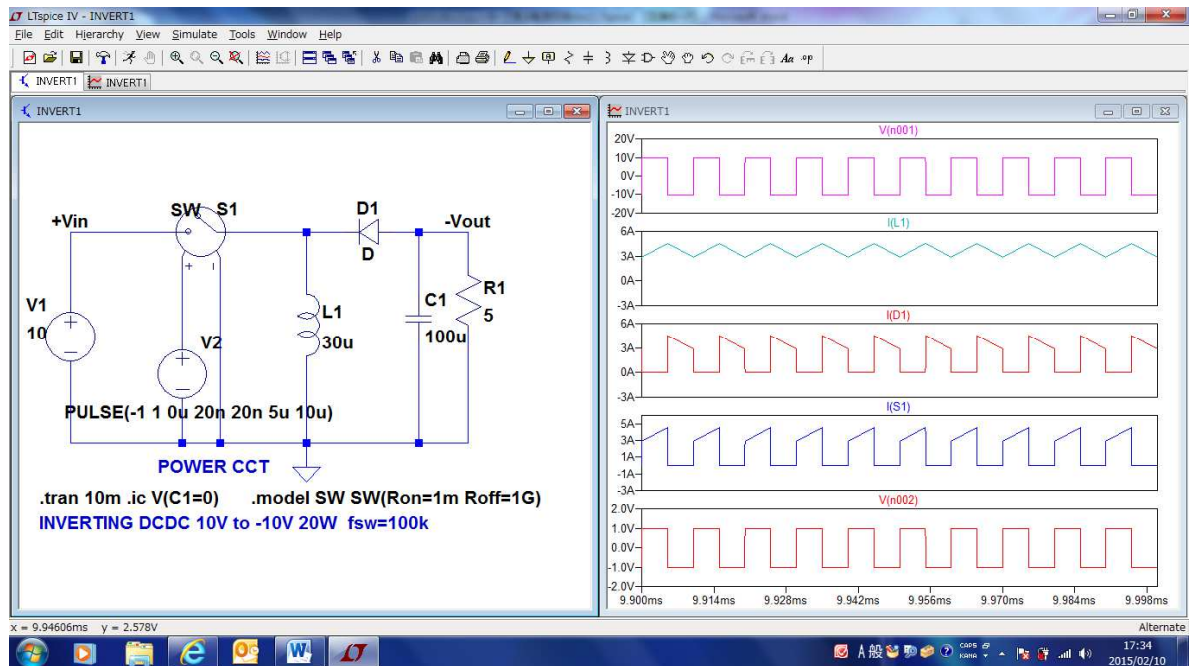


Fig2.3.3.4 (2331cct) 各部の電圧、電流波形

ドライブは SW のスレッシュホールドが 0 V(デフォルト)のため-1 ~ 1V である。SW、D1、

L1 各電流波形の傾斜は(233-1)式の $V/Lind$ によるものである。L1 と D1 の接合点波形が 0V から $-10V$ 付近まで跳ね下がって負圧を生じているのが分かる。

●対負荷変動の解析

V_{out} の負荷変動特性を評価してみる。`.step` コマンドで負荷を($2\Omega \sim 23\Omega$ まで 7Ω 間隔で振って V_{out} の対負荷変動特性を解析する。(`.step` 対応のため $R1$ の値は $\{R\}$ に変更)。
Fig2.3.3.5 に解析波形をしめす。

fig2.3.3.5 の上段波形画面にて波形下から一本目が $R=50\Omega$ 、二本目が $R=35\Omega$ 負荷の V_{out} である。ともに (233-3)式の計算電圧 $-9.3V$ に対し低い電圧 (絶対値の高い) を発生している。

三本目 20Ω 、四本目 5Ω 負荷では V_{out} 電圧はまた (233-3) 式の $-9.3V$ に合致した電圧が発生している。

また $R=20$ 、 $R=5$ の V_{out} では詳細に見ると 20Ω 時のリップル小、 5Ω 時のリップル大と $R=5\Omega$ の V_{out} がわずか高く (絶対値が低く) なっている。

軽負荷での V_{out} 電圧 (絶対値) の上昇理由は T_{on} 電流が $50\%duty$ で入るのにもかかわらず軽負荷により出力電流消費が減り T_{off} 期間終了前に D1 電流が 0 となり (233-1) 式が成立しなくなります。 DCM が発生して V_{out} (絶対値)上昇したわけである。

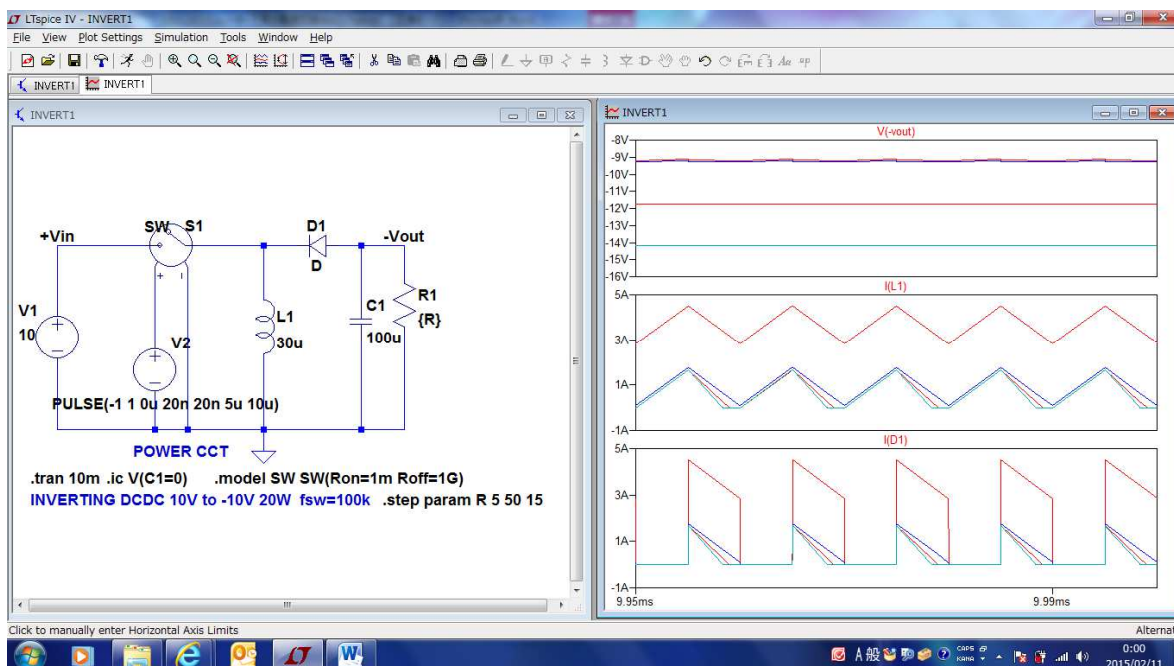


Fig2.3.3.5 (2335cct) 固定 duty で動作の INVERTING の波形
一方 20Ω 、 5Ω 負荷は CCM であり $-9.3V$ に安定化されています。

軽負荷による DCM モードで発生する V_{out} 絶対値 の上昇や
重負荷時の回路抵抗損失による V_{out} の微小な絶対値低下はともに制御回路を施すことで安

定化することになります。

以下に制御回路を付加した安定化を解析します。

○制御回路での安定化の解析

DCM の状態で V_{out} を所定の電圧に制御するには T_{on} そのものを操作すること
CCM であつれども回路抵抗損失を補い正確に計算値に正しく合わせるには微少に
 T_{on}/T 付近で duty 調整が必要になる。

このために Invert 型においても制御回路が実用化電源レベルでは必須になる。

Fig2.3.3.6 は V_{in} 10V、 V_{out} -10V 仕様で制御回路を加えた Invert DCDC である。

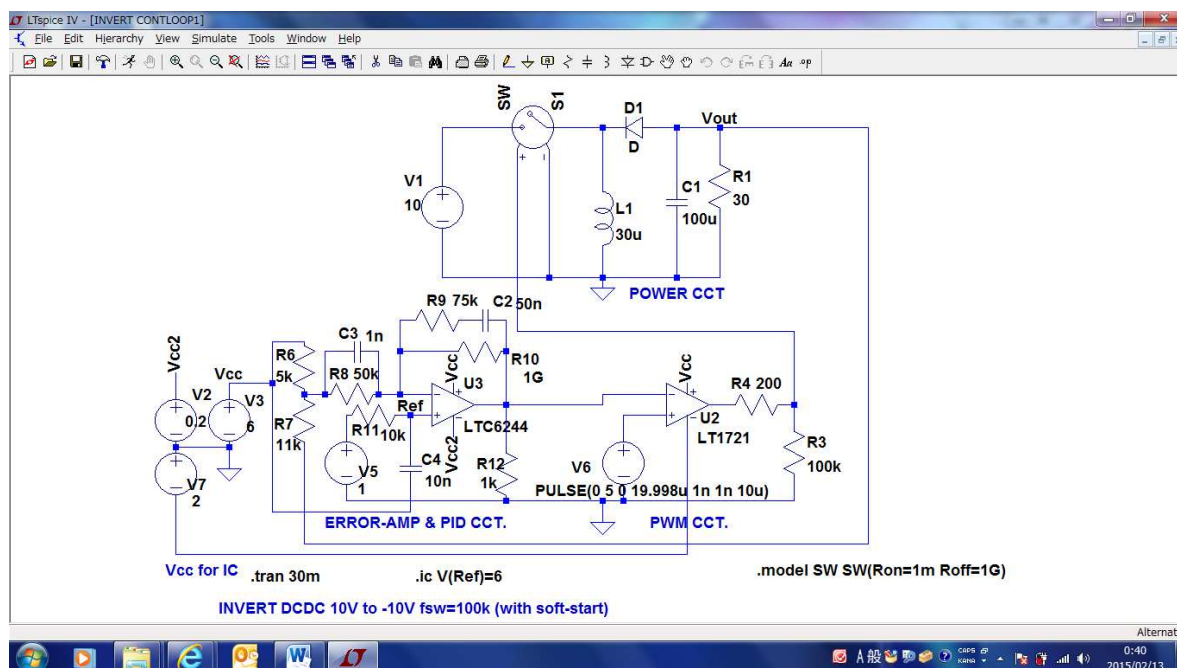


Fig2.3.3.6 (2336cct) 制御回路を具備した INVERTING

制御回路では誤差検出器入力に V_{out} の R6 と R7 による分圧電圧と 1 V (V5) の基準電圧を一致させるような負帰還ループを組み SW の T_{on} を制御し V_{out} を -10 に制御するものである。Fig 2.3.3.7 は制御回路による .tran 波形であり fig2.3.3.5 の制御無し回路と対応するものである。5Ω~50Ω (DCM CCM 状態の負荷時ともに) まで -10V 近傍の狭い範囲に抑え込んでいる。

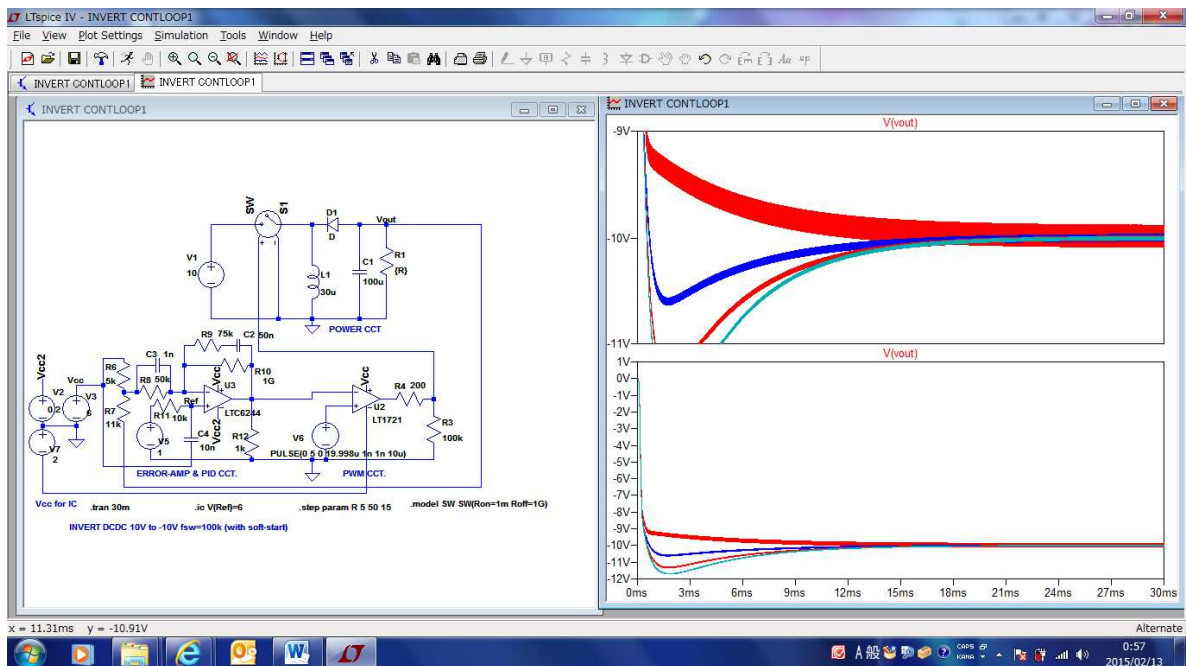


Fig 2.3.3.7 (2336cct) 制御付 INVERTING の Vout 制御状況

Fig2.3.3.8 は同じく制御付で fig2.3.3.5 (制御無) の各部波形と対応する部分の波形解析結果である。

最下段画面の波形は SW の Ton 電流波形であり DCM 状態の負荷条件では Ton 幅 が CCM 状態の負荷時と比べ狭く制御回路されて制御されていることが分かる。

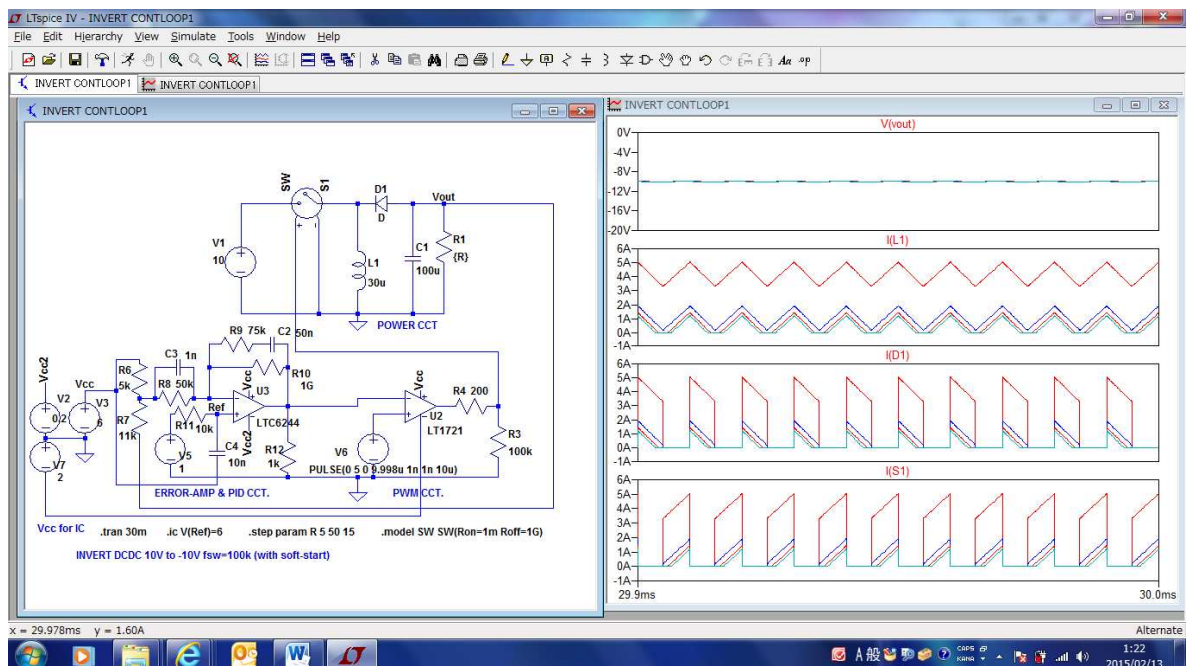


Fig2.3.3.8 (2336cct) duty が制御された INVERTING

◇2.3.4 Forward (絶縁 ON-ON PWM)

○LTspice 回路図

Forward 型は小型から中型の AC からのオフライン (絶縁) 電源に多く適用されるものである。絶縁電源は絶縁トランスの使い方で ON-ON 型と ON-OFF 型がある。ON-ON 型は T_{on} でトランス 1 次に電流が流れる期間に 2 次に電流が流れるもの、ON-OFF は T_{on} で 1 次に電流が流れる期間には 2 次に電流が流れず T_{off} で 1 次電流が切れた時 2 次電流が流れるものをいう。Forward は代表的な ON-ON 型である。2 次側にはチョークインプットの整流平滑回路とフライホイールダイオードを有するので Buck DCDC の絶縁変換とも言える。

AC からの整流を省略し整流後の 141V 入力以降の電力変換部を fig2.3.4.1 にしめす。

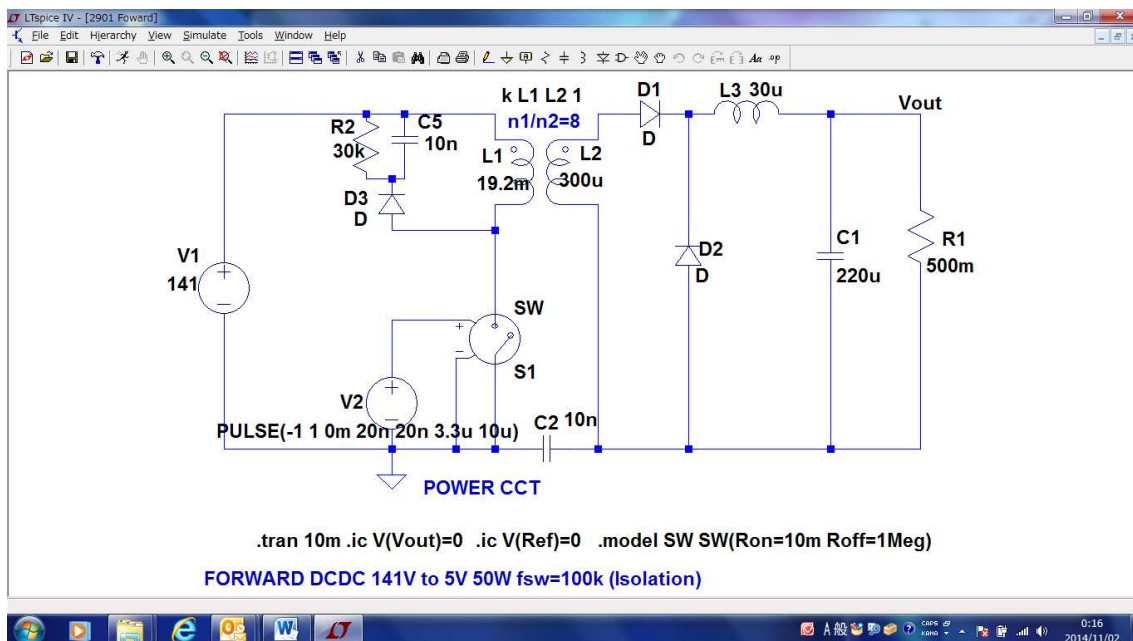


Fig2.3.4.1 (2341cct) Forward 電源電力変換部

○動作説明と特徴

Forward 型は ON-ON で T_{on} 期間に電力をトランス 2 次側に送る構成です。このためにはトランスの極性が重要になります。トランス極性は 1 次では側巻線はじめ ○印 極が入力電源側に 2 次では側巻線はじめ ○印 極が D1 ダイオードアノード側になり、 T_{on} 時 D1 に電流が流れる構成にします。

D1 以降出力側の D2 とチョークインプット平滑回路は Buck DCDC の SW 以降の出力側と同じ構成と同じ動作になります。

T_{on} と T_{off} ステージの電流の流れを fig2.3.4.2 に示し動作を解説する。

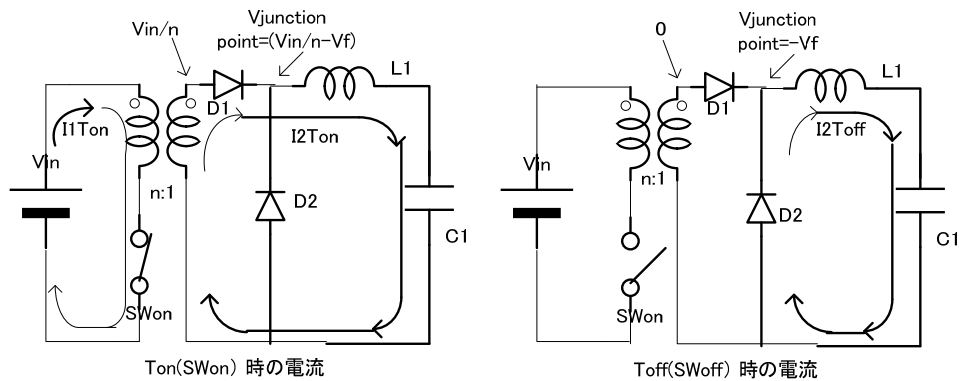


fig2.3.4.2

Ton 期間は $V_{in} \rightarrow t$ ランス $\rightarrow D1 \rightarrow L1 \rightarrow$ 平滑コンデンサー、Toff 期間は $D2 \rightarrow L1 \rightarrow C1$ の電流が流れます。両期間ともインダクターL1に電流は流れ、L1とD2の接点の電圧変化も Buck 型と同じです。違っているのは Ton 期間のこの接点の電圧がトランスの巻き数比による降圧で V_{in}/n ($D1$ の V_f が 0 の時) となることだけです。このことから forward は非絶縁の Buck 型とも言えます。

Forward 型の特徴は絶縁のほかは 電流リップルが小さく平滑コンデンサーに有利など Buck 型と同じになります。また CCM や DCM が生じるという性質も Buck と同じです。

Forward 型が Buck と大きく異なるのはトランスの磁束処理に関連する duty の設定の方法です。

Buck では理論的には $duty = 1$ 近くまで設計できますが、forward では 50%max 目安に設計するのが一般です。それは後述のトランス磁束のリセットの時間を Toff におかなければならず、Toff を小さくできない為です、そこでトランス巻線比率設計にはこの duty を考慮する必要がでてきます。

また Ton 期間には Buck 型ではなかった 2 次側の整流ダイオードの V_f 損失が追加となります。

トランス磁束のリセットとは次のようになります。

トランスに毎 Ton 期間+極性のみの V_{in} を印加し動作させると各オン期間に磁束が蓄積されトランスは数パルスで飽和してトランスの機能を失います。このため forward のトランスは毎サイクル磁束を抜く必要があります 1 次側に磁束リセット回路が必要になります。

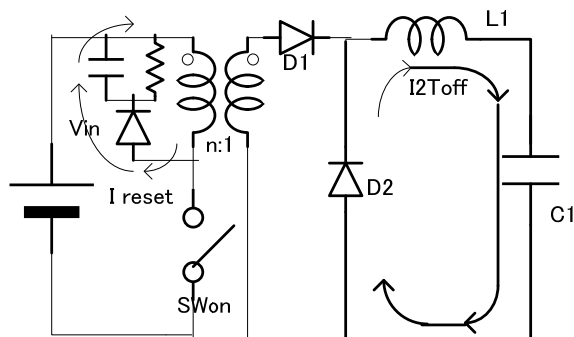
単純なリセット回路は D2 と CR 負荷を SW とトランスとの接続点から電源に挿入し SW オフ期間に磁束を捨てる方式が用いられますが、リセットによりある量の電力損失が発生します。

またリセットは Toff 期間内に完了する必要があります、リセット時間を Toff 期間内にする設計はリセット CR の R 負荷の調整で行います。

(R 抵抗値が高いとリセット期間は短縮されますがリセットにより SW 端子に発生するリセット電圧は高くなりますので SW 耐圧に注意が必要です)

リセット損失を少なくするには磁束の蓄積の少ない大き目なトランスインダクタンスを

設計するか、別のリセット回路を用いる方式（ Two-tr-forward や アクテブクランプ電源など）を選定する必要があります。磁束リセット回路の動作を fig2.3.4.3 に示す。



トランス磁束のリセット (I reset)

fig2.3.4.3 リセット回路

○電圧変換理論式

電圧変換の理論式は Buck DCDC と同じ手法で求められる。

Buck 型と異なるのは Buck 型で用いた V_{in} がトランスで一度変圧されるため forward では V_{in}/n (n は巻線比) となる。

V_{out} の理論式はインダクターの性質（電流の継続）から

$$(IL1_{ton} : Ton \text{ 期間の } IL1 \text{ 変化幅}) = \{(V_{in}/n - D1V_f) - V_{out}\} * Ton / L1_{ind} \quad \text{--- (234-1)}$$

$$(IL1_{toff} : Toff \text{ 期間の } IL1 \text{ 変化幅}) = (V_{out} - D2V_f) * Toff / L1_{ind} \quad \text{--- (234-1b)}$$

電流継続 $\rightarrow IL1_{ton} = IL1_{toff} \rightarrow \{(V_{in}/n - D1V_f) - V_{out}\} * Ton = (V_{out} - D2V_f) * Toff$ から

$$V_{out} = \{(V_{in}/n - D1V_f) * duty\} - \{D2V_f * (1 - duty)\} \quad \text{--- (234-2)}$$

$$V_{out} \text{ (about)} = (V_{in}/n) * duty \quad \text{--- (245-3)} \quad V_f = 0 \text{ の簡易式の } V_{out}$$

さらに正確には SW の電圧降下も理論的には考慮する必要もあるが入力電圧が絶縁型では高いので省略して支障は少ない。

ここで巻線比 n について触れておく。

前項の 50%max の duty 制限から回路ロスを考慮して V_{in}/n は V_{out} の 2.5 倍以上必要になります $V_{in} 141V$ $V_{out} 5V$ のおいては $V_{in}/n > 2.5 * V_{out} = 11.28$ となり $n < (\text{整数 } 11)$ となります。Fig2.3.4.1 では $n=8$ となっています。

○LTspice での各部波形の解析

LTspice での forward fig2.3.4.1 の解析結果を fig2.3.4.5 に示します。

波形は下の段から V_{out} , $D1$ 電流、 $D2$ 電流、 $L3$ 電流、 $D1$ と $D2$ の V_f 、SW 電圧（トランス接合点）、 $D3$ 電流、です。

これらの解析波形を LTspice 波形電流読み取り (Ctrl+波形名左クリック) とカーソル読み取りで (波形名右クリックとカーソル操作) で理論値と比較してみると同時に波形間の関連を考察してみます。

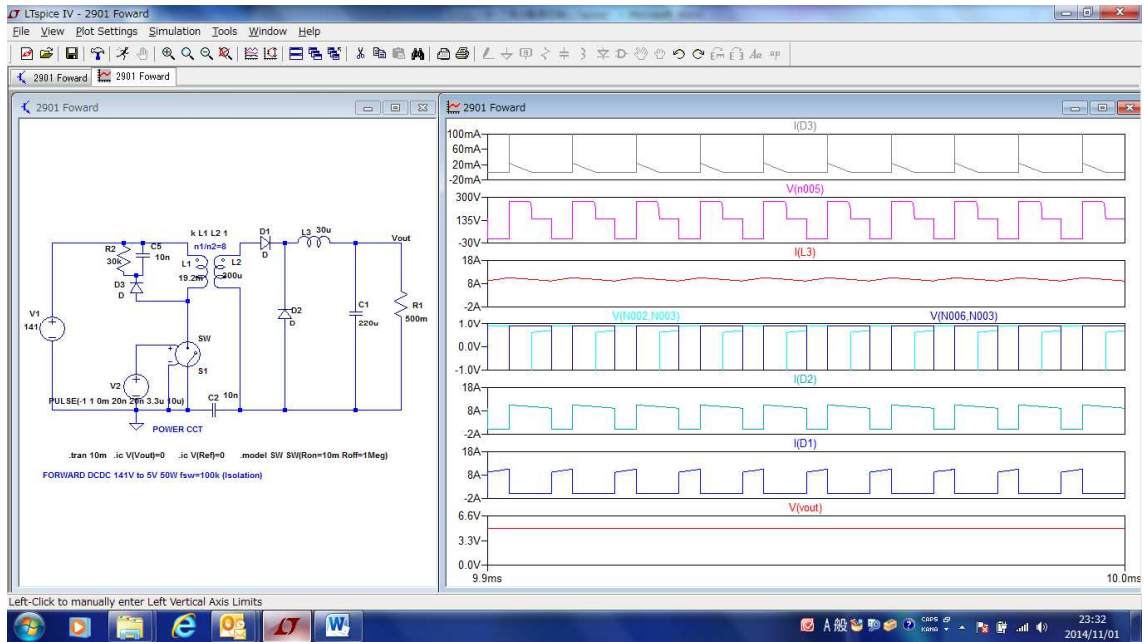


Fig2.3.4.5 (2341cct)

- 解析値と理論値の比較

Vf 解析値 895mV ⇔ Vfは理論値でなく実測値を以下の理論計算に用います。

Vout 解析値 4.94V ⇔ 理論値 $V_{out} = \{(V_{in}/n - D1V_f) * duty\} - \{D2V_f * (1 - duty)\} = ((141/8 - 0.89) * 0.33) - (0.89 * 0.67) = 4.93V$

ID3 解析平均値 9.89A ⇔ 理論値 $V_{out}/500m\Omega = 9.86A$

と解析結果が理論値を示しています。

- 波形間の関連

SW 波形が Toff 部分の前半期間に Vin より 120V 近く上昇している。この 120V はトランスの磁束を D3、R2、C5 の磁束リセット回路でリセットしている電圧を示している。この期間は磁束リセット中で D3 電流が 0 に戻る (Toff の SW 電圧が 141V に戻る) までであり、流れた D3 電流は R2 で損失消費される。このリセット期間は Toff 期間からはみ出ないように設計しなければならない。

リセット期間を短くするにはトランスインダクタンスを固定条件下では R2 を大きくすることで行えるが、R2 大は SW の上昇電圧が上がるのでバランスをとる必要がある。

○制御回路での安定化の解析

Forward においても固定 duty での SW ドライブにおいては DCM 状態では Vout の上昇が起こる。また回路内に損失抵抗回路があれば重い負荷では Vout が低下する。

実用の電源として用いるときこの V_{out} を一定に保つため duty 制御回路が必要となる。
 Fig2.3.4.6 に制御回路付の forward 電源回路と起動後安定までの V_{out} (負荷 3 水準) 解析波形を示す。

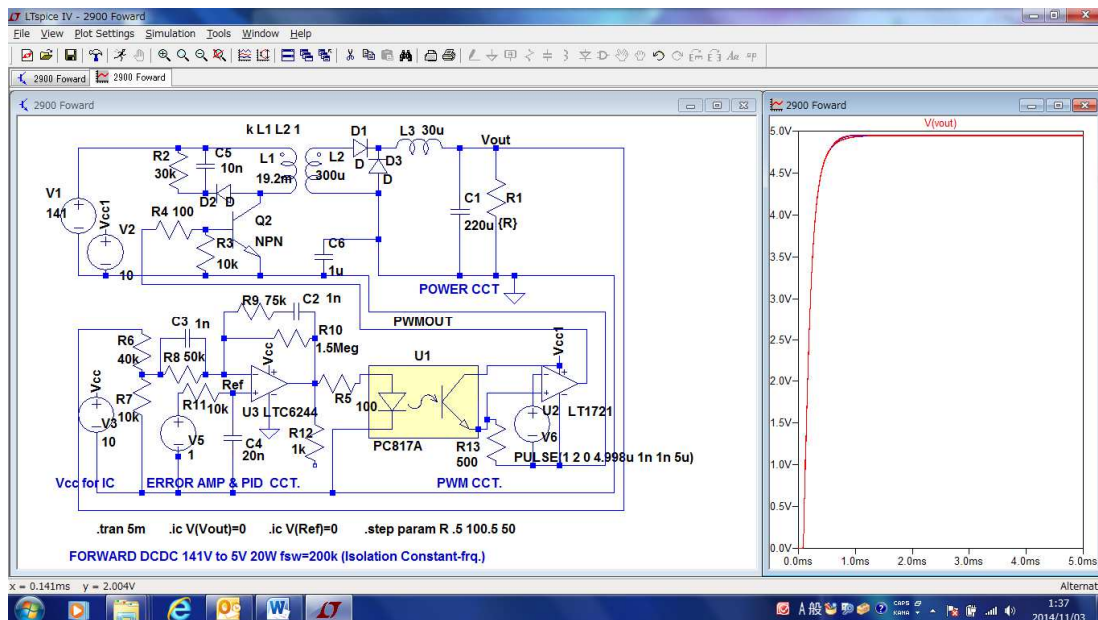


Fig2.3.4.6 (2346cct)

Fig2.3.4.7 は $L3$ 電流と V_{out} を負荷 3 水準で解析した波形の安定部分拡大である。
 安定電圧が 5 V に対してやや低めである。

制御回路の誤差検出の gain を上げて ($R10 \text{ } 1.5 \text{ meg} \rightarrow 7 \text{ meg}$) 再解析の結果が fig2.3.4.8 である。安定電圧の上昇と V_{out} 対負荷変動の改善がみられる。

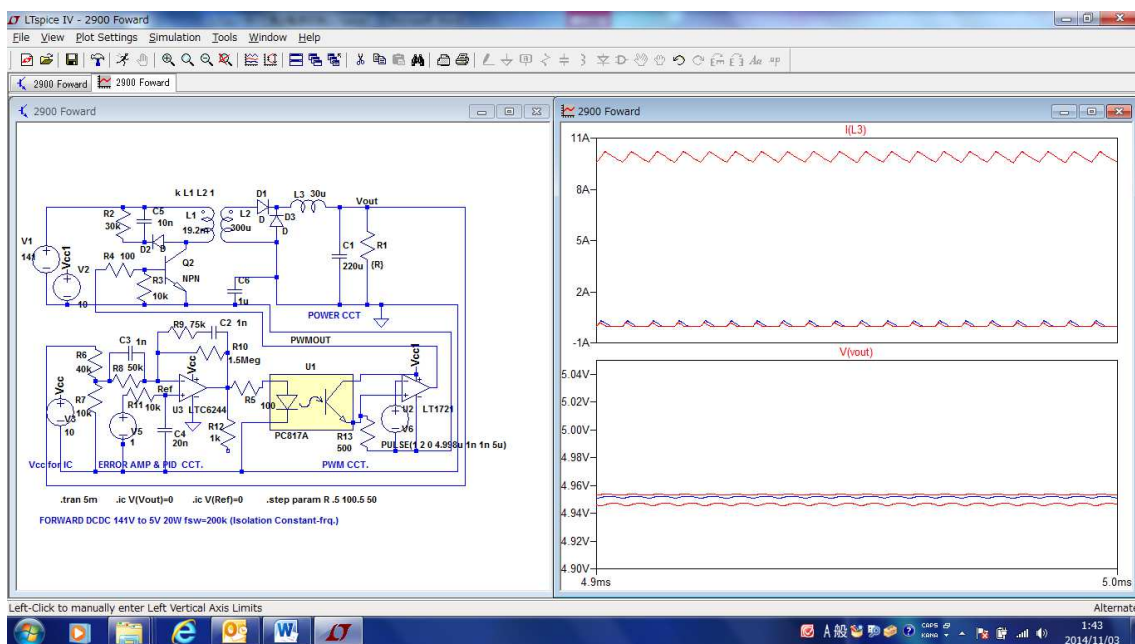


Fig2.3.4.7(2346cct) GainPID オペアンプ負帰還 R 1.5Meg

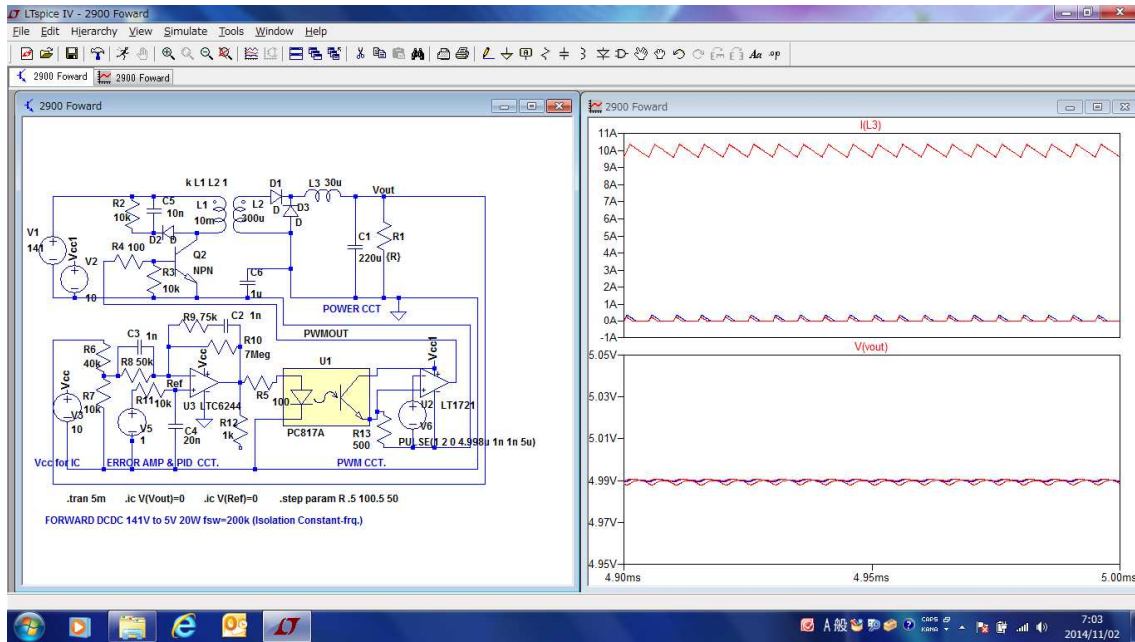


Fig2.3.4.8(2346cct+) PID gain up GainPID オペアンプ負帰還 R 1.5Meg→7Meg
 (2346cct+) の+は (2344cct) の R10 抵抗値変更したもの。

◇2.3.5 Flyback (絶縁 ON-OFF PWM)

○LTspice 回路図

Flyback 型は主に小型の AC からのオフライン (絶縁) 電源に適用されるものである。動作は 2 次側にある整流回路はコンデンサーインプットの平滑回路を有するので Boost DCDC の絶縁変換とも言える。SW とトランス極性の接続は 1 次に電流が流れる期間には 2 次に電流が流れず Toff で 1 次電流が切れた時 2 次電流が流れる構成で ON-OFF 型である。AC 整流を省略し整流後の 141V 入力以降の電力変換部を fig2.3.5.1 にしめす。

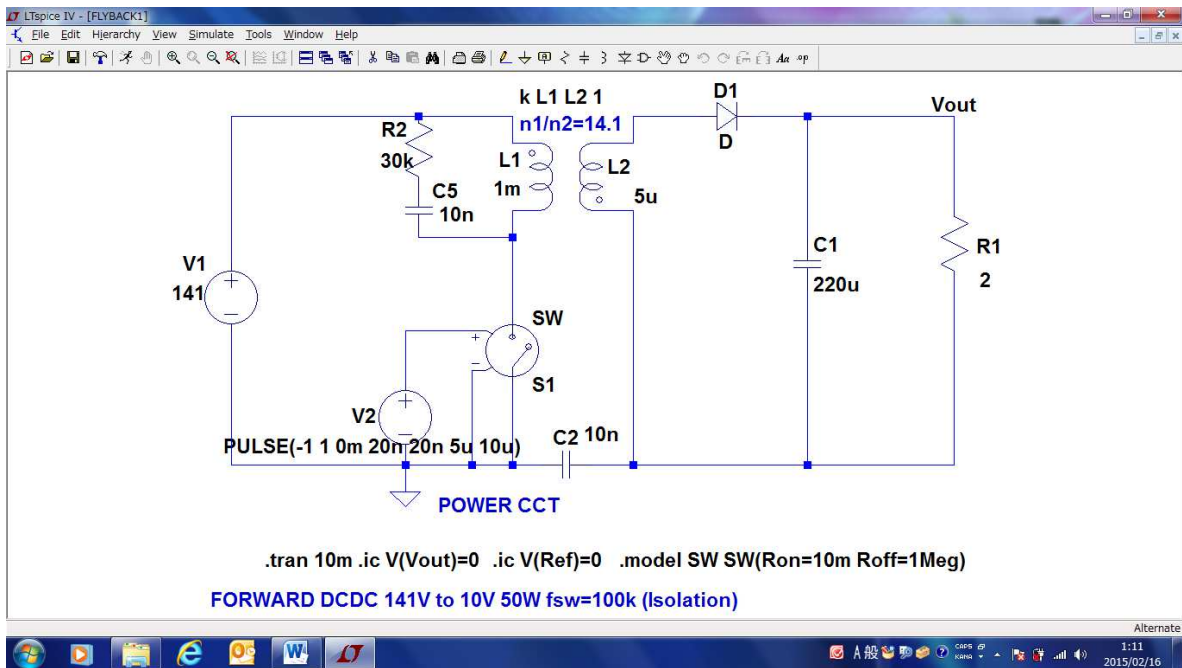


Fig2.3.5.1(2351cct) Flyback 電源電力変換部

○動作説明と特徴

Flyback 型は Toff 期間)に電力をトランス 2 次側に送る構成です。このためにはトランスの極性が重要になります。トランス極性は 1 次では側巻線はじめ ○印 極が入力電源側に 2 次では側巻線終わり (○印 極でない方) が D1 ダイオードアノード側になり、Ton 期間にトランスに電力を磁束として蓄え Toff 期間に D1 を通して Vout に放出する構成である。D1 以降出力側のコンデンサーインプット平滑回路は BoostDCDC の SW 以降の出力側と同じ構成と同じ動作になります。

Fig2.3.5.2 に Ton, Toff における電流の流れを示します

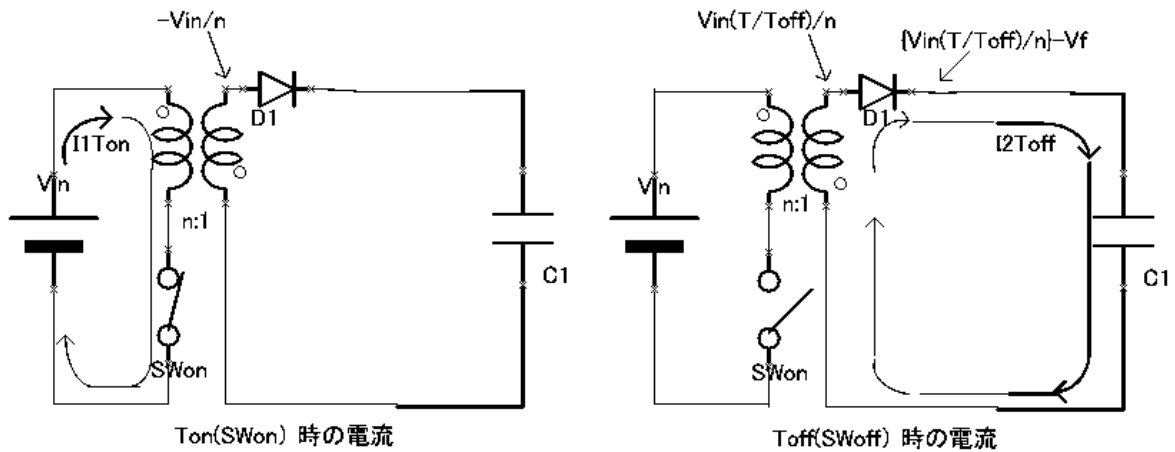


Fig2.3.5.2

Ton 期間はトランス 2 次巻線と D1 の接続極性が 2 次電流を阻止する接続のため $V_{in} \rightarrow$ トランスのみの電流でトランスの L (インダクタンス) に励磁エネルギーが蓄積されます。

この励磁エネルギーは Toff 期間に 2 次巻線にフライバック電圧としてあらわれ D1 を通して出力コンデンサーを充電します。励磁エネルギーが 2 次巻線 \rightarrow D1 \rightarrow C1 の電流の流れで出力されることになります。

Toff 期間に D1 を通して出力に電力が供給されることから Flyback 型は ON-OFF 型であり絶縁型ということになります。

Flyback 型の特徴は絶縁のほかは トランスの n 値の設定次第で V_{in} 以上の電圧の出力も可能となります。

また D1 からの Toff 期間のみによる電力供給のため電流リップルが大きく平滑コンデンサーに負担が大きいことなど Boost 型と同じになります。また CCM,DCM 発生する。

Flybackd 型と Forward 型はともに絶縁トランスをしますがトランス設計では Forward 型の磁束リセットという制約がないので PWM duty の制限 50% (0.5) 以下という制約はなくなります。duty = 1 近くまで設計できますが V_{out} と duty のリニアリテ-ーがよい定格出力時に duty を 0.5 程度にするのが好ましい。

なお磁束のリセットが不要のため Forward 型で必要としたトランス 1 次側のリセット回路は理論上不要ですが絶縁トランスには微小なリーケッジインインダクタンス生じこのインダクタンスに残る磁束が Ton 終了時に SW にスパイク電圧を発生することがあります。このスパイク対策で forward と同じリセット回路を用いることもあります。微少なスパイクの場合は SW に CR スナバーを設けて対応することが一般です。

その例を fig2.3.5.3 に示します。

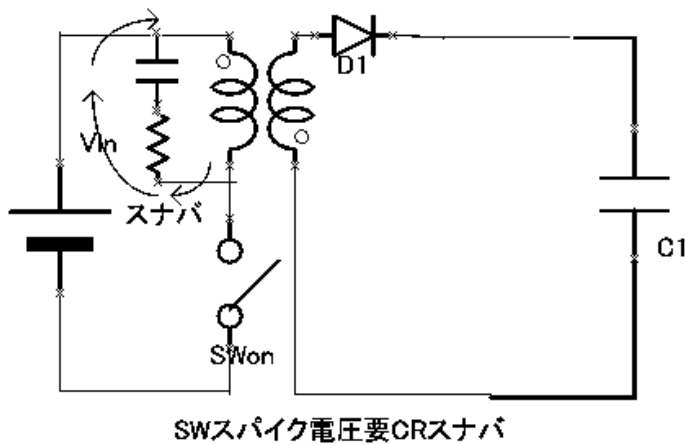


Fig2.3.5.3

○電圧変換理論式

Ton 時には電力伝送は発生しない。Toff の電力伝送で出力電圧が得られる。

Toff 時にトランス 1 次が発生する電圧は電圧 * 時間積から

$$V_{in} * T_{on} / L_m = V_{n1} * T_{off} / L_m \quad \rightarrow \quad V_{n1} = (T_{on} / T_{off}) * V_{in}$$

トランス 2 次が発生する電圧はこの巻線比率 1/n 倍

$$V_{n2} = \{ (T_{on} / T_{off}) * V_{in} \} / n \quad \text{となる。}$$

平滑コンデンサーにはさらに D1 の Vf 分低下した

$$V_c = \{ (T_{on} / T_{off}) * V_{in} \} / n - V_f$$

が充電され出力電圧となる。

(この電圧の理論式はトランスの巻線比率を 1 としで極性 (-) を無視すれば INVERTING 型と同じものとなる)。

50% duty (Ton=Toff) 付近で制御するとすれば

$$10 + 0.7 = 141 / n \quad n = 13.2$$

巻線比率 n を 13 と定められる。

○LTspice での各部波形の解析

LTspice での Flyback 型 fig2.3.5.1 の解析結果を fig2.3.5.4 に示します。

波形は下の段から Vout, 絶縁トランス 1 次電流、D1 電流、SW 電圧 (トランス接合点)、です。

これらの解析波形を LTspice 波形電流読み取り (Ctrl+波形名平離クリック) とカーソル読み取りで (波形名右クリックとカーソル操作) で理論値と比較してみると同時に波形間の関連を考察してみます。

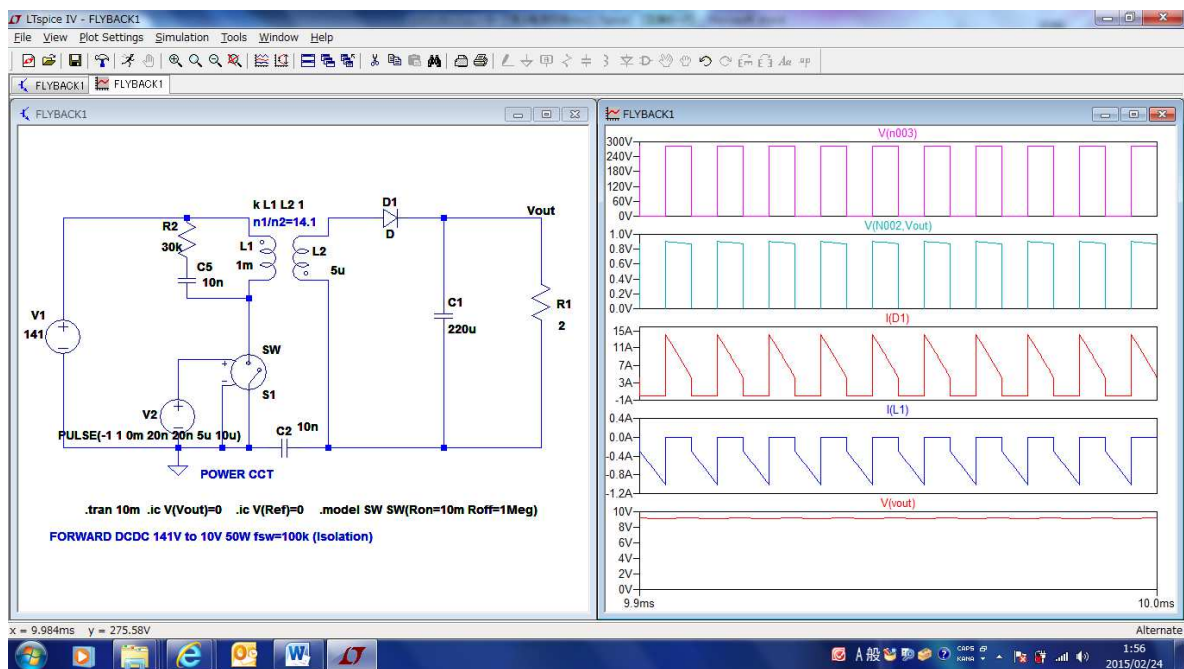


Fig2.3.5.4(2351cct)

- 解析値の読み取りと理論値の比較

Vf 解析値読み取り値 894mV 測定波形名を右クリック (Toff 期間)。

Vout 解析値読み取り値 9.190V

$$\text{理論値 } V_{out} = \{ (V_{in} * \text{duty}) / n \} - V_f = 141 * 1 * 14.1 - 0.893 = 9.107$$

ID1 解析平均値読み取 4.58A 理論値 $V_{out} / 2 = 9.19 / 2 = 4.59A$

と解析結果読み取りと理論値が良い一致を示しています。

- 波形間の関連

SW のトランス側の波形が Toff 期間は Vin より 120V 近く上昇している。これはトランスの磁束が D1 を通して 2 次に出力されている状態が 1 次に見えるのである。

(出力電圧 * 巻き線比率 $(9.2 + 0.9) * 12 \div 120V$) が上昇分

解析波形では Vin 上昇が Toff 期間一杯に存在し、このことはトランス電流(1 次+2 次)が CCM 状態であることを示している。負荷充分軽いときには DCM となり Toff 期間の途中上昇は終わる。Forward 型のように Toff 期間に Vin 上昇が終了しなくても flyback 型では Toff 期間出力しながら大半の磁束をリセットしているので磁束飽和が起こらない。

ただし CCM 状態は磁束が残留しているのでトランスの磁束利用率が低い。

電力伝送磁束の利用率を上げるには電源定格力時に臨界状態 (CCM と DCM に境目) が好ましい。後述の Quasi-rezonannse 型などは臨界状態下で制御している。

○制御回路での Vout 安定化の解析

Flyback 型においても固定 duty での SW ドライブでは DCM 条件が起これり V_{out} の上昇が起こる。

また回路内に損失抵抗があれば重い負荷では V_{out} が低下する。

実用の電源として用いるとき V_{out} を安定に保つには duty 制御回路が必要となる。

Fig2.3.5.5 に制御回路付の flyback 型電源回路と起動後安定までの V_{out} (負荷 3 水準) 解析波形を示す。

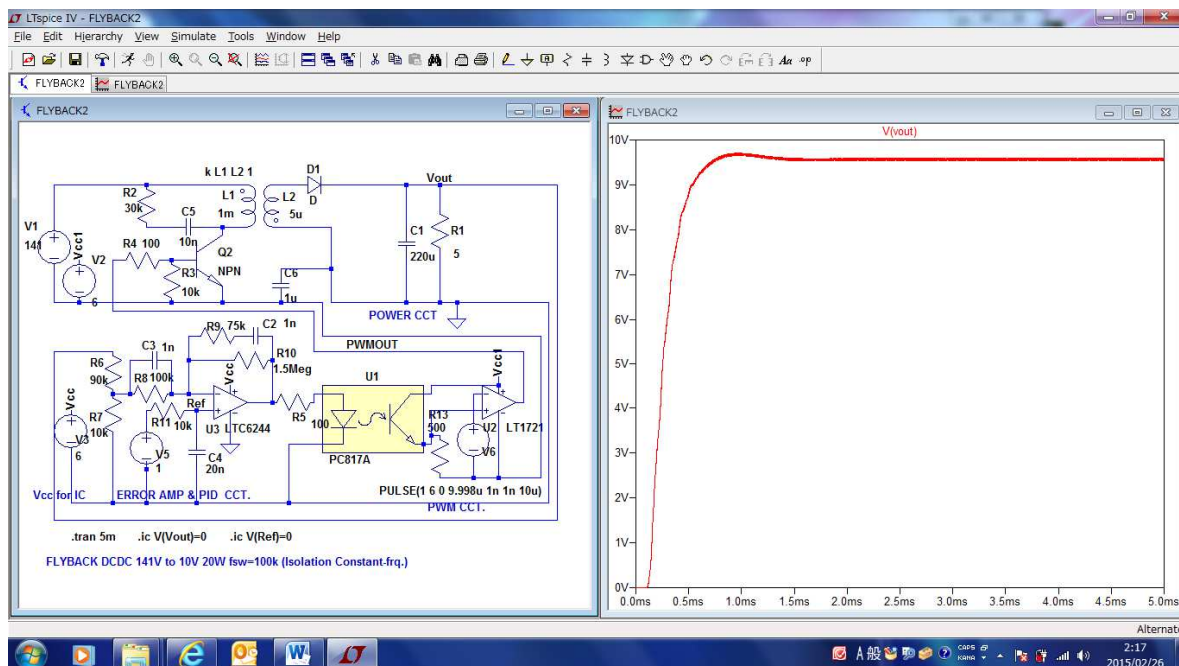


Fig2.3.5.5(2355cct)

Fig2.3.5.6 は $L2$ 電流と V_{out} を負荷 3 水準 (2、7、12Ω) で解析した波形の安定部分拡大である。

安定電圧が 5 V に対してやや低めである。

制御回路の誤差検出の gain を上げて ($R10 = 1.5\text{Meg} \rightarrow 7\text{Meg}$) 再解析の結果が fig2.3.5.7 である。安定電圧の上昇と V_{out} 対負荷変動の改善がみられる。

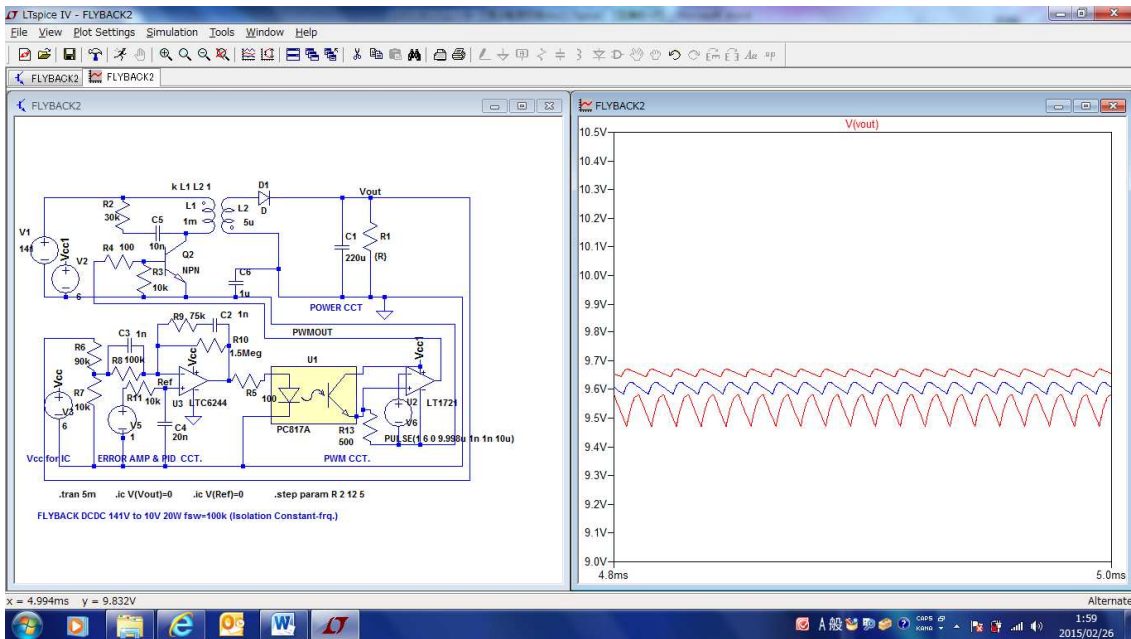


fig2.3.5.6 (2356cct) GainPID 1.5Meg

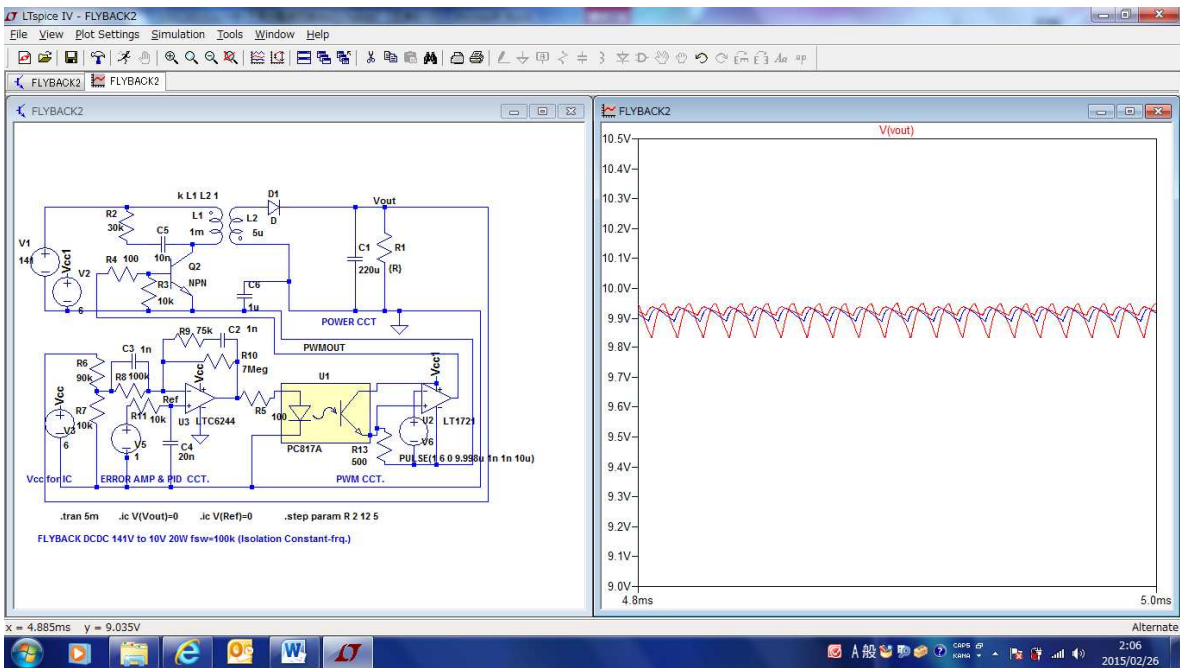


Fig2.3.5.7(2356cct+) PID gain up 1.5Meg → 7Meg
(2356cct+) の+は (2356cct) の R10 抵抗値変更

◇2.3.6 Half-bridge (絶縁 on-on PWM)

○LTspice 回路図

Half-bridge 型は中から大電力の AC からのオフライン (絶縁) 電源に適用されるものである。スイッチの耐圧が AC 整流電圧にとどまり、絶縁トランスの磁束利用率が高い特徴がある。一次側は入力電圧の分割コンデンサー (兼入力平滑) 2 個とハイサイド、ローサイドの 2 個のスイッチで構成される。2 次側はセンタータップ巻線からのチョーク入力 of 整流回路構成となる。チョークインプットの平滑回路を有する Buck 型 DCDC の絶縁変換とも言える。PFC 出力の 375V を入力とした電力変換部の例を fig2.3.6.1 にしめす。絶縁トランスの設計はトランス項に譲るが ON-ON 型のトランス設計になる。

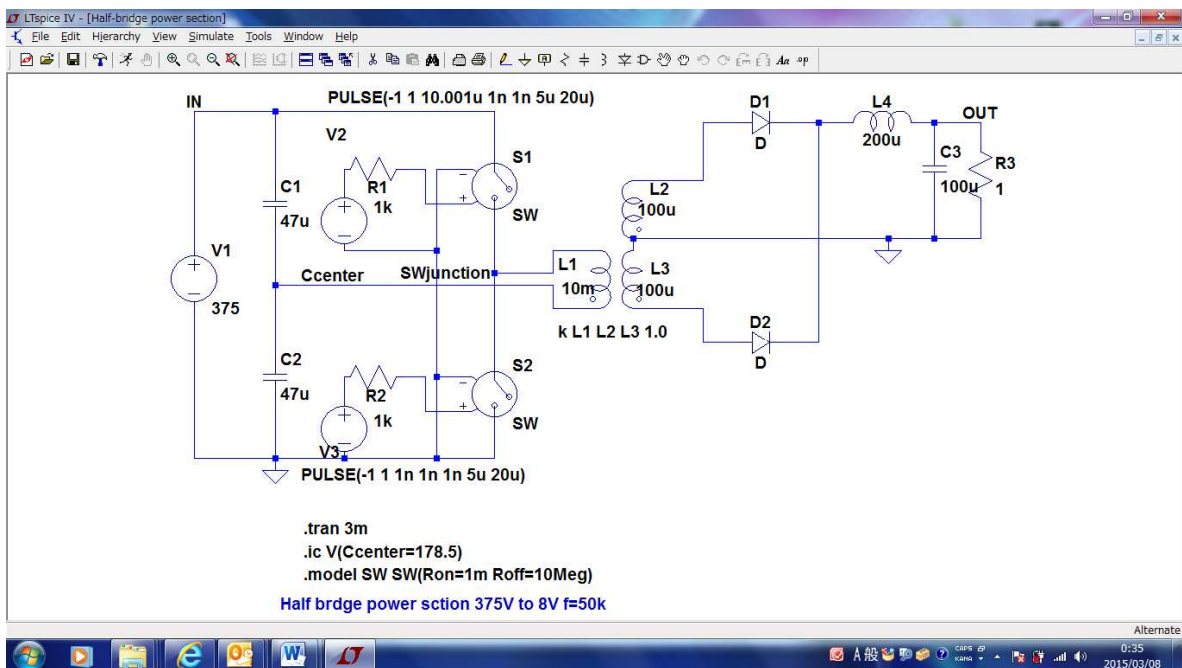


Fig2.3.6.1(2361cct) Half-Bridge 電力変換部

○動作説明と特徴

Half-Bridge 型はオフライン用途で Ton 期間に電力をトランス 2 次側に送る ON-ON 構成です。高い(DC375V 系)入力電圧に 600V 耐圧のスイッチで対応でき中(100W~)電力処理に適します。1 次側は電源に並列にコンデンサーの直列とスイッチの直列を備え、各直列の接続間にトランス 1 次をつなぐ、2 次はセンタータップで GND され出力端は各ダイオードでチョーク入力の平滑回路のに接続する構成となります。チョークインプット平滑回路は Buck DCDC の出力側と同じ構成と同じ動作になります。

トランスは±両極性に励振されるためリセットは不要でリセットによる跳ね上がり電圧もない。この動作を Fig2.3.6.2 で図解します。

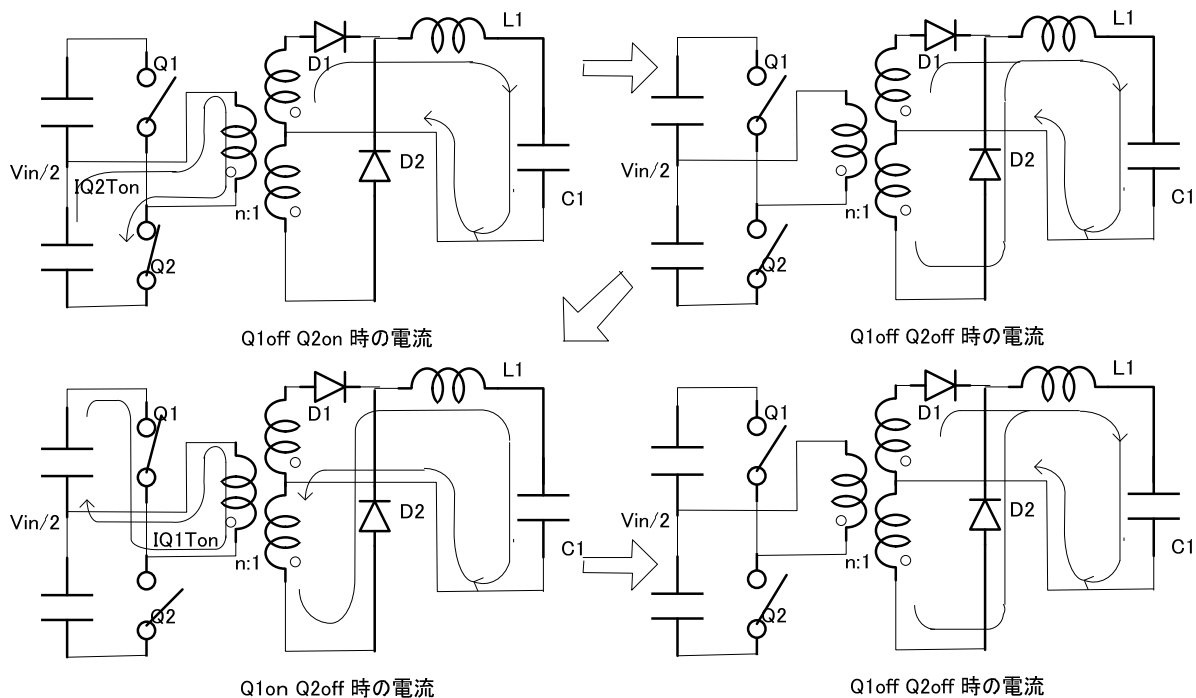


Fig2.3.6.2

Half-Bridge型は4つのステージで動作する。

Q1off Q2on、Q1off Q2off、Q1on Q2off、Q1on Q2on が4つのステージである。Forward型では2つのステージで動作 (fig2.3.5.2) するがこの2つのステージをQ2on時とQ1on時で繰り返すことになる。

Q1off Q2on、Q1off Q2off の duty と Q1on Q2off、Q1on Q2on の duty は同一のものとなります。

2次の電流リップルはforward型と同じになり小さく平滑コンデンサー電流耐量は小さくて済みます。

dutyの設定の仕様はトランス磁束が正負で磁束リセットが不要なためのduty=1近くまで設計できます。Buck型のduty設定と同じになります。

○電圧変換理論式

電圧変換の理論式はBuck DCDCと同じ手法で求められる。

Buck型と異なるのはBuck型で用いたVinがトランスで一度変圧されるためforwardではVin/n (nは巻線比)となる。

Voutの理論式はインダクターの性質(電流の継続)から

$$(IL1ton : Ton 期間の IL1 変化幅) = \{(Vin/n - D1Vf) - Vout\} * Ton / L1ind \quad \text{--- (236-1)}$$

$$(IL1toff : Toff 期間の IL1 変化幅) = (Vout - D2Vf) * Toff / L1ind \quad \text{--- (236-1b)}$$

電流継続 → $IL1ton = IL1toff \rightarrow \{(Vin/n - D1Vf) - Vout\} * Ton = (Vout - D2Vf) * Toff$ から

$$V_{out} = \{(V_{in}/n - D_1 V_f) * duty\} - \{D_2 V_f * (1 - duty)\} \quad (236-2)$$

$$V_{out} \text{ (about)} = (V_{in}/n) * duty \quad (236-3) \quad V_f=0 \text{ の簡易式の } V_{out}$$

さらに正確には SW の電圧降下も理論的には考慮する必要もあるが入力電圧が絶縁型では高いので省略して支障は少ない。

Fig2.3.6.1 での V_{out} を (236-3) 式で求めてみる。

$V_{in}=375/2$ 巻線 $n(10)$ $duty=50\%$ から $V_{out}=9.37V$ となる (ただしダイオードの $V_f=0$ として)。

○LTspice での各部波形の解析

LTspice での Half-Bridge fig2.3.6.1 の解析結果を fig2.3.6.3 に示します。

波形は下の段から V_{out} , D1 電流、D2 電流、L3 電流、SW 電圧 (トランス接合点)、トランス 1 次電流、です。

これらの解析波形を LTspice 波形電流読み取り (Ctrl+波形名平離クリック) とカーソル読み取りで (波形名右クリックとカーソル操作) で理論値と比較してみると同時に波形間の関連を考察してみます。

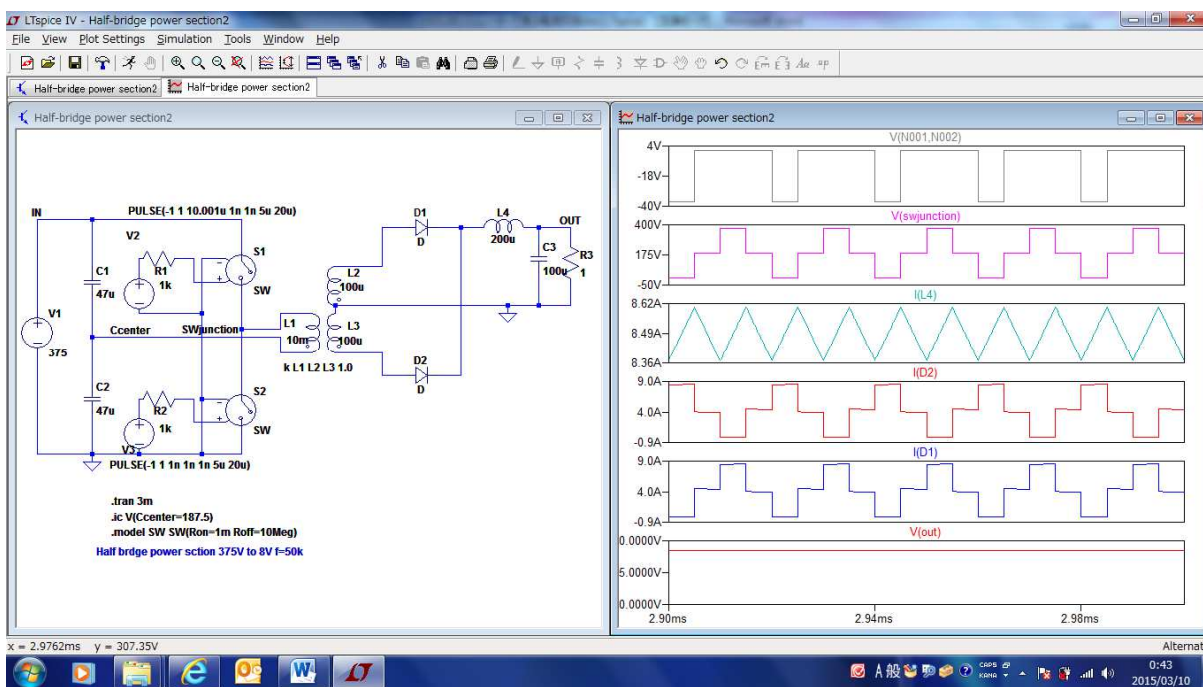


Fig2.3.6.3 (2361cct)

- 解析値と理論値の比較

V_f 解析値 889mV V_f は理論値でなく実測値を以下の理論計算に用います。

Vout 解析値 8.488V 理論値 $V_{out} = \{(V_{in}/n - D1Vf) * duty\} - \{D2Vf * (1-duty)\} =$
 $((87.5/10) - 0.889) * 0.5 - (0.889 * 0.5) = 8.486V$

• 波形間の関連

D1、D2 電流は Q1off、Q2off 期間に約 4.5A（出力電流の 1/2）の電流が流れている。これは fig2.3.6.2 の D1、D2 の還流電流が等しく出力側に流れている状況を示すものである。

○制御回路での安定化の解析

Half-Bridge においても固定 duty での SW ドライブにおいては DCM の条件では Vout の上昇が起こる。また回路内に損失抵抗回路があれば重い負荷では Vout が低下する。

実用の電源として用いるときこの Vout を一定に保つため duty 制御回路が必要となる。制御回路の負帰還ループは基本的に forward と同じであるが Q1 と Q2 の交互プッシュプルのための 2 チャンネル出力となる。ハイサイドの Q1 はレベルシフトでドライブする。

Fig2.3.6.4. に duty 制御回路付の Half-Bridge 電源回路と起動後安定までの Vout 波形を示す。MOSFET M1 と M2 を各 50khz でドライブするとチョークには 100khz 平滑電流が流れる。

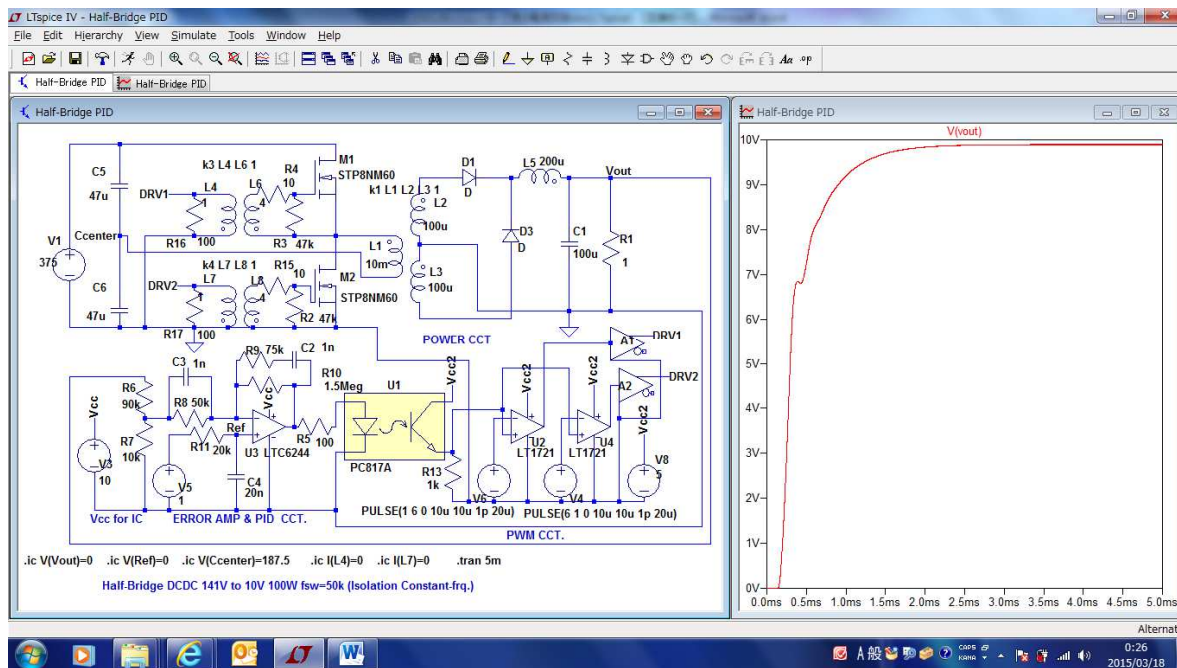


Fig2.3.6.4 (2364cct)

Fig2.3.6.5 は負荷を 3 水準（100Ω 10Ω 1Ω）変化させたときの安定後の出力電圧拡大である。制御回路による制御で臨界以下（100Ω）時 と 最大負荷（1Ω 100W 消費）ともほぼ一定電圧に制御されている（波形画面下段）が、少し制御が弱い。

もう少し負帰還回路のゲインが高いほうが Vout の一定制御にはいいようである。

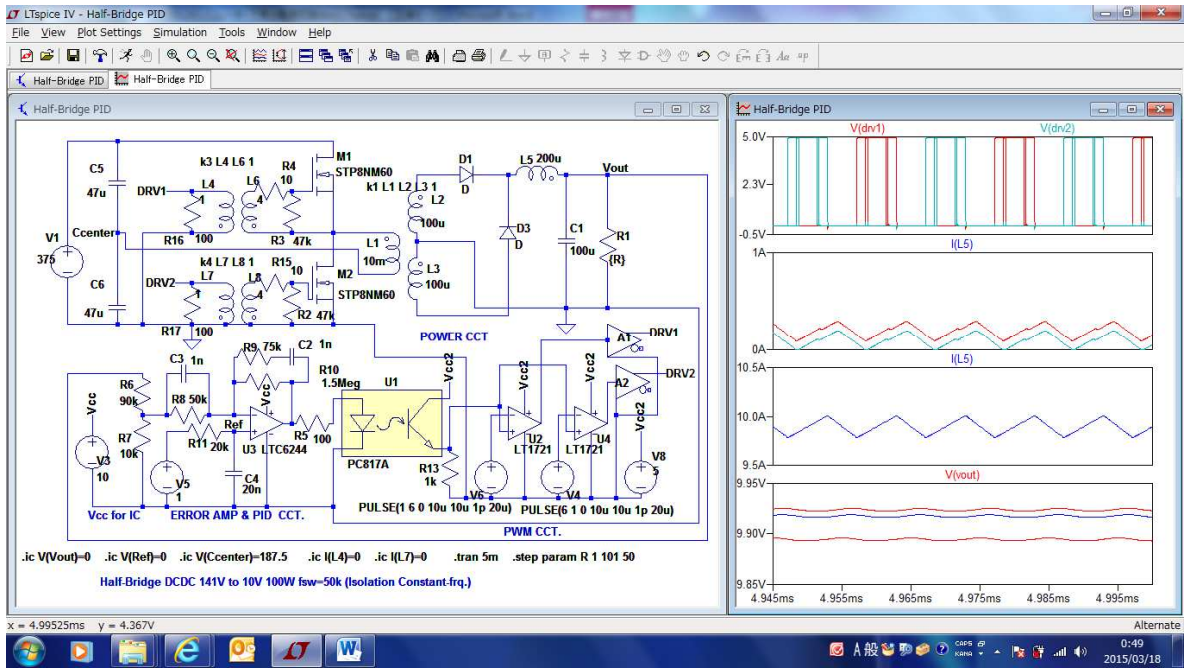


Fig2.3.6.5 (2364cct+)

(2364cct+)は (2364cct) の R1 に.step param R 1 101 50 を設定したものである。

◇2.3.7 Two-Tr forward (絶縁 PWM)

○LTspice 回路図

Two-Tr forward 型は中電力までの AC からのオフライン (絶縁) 電源に適用されるものである。スイッチの耐圧が AC 整流電圧 + α にとどまり、絶縁トランスの磁束リセット回路を必要とせず、リセット損失が発生しない。

回路トポロジーは一次側では入力電圧にハイサイド SW とトランス一次巻き線とローサイド SW が直列に接続される。

またハイサイド SW のエミッター (MOSFET の時はソース) へ電源 GND からダイオードが順方向にローサイド SW のコレクタ (ドレン) から電源+にダイオードが順方向に接続される。2 個の SW は同一のタイミングの PWM パルスでドライブされる。

トランス 2 次側 forward 型と同じ接続になる。AC 整流を省略し整流後の 100V 入力以降の電力変換部を fig2.3.7.1 にしめす。絶縁トランスの設計は ON-ON に該当する設計となる。

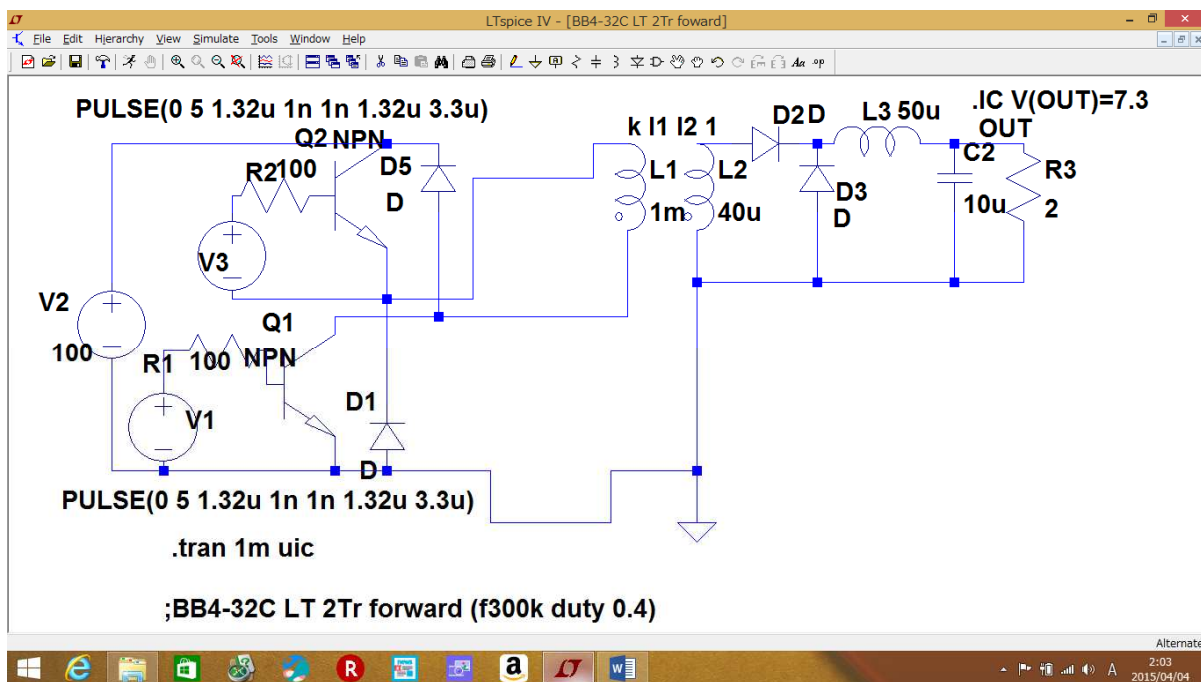


Fig2.3.7.1 (2371cct) Two-Tr forward 電力変換部

○動作説明と特徴

動作を Fig2.3.7.2 に示し解説する。

2tr-forward 型は Ton 期間に電力をトランス 2 次側に送る構成です。SWQ1,Q2 がオン期間にはトランス一次 L1 には Q1、トランス、Q2 の直列回路に電流が流れ、2 次側には L2、D3 から平滑回路の L3 に電流が流れます。

SWQ1,Q2 がオフ期間にはトランス 2 次側には トランスには電流は流れず D4 と整流回路に電流が転移して流れます。

1次側ではがオン期間にトランスに蓄積させていた励磁エネルギーが D1、L1、D5 の経路で電源に還流して励磁エネルギーが放出され、トランスがリセットされます。

この還流によるリセットは前出の forward 型のような損失が生じないのがこの Two-Trn の最大の特徴になります。

リセット期間に関しては forward 型と同じく SW オフ (Toff) 期間内に終了する必要があります。リセット期間は Two-Tr では SW オン時間と同じですのでトランス巻き線比率設計は Ton duty が 0.5 以下に選ぶ必要があります。

また Two-Tr forward においても負荷によって CCM と DCM が発生します。

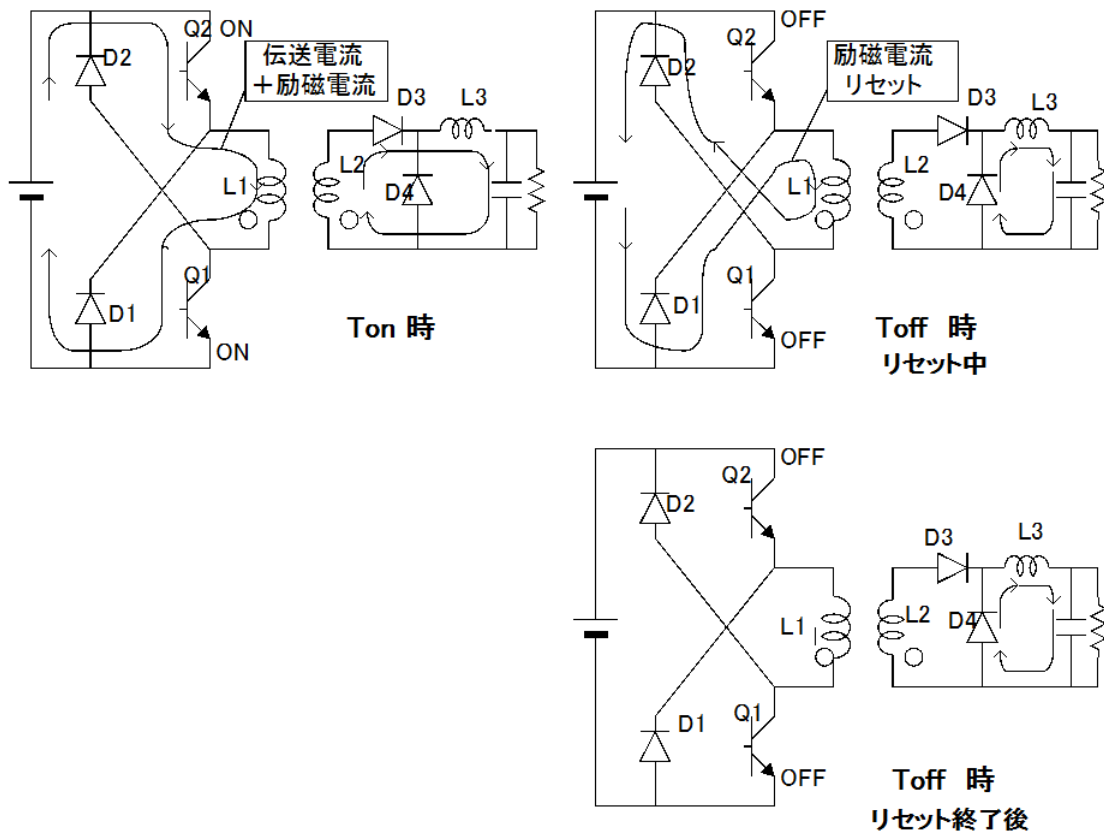


Fig2.3.7.2

○電圧変換理論式

電圧変換の理論式は Buck DCDC と同じ手法で求められる。

Buck 型と異なるのは Buck 型で用いた Vin がトランスで一度変圧されるため forward では Vin/n (n は巻線比) となる。

Vout の理論式はインダクターの性質 (電流の継続) から

$$(IL1ton : Ton \text{ 期間の } IL3 \text{ 変化幅}) = \{(Vin/n - D1Vf) - Vout\} * Ton / L1ind \quad \text{--- (237-1)}$$

$$(IL1toff : Toff \text{ 期間の } IL3 \text{ 変化幅}) = (Vout - D2Vf) * Toff / L1ind \quad \text{--- (237-1b)}$$

電流継続 → $IL1ton = IL3toff \rightarrow \{(Vin/n - D1Vf) - Vout\} * Ton = (Vout - D2Vf) * Toff$ から

(波形名右クリックとカーソル操作読み取り)

理論値との比較

$$\text{理論値 (237-2) 式 } V_{out} = \{(V_{in}/n - D2V_f) * \text{duty}\} - \{D3V_f * (1 - \text{duty})\} = \\ (((100/5) - 0.866) * 0.4) - (0.866 * 0.6) = 7.142V$$

読み取りと理論値のよい一致が得られる。

- 波形間の関連

Q1 電圧と Q1 電流、D5 電流の相関では Q1on 時に約 0.8A 電流が、Q1off 時に Vce 100V 電圧がかかっている。この 100V 期間はトランス磁束リセット中 D5 に約 100mA ピークのリセット電流が流れていることを示します。リセットは SWon duty と同長 0.4T で電流 0 となってリセット終了しています。

○制御回路での安定化の解析

Two-Tr forward においても固定 duty での SW ドライブにおいては DCM の条件では Vout の上昇が起こる。また回路内に損失抵抗回路があれば重い負荷では Vout が低下する。

実用の電源として用いるときこの Vout を一定に保つため duty 制御回路が必要となる。

制御仕様を絶縁型、SW 周波数 200k、入力 100VDC、出力 8V、100W として制御した解析を下に示す。

回路構成のドライブトランス使用はハイサイドドライブのレベルシフト例、SW に並列の CR は SW 素子の LTspice への相性改善の工夫である。

Fig2.3.7.4 に電圧制御回路付の Half-Bridge 電源回路と起動後安定までの Vout 波形を Fig2.3.7.5 に安定後の各部の波形解析を示す。Fig2.3.8.5 の波形は下段から出力電圧、ドライブパルス、S1 電流、D4 リセット電流、S1 印加電圧である。

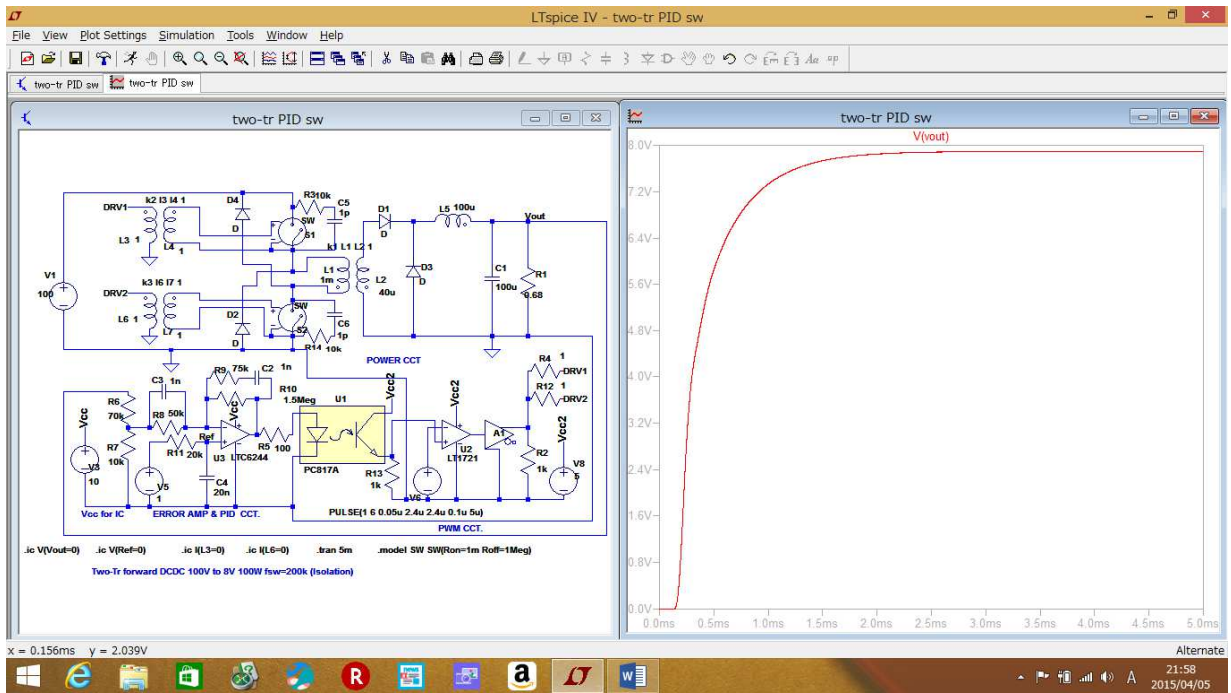


Fig2.3.7.4(2374cct)

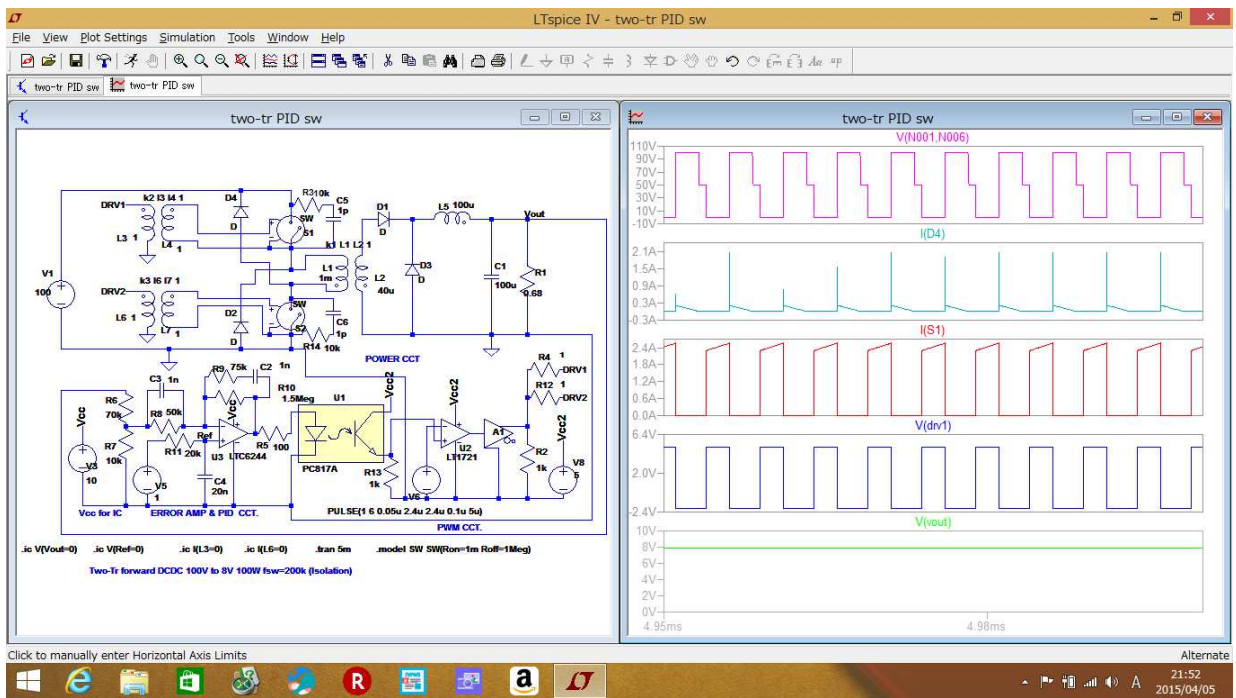


fig2.3.7.5(2374cct)

Fig2.3.7.6 は負荷 $100W \rightarrow 1.2W \rightarrow 0.64W \rightarrow 0.42W \rightarrow 0.32W$ と 4 水準負荷変化時の制御の波形解析である。最下段波形画面は出力電圧、下から 2 段パルスドライブ波形、下から 3 段整流チョーク電流波形 ($100W \rightarrow 0.32W$)、最上段整流チョーク電流波形 ($1.2W \rightarrow 0.32W$) である。 $100W$ から $1.2W$ までは CCM でパルス幅はわずかな変化、 $0.64W$ から $0.32W$ の DCM 状態でパルス幅の大きな絞込みが解析される。このパルス絞り込みで出力電圧は小さい変化に抑えられている。

duty 制御回路のフィードバック制御(PID)により広い負荷範囲に安定電圧制御が行われているのがわかる。

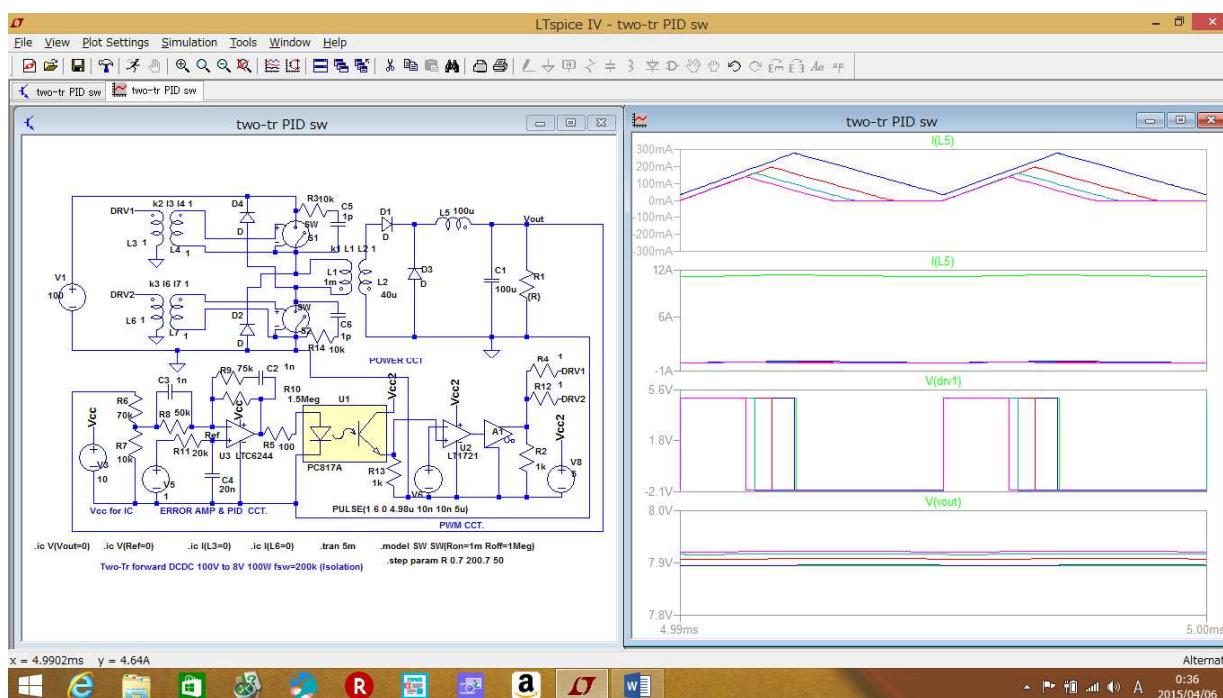


Fig2.3.7.6 (2374cct+)

(2374cct+)は 2374cct の R1 に $0.7\Omega \sim 200.7\Omega$ の step param を組んだもの

◇2.3.8 Full-bridge (絶縁 on-on PWM)

○LTspice 回路図

Full-bridge 型は大電力用オフライン（絶縁）電源に適用されるものである。スイッチの耐圧が AC 整流電圧（回路図の入力直流電圧）+ α にとどまり、絶縁トランスの磁束利用率が高い特徴がある点は Half-Bridge と同じ特徴である。

大電力対応は Half-Bridge に対し同一出力条件では SW 一個当たりの処理電力負担が 1/2 の為である。SW 一個当たりの処理電力を同じに利用すれば 2 倍の出力処理が可能ということになる。ただしトランスの処理電力は相応の設計が要求される。

路構成では一次側はハイサイド、ローサイドの 2 個のスイッチ直列構成を 2 組 電源に並列接続して、各ハイサイドとローサイドの SW の接続点間に絶縁トランスの 1 次巻き線を接続して構成する。2 次側はトランスの 2 次巻き線をセンタータップ巻線として両波整流しチョーク入力 of 整流回路で構成する。チョークインプットの平滑回路を有する点は Buck 型 DCDC と同じ構成である。AC 整流を省略し整流後の 141V 入力以降の電力変換部を fig2.3.8.1 にしめす。絶縁トランスの設計は ON-ON 型に準ずる。

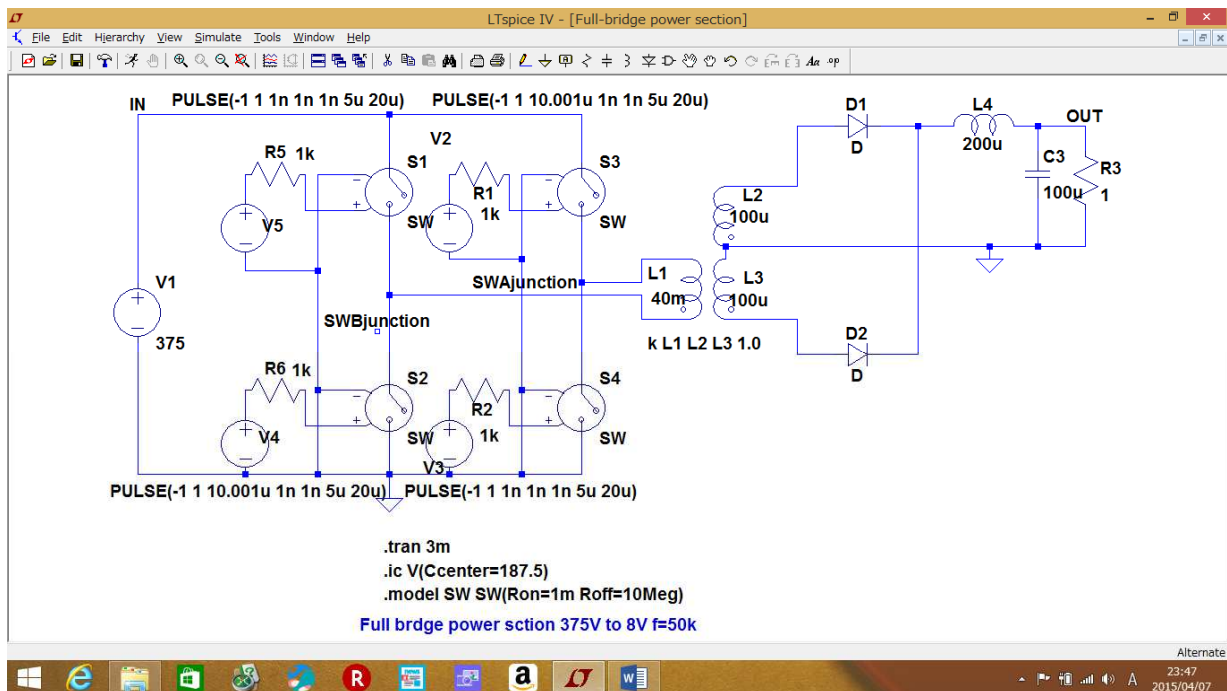


Fig 2.3.8.1 (2381cct) Full-Bridge 電力変換部

○動作説明と特徴

Full-Bridge 型は Ton 期間に電力をトランス 2 次側に送る構成で ON-ON 型のトポロジーです。On 期間は S1on, S4on 状態でトランスに電力を送るステートと S2on, S3on 状態でトランスに電力を送る 2 つのステートが存在します。上各ステートでは各々 D2, D1 を通して電力が伝送されます。D2, D1 以降はチョークインプットの平滑回路で処理します。

チョーク入力平滑回路は Buck DCDC の SW 以降の平滑、出力側と同じ構成と同じ動作になります。

トランスは±極性で励磁されるため磁束リセットは Full-Bridge においても不要です。

また CCM,DCM 状態の発生は Full-Bridge においても発生するします。

を Full-Bridge 電力処理ステージを Fig2.3.8.2 で図解します。

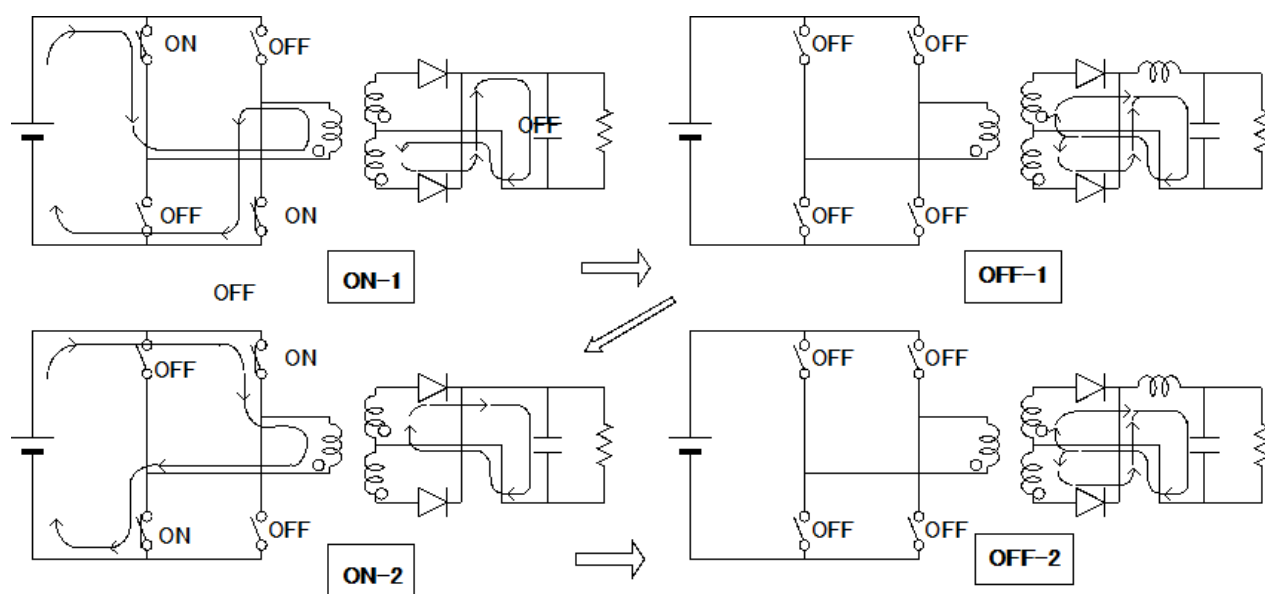


Fig2.3.8.2

○電圧変換理論式

電圧変換の理論式は Buck DCDC と同じ手法で求められる。

Buck 型と異なるのは Buck 型で用いた V_{in} がトランスで一度変圧されるため full-bridge では V_{in}/n (n は巻線比)となる。

V_{out} の理論式はインダクターの性質 (電流の継続) から

$$(IL_{4ton} : Ton \text{ 期間の } IL_4 \text{ 変化幅}) = \{(V_{in}/n - D1V_f) - V_{out}\} * Ton / L_{1ind} \quad (238-1)$$

$$(IL_{4toff} : Toff \text{ 期間の } IL_4 \text{ 変化幅}) = (V_{out} - D2V_f) * Toff / L_{1ind} \quad (238-1b)$$

電流継続 $\rightarrow IL_{4ton} = IL_{4toff} \rightarrow \{(V_{in}/n - D1V_f) - V_{out}\} * Ton = (V_{out} - D2V_f) * Toff$ から

$$V_{out} = \{(V_{in}/n - D1V_f) * duty\} - \{D2V_f * (1 - duty)\} \quad (238-2)$$

$$V_{out} \text{ (about)} = (V_{in}/n) * duty \quad (238-3) \quad V_f=0 \text{ の簡易式の } V_{out}$$

さらに正確には SW の電圧降下も理論的には考慮する必要もあるが入力電圧が絶縁型では高いので省略して支障は少ない。

Fig2.3.8.1 での V_{out} を (298-3) 式で求めてみる。

$n=375/20$ (巻線比 $n=20$) $duty=50\%$ から $V_{out}=9.37V$ となる (ただしダイオードの $V_f=0$ の条件下)。

○LTspice での各部波形の解析

LTspice での Full-bridge fig2.3.8.1 の解析結果を fig2.3.8.3 に示します。
 波形は下の段から Vout、 S2、 S3 ドライブ電圧と S4、 S1 ドライブ電圧、トランス 1 次電
 圧、 D2 電圧、 D2 電流、 L4 チョーク電流) です。

これらの解析波形を LTspice 波形電流読み取り (Ctrl+波形名平離クリック) とカーソル
 読み取りで (波形名右クリックとカーソル操作) で理論値と比較してみると同時に波形間
 の関連を考察してみます。

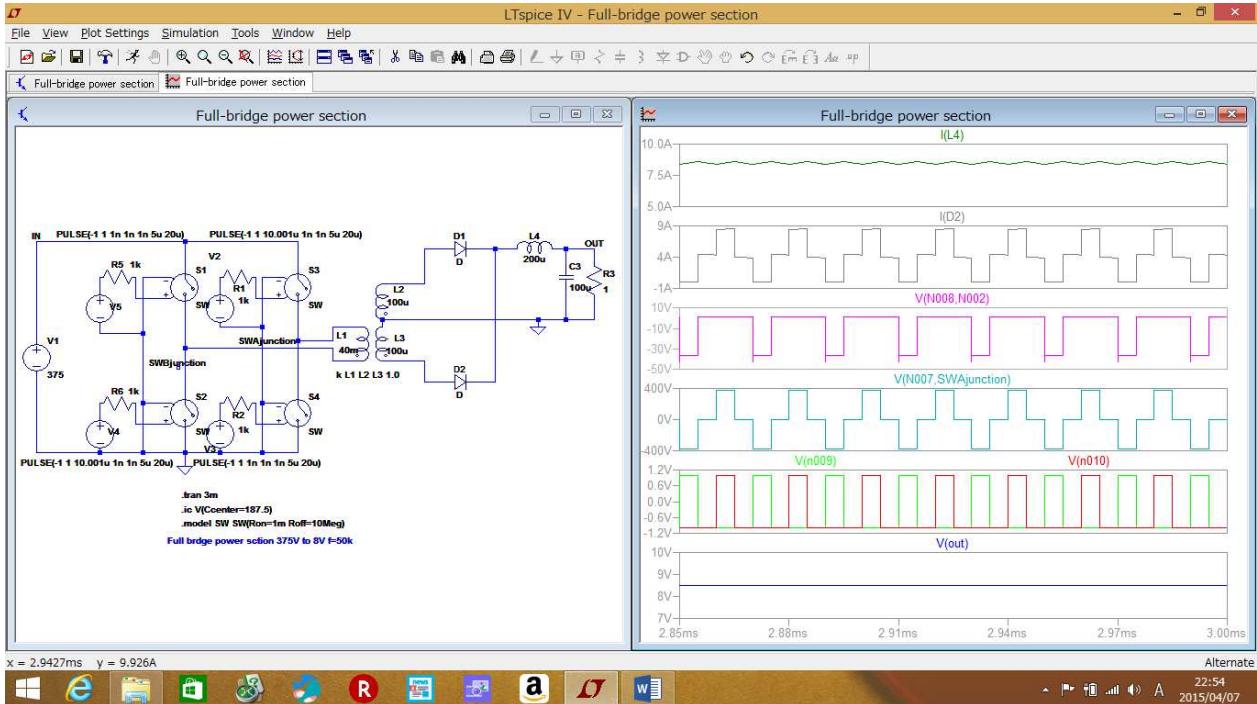


Fig2.3.8.3 (2381cct)

- 解析値と理論値の比較

Vf 解析値 889.4mV Vf は理論値でなく実測値を以下の理論計算に用います
 (D2 電圧オン期間カーソル読み取り・・D1 電圧にも代用)

Vout 解析値 8.48V
 (波形名右クリックとカーソル操作読み取り)

理論値との比較

理論値 (239-2) 式 (Buck、forward など ON-ON 型共通)

$$V_{out} = \{(V_{in}/20 - D_2 V_f) * \text{duty}\} - \{D_3 V_f * (1 - \text{duty})\} =$$

$$(((375/20) - 0.889) * 0.5) - (0.889 * 0.5) =$$

$$8.935V - 0.45V = 8.49V$$

読み取りと理論値のよい一致が得られる。

- 波形間の関連

各 SW は ドライブ電圧波形にみられるように 50kHz で SW 動作であるが SW ペアが交互に動作するため 2 次整流回路には 100kHz 動作 (L4 電流周波数) となる。D2 電流波形は OFF 期間中間レベル電流が観測されるが D1 の中間レベル電流と合わせ L4 チョークのフライホイール電流となる。

○制御回路での安定化の解析

Full-Bridge においても固定 duty での SW ドライブにおいては DCM の条件では V_{out} の上昇が起こる。また CCM では理論上 SWON-duty で決まる V_{out} になるはずであるが回路内に損失抵抗回路があればい重負荷では duty で決まる V_{out} より低下する。

実用の電源として用いるときこの V_{out} 変化抑え一定に保つため duty 制御回路が必要となる。

制御仕様を絶縁型、2 次整流部周波数 100k、入力 375VDC(整流部 PFC 使用想定)、出力 10V、100W として 制御回路を負荷した解析を fig2.3.8.4、fig2.3.8.5 に示す。

Fig2.3.9.4 に電圧制御回路付の Full-Bridge 電源回路と起動後安定までの V_{out} 波形を fig2.3.9.5 に安定後の各部の波形解析を示す。2806 の波形は下段から出力電圧、ドライブパルス、S1 電流、D4 リセット電流、S1 印加電圧である。

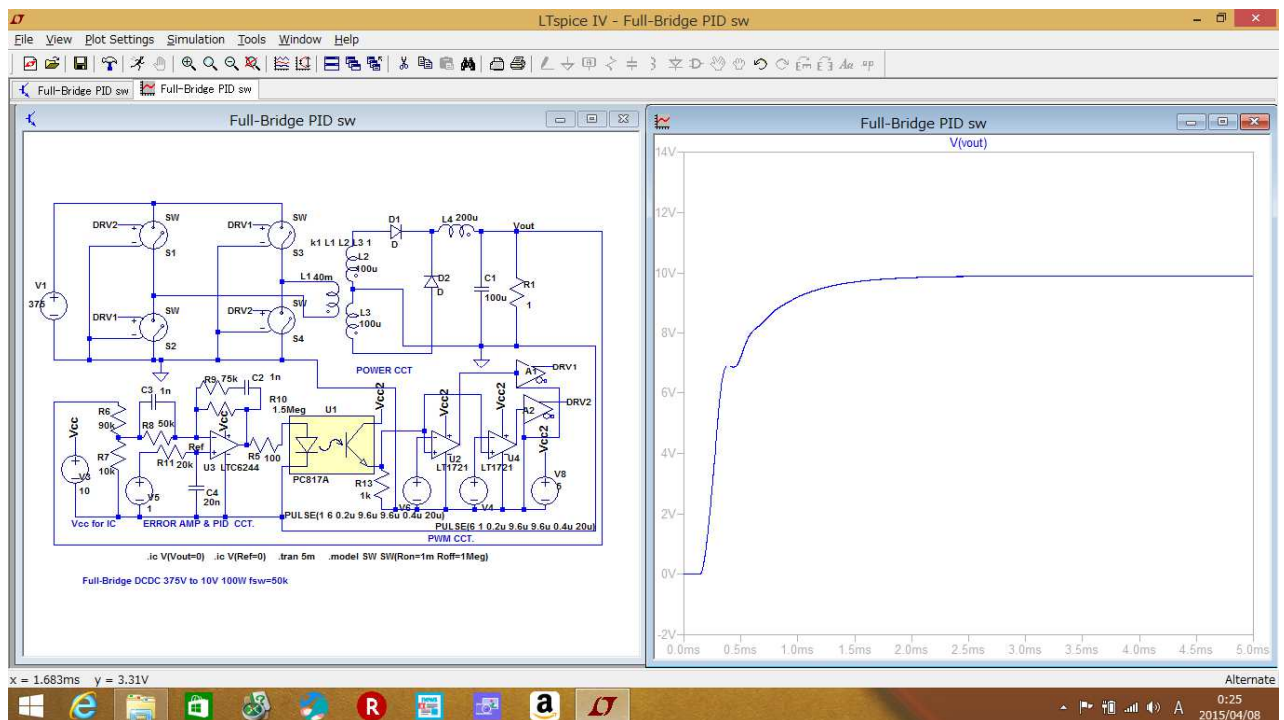


Fig2.3.8.4 (2384cct)

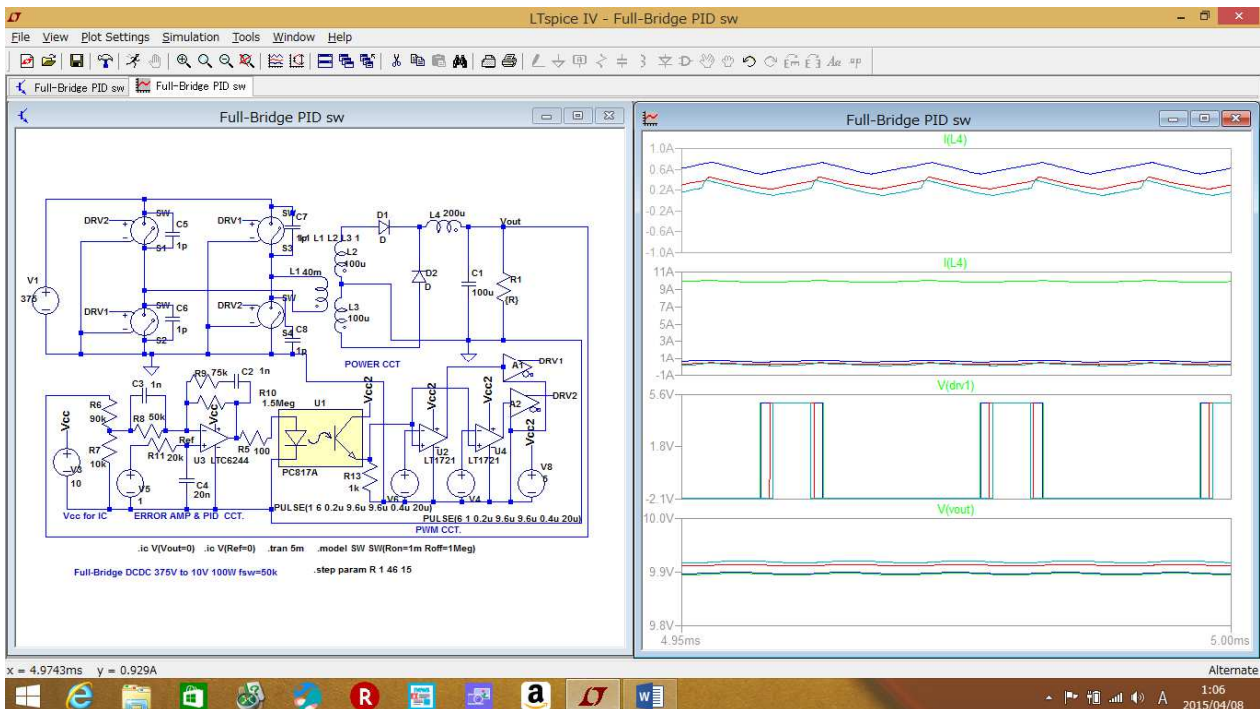


Fig2.3.8.5 (2384cct+) 2384cct+は 2384cct の R1 に 1~46Ω の step を組んだもの

10V 出力制御安定後の解析波形は負荷を 1Ω(100W)、16Ω(6.25W)、31Ω(3.22W)、46Ω(2.17W)と振って波形下段から出力電圧、ドライブパルス、L4 チョーク電流 (4 水準)、L4 チョーク電流 (1Ω 負荷を除く 3 水準) を観測している。100W (緑線)、6.25W(青線)に関してはわずかなパルス幅変化で安定化している。3.22W(赤)、2.17W(空)に関しては大きなパルス幅減少で安定化させている、この 2 水準は DCM 状態に該当するが制御で安定化していることになる。

(なお SW に並列した 1p コンデンサーは SW 素子の LTspice 動作への補正で電源トポロジーではない)。

◇2.3.9 Quasi-Resonant Fly-Back (絶縁 on-off Ton 制御共振)

○LTspice 回路図

Quasi-Resonant Fly-Back 型は疑似共振 Fly-Back とも呼ばれ、小電力の AC からのオフライン（絶縁）電源に適用されるものであり、Fly-Back 型の小電力運転時の効率改善工夫がなされたものである。

回路構成は Fly-Back 型に共振コンデンサーを SW 両端に追加、SWon、Swoff タイミングにトランスのインダクタン共振をおこし部分的なゼロ電圧スイッチング (ZVS) 状態にして SW の損失を低減するものである。

また Fly-Back 型で用いたスパイク吸収回路は共振で吸収されるので不要になる。

Fig2.3.9.1 に回路を示す。

絶縁トランスの設計は ON-OFF 型の設計に準ずる。

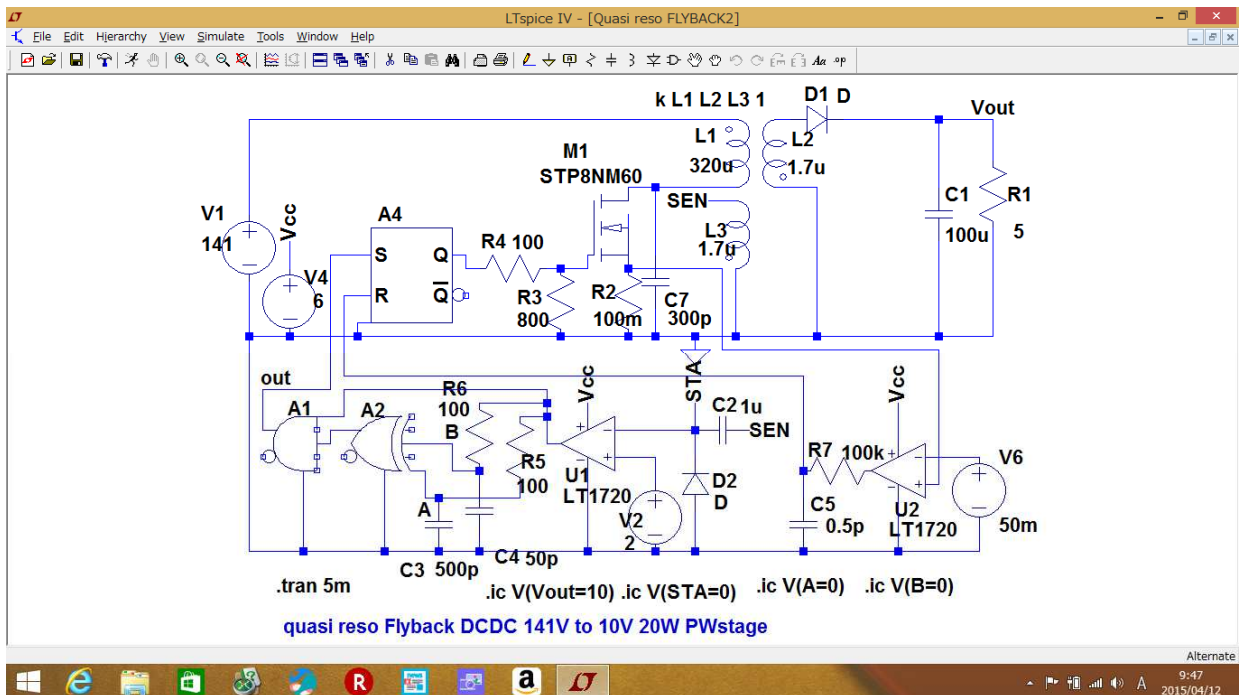


Fig 2.3.9.1 (2395oct) Quasi-Reso Fly-bach 電力変換部

○動作説明と特徴

Quasi-reso Fly-back 型の最大の特徴は SW の遷移時に生ずる電圧電流積損失と MOSFET SW の Coss シュート損の削減による効率向上である。

Fly-back をベースにして損失削減を図で説明する。

Fig2.3.9.2 は臨界状態 (CCM と DCM の境) で動作させた Fly-back に単純な SW を用いたときの SW に流れる電流と端子に発生する電圧と電流である。SWon 時にはゼロ電流

からの立ち上がりで損失はない。

Fig2.3.9.3 は MOSFET の SW を想定して SW に Coss 想定のコデンサ (以下 Cr) をで並列した時の電流と電圧である。SWon 遷移時に大きな Cr のショート電流が SW に流れ大きな Cr ショート損が発生する。(同時に電圧にはトランス L と Cr による共振もありのノイズ面でも好ましくない)。

この損失電力は $((Cr * V_{Cr}^2) / 2) * SW$ 周波数であり MOSFET 内で熱損失になる。

この損失は共振波形のどこで on されるか Vcr (ショート開始時に Cr の電圧) で変わってきて共振波形の山部では大きな損失、谷部では少ない損失になります。また谷が 0V に近いほど損失は小さくなるものである。

Fly-Back を MOSFET の SW で設計するとスイッチング周波数上昇に従いこの Coss(Cr) ショート損が電源効率を低下させる。

小電力の電源は Fly-back が使用され SW は MOSFET が主流の現在、特にその小電力電源が待機回路用の電源ではこの Coss ショート損は大きな障害になります。

この Coss ショート損を改善したのが Quasi-Resonant Fly-Back である。

Fig2.3.10.4 が Quasi-Resonant の波形である。微小コンデンサを Cr に加えスイッチの共振電圧振幅を大きくして振幅が 0V 近くに振れるようにその最低電圧になる位置で SWon になるよう調整したものである。図ではパルス設定行っているが実回路では谷検出コントロール回路を追加で行う。

共振の谷を 0V まで落とせれば Coss ショート損は 0 となり、同時に臨界動作で 0A 立ち上がりなので SWon 遷移損は無くなります。

また SW への Cr の並列は SWoff 遷移時 SW の電圧立ち上がりに傾斜をつけゼロ電圧スイッチングを発生させ SWoff の遷移損も削減します。

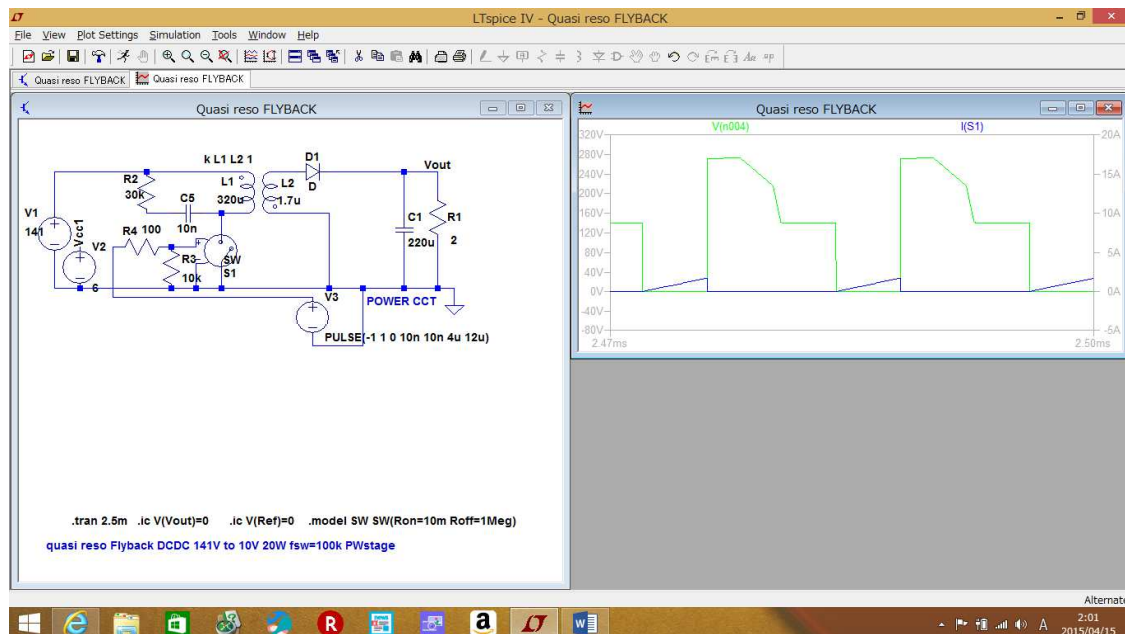


Fig2.3.9.2 (2392 cct)

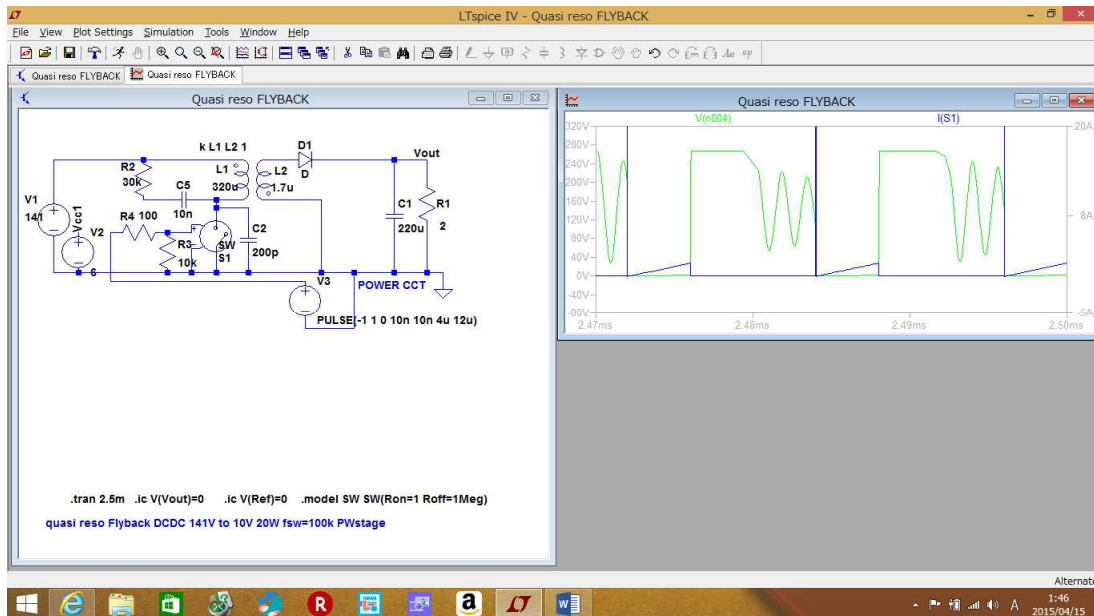


Fig2.3.9.3 (2392cct+) +は (2392cct)に Coss 相当を付け電圧共振させたもの

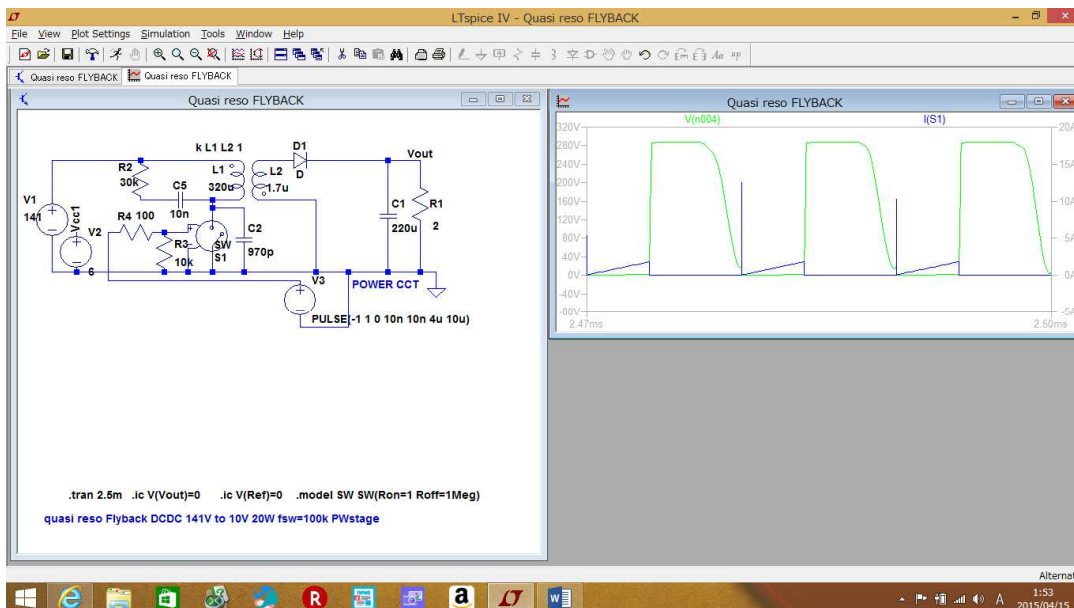


Fig2.3.9.4 (2392cct+) (2392cct) に Coss 大きめを付け Vd がゼロクロス時に SWon させたもの

また臨界状態での動作は軽負荷に向ってスイッチング周波数は上昇しますがタイマー窓で最大周波数を制限する回路を併用します。

○電圧変換理論式

Fig2.3.10.4 波形にみられるように Quasi-reso Fly-back 型は臨界モードで行われるので、duty による電圧変換の理論式は利用できない。臨界モードを含む臨界モード以下 (DCM) では T_{on} 幅でのみで電力伝送量は制御される。

トランス巻き線比 n すると臨界モードでの電圧変換次のようになる。

$$\text{トランス 1 次入力電流ピーク電流} = V_{in} * T_{on} / L_m \text{————— (239-1)}$$

$$\begin{aligned} \text{トランス 2 次出力電流ピーク電流} &= \{(1/n) * V_{out}\} * T_{off} / (L_m/n^{**2}) \\ &= nV_{out} * T_{off} / L_m \text{————— (239-2)} \end{aligned}$$

(2310-1)と(2310-2) が伝送送受で等しいので $V_{out} = (1/n) * (T_{on}/T_{off}) * V_{in}$ — (239-2)

設計一例では制御幅が適度な T_{on} 50%を選べば $(T_{on}/T_{off}) = 1$ なので

$V_{out} = (1/n) * V_{in}$ のトランス巻き数比を選べばいいことになる。

$$\text{電力伝送式は } W_{in} = V_{in} * (V_{in} * T_{on} / L_m) * (1/2) * T_{on} / (T_{off} + T_{riso}/2) \text{ — (239-3)}$$

$$W_{out} = V_{out}^{**2} / R_L \text{————— (239-4)}$$

ただし $T = T_{on} + T_{off} + T_{riso}/2 = (2T_{on} + T_{riso}/2)$ T_{riso} :共振周波数サイクル時間

(2310-3) (2310-4) が等しいとして V_{out} を解けば

$$V_{out}^{**2} = R_L * V_{in} * (T_{on} * V_{in} / 2L_m) * (T_{on} / (2T_{on} + T_{riso}/2))$$

$$V_{out} = \sqrt{R_L * V_{in} * T_{on} * (V_{in} / 2L_m) * T_{on} / (2T_{on} + T_{riso}/2)} \text{ (239-5)}$$

これに fig2.3.10.1 の回路定数を入れると

$$R_L = 5 \Omega \quad V_{in} = 141 \quad L_m = 320 \mu \quad T_{on} = 1.8 \mu \quad T_{riso} = 1.6 \mu (62 \text{kHz}) \text{ として (239-5)}$$

から V_{out} を求めれば

$$V_{out} = \sqrt{5 * 141 * (1.8 \mu * 141 / (2 * 320 \mu)) * (1.8 \mu / (3.6 \mu + 0.8 \mu))}$$

$$= 10.9 \text{V (整流ダイオード } V_f 0.9 \text{V を加味すれば } V_{out} = 10)$$

が得られる。(なおこの時のピーク電流は (239-1) 式から 793mA となっている)。

Fig2.3.10.5 は解析された各部の波形である。

波形画面下段から V_{out} ドライブセット-リセットタイミング ドライブパルス

SW-MOSFET の V_{ds} と I_d 2次整流である。動作周波数は トランス巻き線比は整流部 V_f 低下を加味し 10V 用線比 $n=14.1$ からわずかに小さい $n=13.7$ での解析であるが

$V_{out} 9.82 \text{V}$ $T_{on} \approx T_{off}$ となって上記理論式通りになる ((239-12) で 50%で設計)。

(なお解析では $T_{on} = 1.8 \mu \text{S}$ 、1次電流ピーク 760mA (コントロール電圧 $V_3 70 \text{mV}$) で動作している)。

2次電流 0 ポイントか T_{on} 開始までの期間は上理論式の共振による $T_{riso}/2$ 部分である。

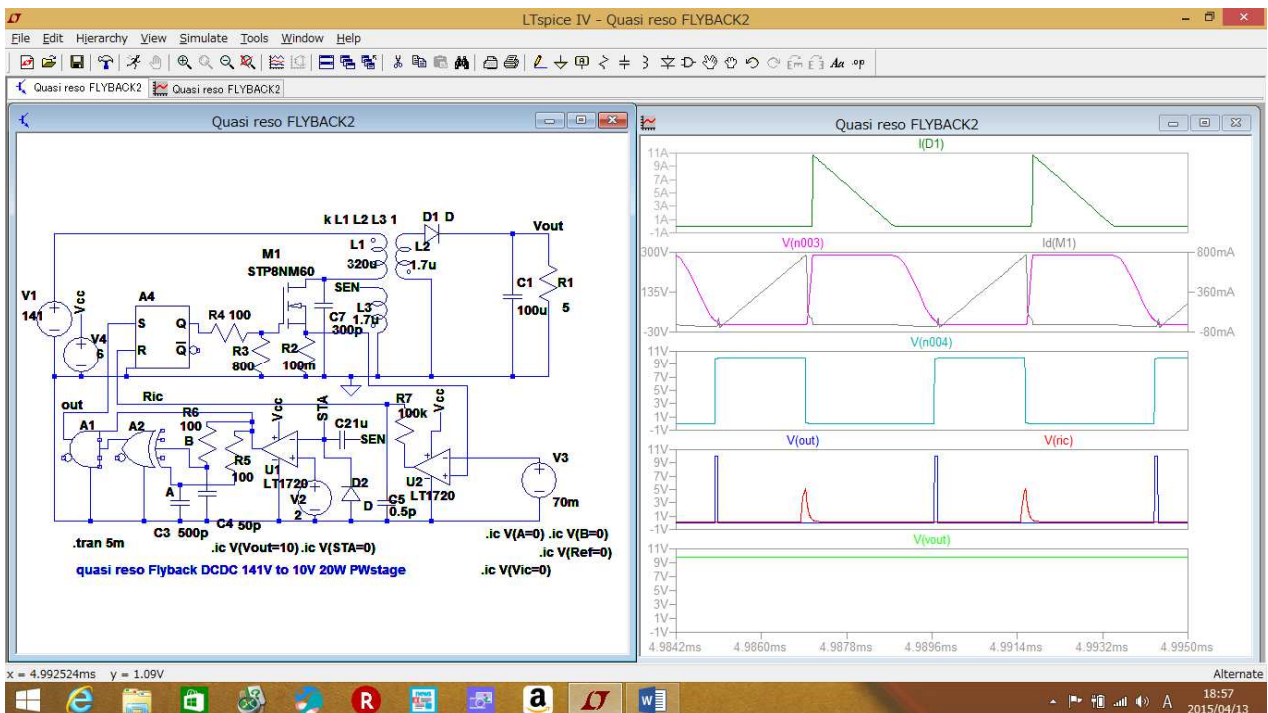


Fig2.3.9.5 (2395cct)

○制御回路での安定化の解析

Quasi-reso Fly-back 型では PWM による duty 制御でなく直接 T_{on} の制御となる。回路構成上 T_{on} の制御は (239-1) 式から SW に流れるピーク電流制御の制御でおこなわれる。この構成が fig2.3.9.5 である。

安定化制御回路では fig2.3.9.6 のように V_{out} →エラーアンプ (U3) →ピーク電流比較器 (U2) のルートで T_{on} 幅制御での安定化回路と動作を行う (Fig2.3.9.6, Fig2.3.9.7)。

制御ループでは T_{on} スタートを SW に T_{off} 後に発生する共振電圧波をトランス巻き線から得て共振谷検出器 (U1) →FF (A4) →SW の経路で T_{on} 行う。 T_{on} 終了をエラーアンプ (U3) 出力と SW の電流 (R2 電圧) の比較し一致するタイミングでおこなう。(制御過程で SW の電流監視し SWoff する方法は以前の項 PWM とは異なる カレントモード制御 第4章 4.1.2 の手法である)。

Fig2.3.9.7 は $V_{in}141V$ $V_{out}12V$ (7.1Ω 20W 消費負荷)

Fig2.3.9.6 は $V_{in}141V$ $V_{out}8.V$ (3.2Ω 20W 消費負荷)

の2仕様で動作させて LTspice で波形解析したものである。

波形画面は両図とも同じポイント波形でありレンジも合わせてある。

波形画面は 下段から V_{out} 、ドライブ開始と終了パルスとドライブパルス、SWMOSFET の V_{ds} と I_d 、2次伝送電流 である。

トランス n 設計が $V_{out} 10V$ 用の設定なので

12V の安定化 では (239-12)式の関係からの $T_{on} > T_{off}$ (2次電流が流れる期間)

8V の安定化 では

$T_{on} < T_{off}$

が見て取れる。12V 安定では T_{off} 短縮分が SW 周波数を押し上げその分 SW 電流は下がっている（電流*周波数が電力になるため処理電力は変わらない）。

この両図から疑似共振の V_{out} 安定化のイメージが理解できる。

この Quasi-reso Fly-back の安定化制御はカレントモードなので PWM 使用のトポロジーと比べ複雑である。

- ・周波数発信機がないのでスイッチングの自励発信動作(最初の T_{on})の設計が必要である。
- ・電流比較からくるの低調波発信防止のスロープ補償回路の負荷が必要である。
- ・軽負荷でのスイッチング周波数の上昇を制限する必要がある。

図のトポロジーでは自励発信は入れてあるがスロープ補償と周波数拘束（上昇を拘束する）はいれていない。（スロープ補償はカレントモード制御 第4章 4.1.2）

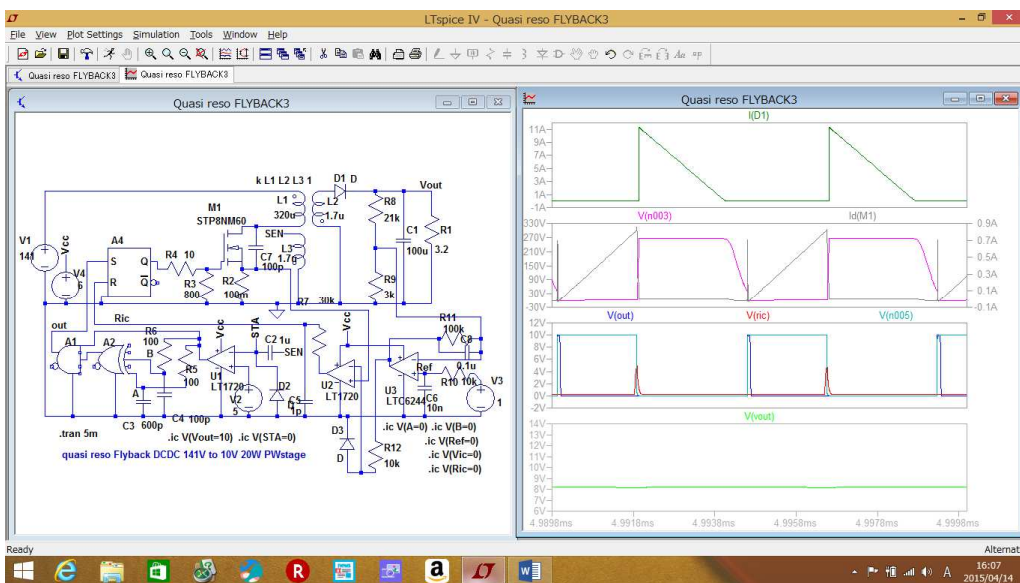


Fig2.3.9.6 (2395cct+) +は(2395cct)の負荷 V_{out} 8V 設定にしたもの

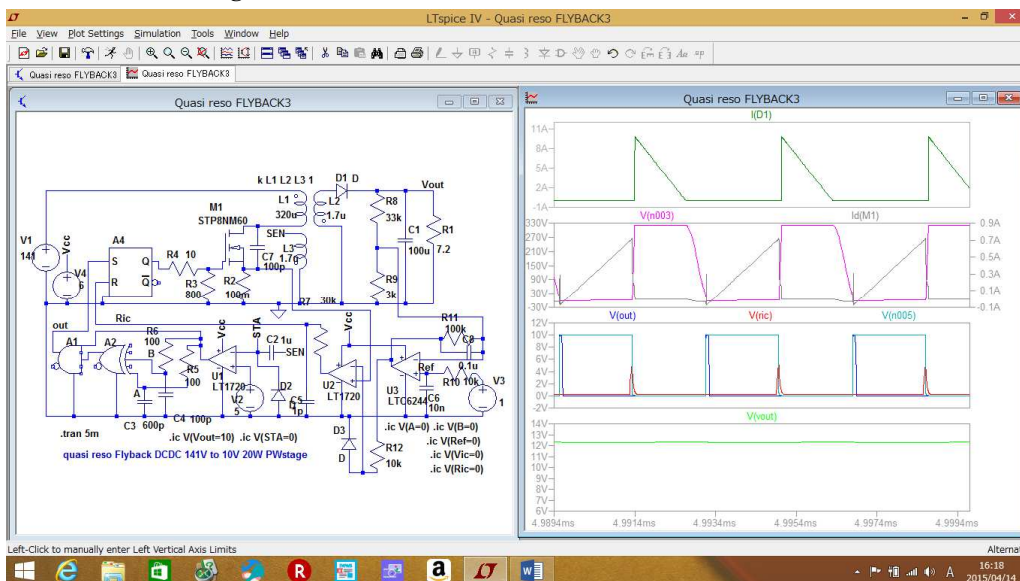


Fig2.3.9.7(2395cct+) +は(2395cct)の V_{out} を 12V に設定したもの

◇2.3.10 active-clamp 型 (絶縁 on-on PWM 共振)

○LTspice 回路図

active-clamp 型は中電力用で高効率の特徴を持つ。高効率は主 SWoff 期間のトランスリセット電圧ををクランプすることで 下記効果を生み高効率が実現できる。

- ・トランスの利用率 (正負極性磁束) の向上を可能にする
- ・トランスのリーケッジインダクタンスと SW 端子間容量 (Coss+小容量) による共振とデッドタイムによりスイッチ素子の共振 ZVS スwitchングが可能となる。
- ・2次整流に同期整流の実現が容易である。

Fig2.3.10.1 に Activ-clamp の電力変換部トポロジーを示す (同期整流は具備しない状態)。

C4 と SW (M2) はリセット電圧クランプ素子、Llk はリーケッジインダクタンスおよび Lm トランス励磁インダクタンスと C3 は共振 ZVS 用共振素子、S1-D4-C3 は MOSFET の機能を小別部品で構成スイッチである。

Lik(L5)があること、C4 と M2 が forward 型の CR とダイオードによるリセット回路に置き換わったこと以外は 1 次側構成においては forward 型と同じトポロジーである。

トランス設計は forward 型に準ずるが Llk の作りこみと Llk による実質トランス出力電圧が低下する補正を加味する必要がる。詳細はトランス設計項に譲る。

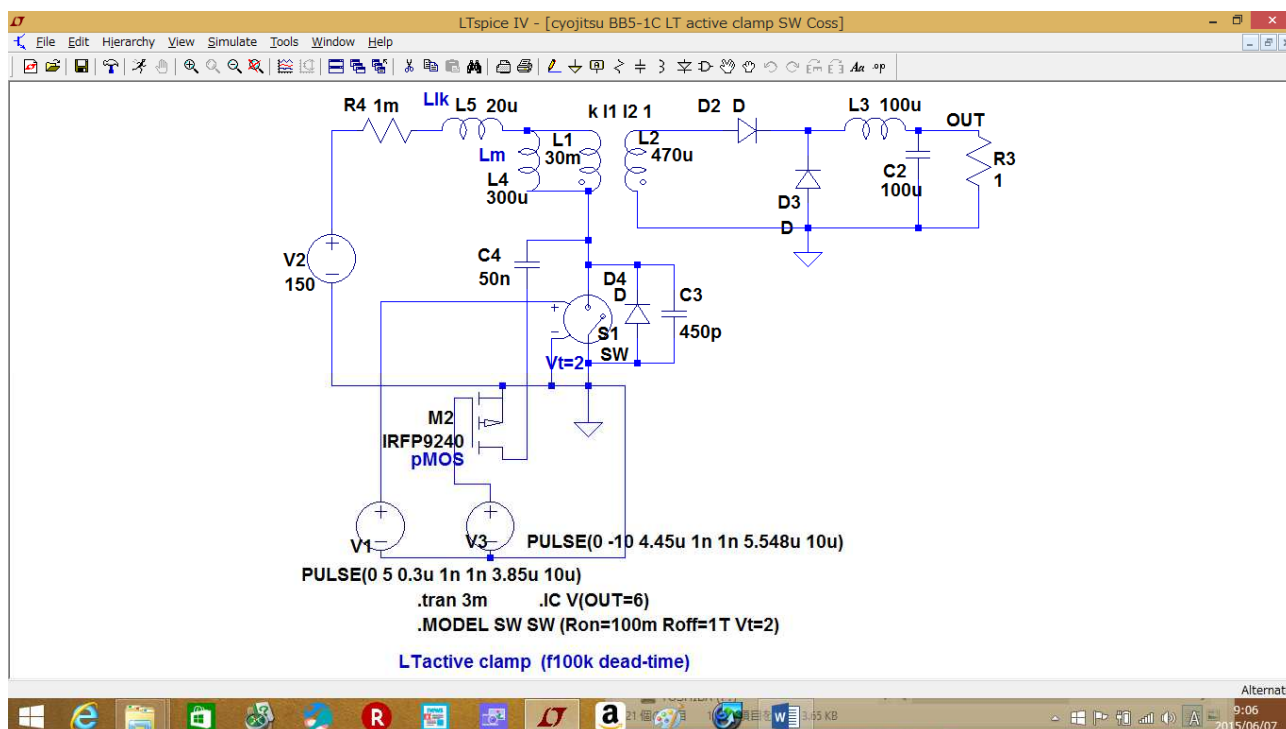


fig2.3.10.1 (23101cct) Active-clammp 型の電力変換部

○動作説明と特徴

まずリセット電圧クランプとトランス利用率についてである。

SW が 1 個の forward トポロジーにおいてはトランスの励磁は電源電圧と 0 V 間で（正の一方方向）のみで処理される。

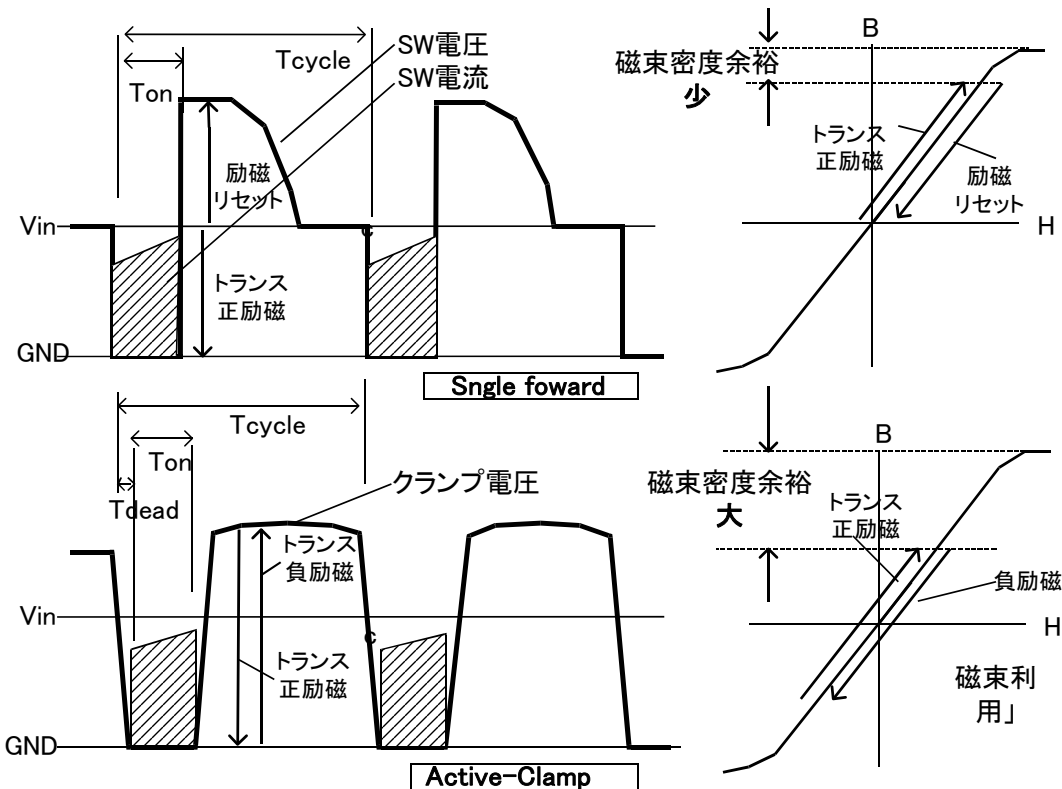
これに対し Active-clammp ではトランスを（正負両方向）励磁で用いると同一の処理電力に対しトランス形状が最大半減できるか 同じトランス形状なら処理電力が最大倍化できる。

この様子を fig2.3.10.2 に示す。

トランス内の磁束処理状態を見れば負励磁はリセット点を通過しながら第 3 象限まで行うので次に続く正励磁は forward の 2 倍の励磁が可能となることがわかる。

またこの負励磁はリセット通過するため forward に存在した CR とダイオードのリセット回路が不要でありその損失がなくなるメリットが発生する。

すなわち正負磁束利用はトランス利用率向上と同時 efoward で発生するリセット損失削減でトランス周辺の効率を上げている。



2.3.10.2 トランス利用率向上

なお負方向励磁用電圧の作成であるが

SWoff 時の SW (S1) 端子電圧は duty で決まる電源電圧に加わる昇圧電圧に SW (S1 トランスとの接続点) が跳ね上がる。クランプ電圧は Toff 時に SW (M2 pchMOSFET) を on 状態にして跳ね上がり電圧を C4 に充電しすることで得ている、C4 は Toff 時には SW

(S1) 端子電圧をクランプするが Ton 時には SW(M2)を off させクランプ動作からは解除される。

$$\begin{aligned} \text{クランプ電圧は } V_{in} * T_{on} &= (V_{clamp} - V_{in}) * T_{off} \rightarrow V_{clamp} = V_{in} * (T_{on} + T_{off}) / T_{off} \\ &= V_{in} * T / T_{off} \text{————— (2310-1)} \end{aligned}$$

となる。トランス負励磁電圧は (-) $V_{in} T / T_{off}$ となる。

正励磁電圧は (+) $V_{in} T / T_{off}$ である。

次に共振 ZVS について fig2.3.10.3 で説明する。

SW (S1) on と SW(M2)の on をお互い適度なデッドタイムを入れて動作させると、の S1 とトランス接続点の移動はデッドタイム間傾斜を持って 0V—クランプ電圧間を移動する。この移動はトランスのリーケッジインダクタンスや励磁インダクタンスと SW 両端の C3 コンデンサーの共振(点線)の一部であり傾斜を持ってなめらかに移動する。S1 の電流

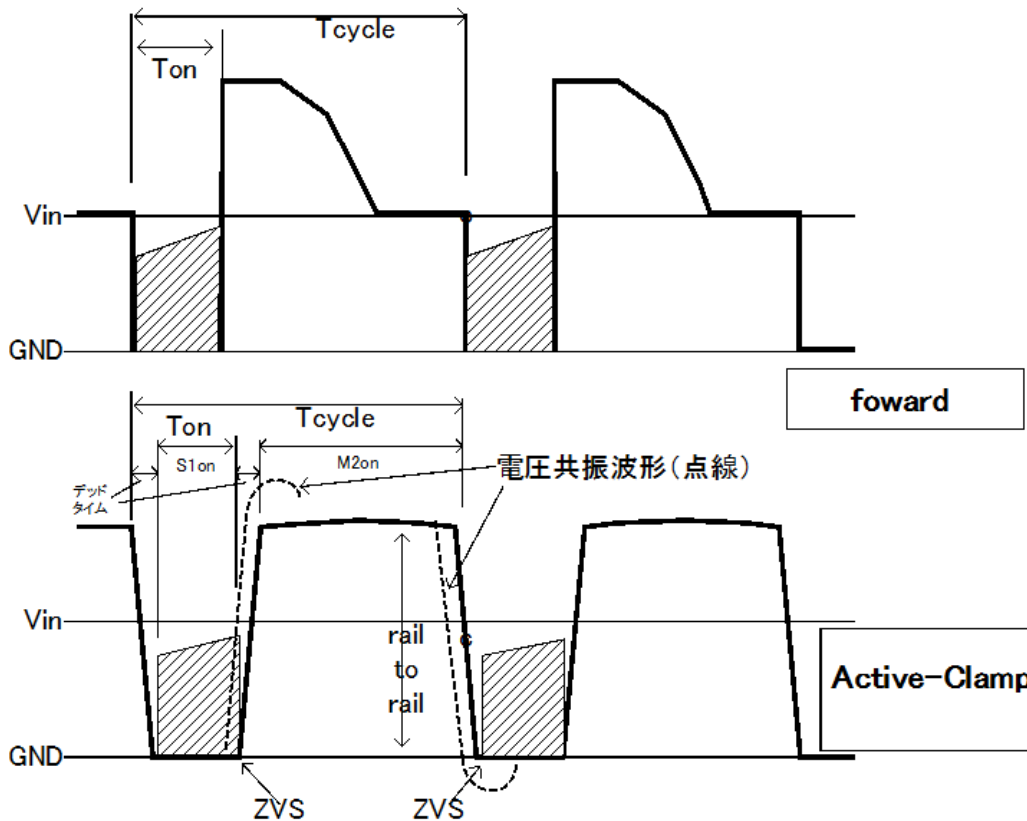


Fig2.3.10.3 ZVS の様子

と電圧の遷移点を見ると S1 電流移動開始点の S1 電圧は 0V であり ZVS となり遷移電圧電流損は発生しない。

共振による ZVS 部分をさらに少し詳細に fig2.3.10.1 と fig2.3.10.4 を使って解説する。

Fig2.3.11.5 では S1 SW は Nch の MOSFET 使用を想定したもので SW に並列にダイオードとコンデンサーで MOSFET のダイオードと C_{oss} を D4 と C3 で想定している。

S2 は実際の使用例から Pch MOSFET を組み込んである。

ドライブはスイッチング周波数 100kHz (波長 10 μ S) に対し 0.3 μ S のデッドタイムを挿入し例としているが詳細なデッドタイム設定は下記で触れる。

デッドタイム間に Llk, トランスインダクタンス Lm、スイッチ並列コンデンサー C3 による ZVS を得るものである。

クランプコンデンサー C4 は S1off 期間の Lm 励磁電流放出を M2on で行いクランプ電圧充電保持する。その電圧を Ton で始まるトランスの正励磁励磁のベースを提供するのが主な役目である。

しかしデッドタイム近辺では S1off と重なるためデッドタイム期間の共振波形は複雑な構成となる。

この ZVS 周辺の素子定数の設定は複雑である fig2.3.10.4 にそれらの役割を示す。

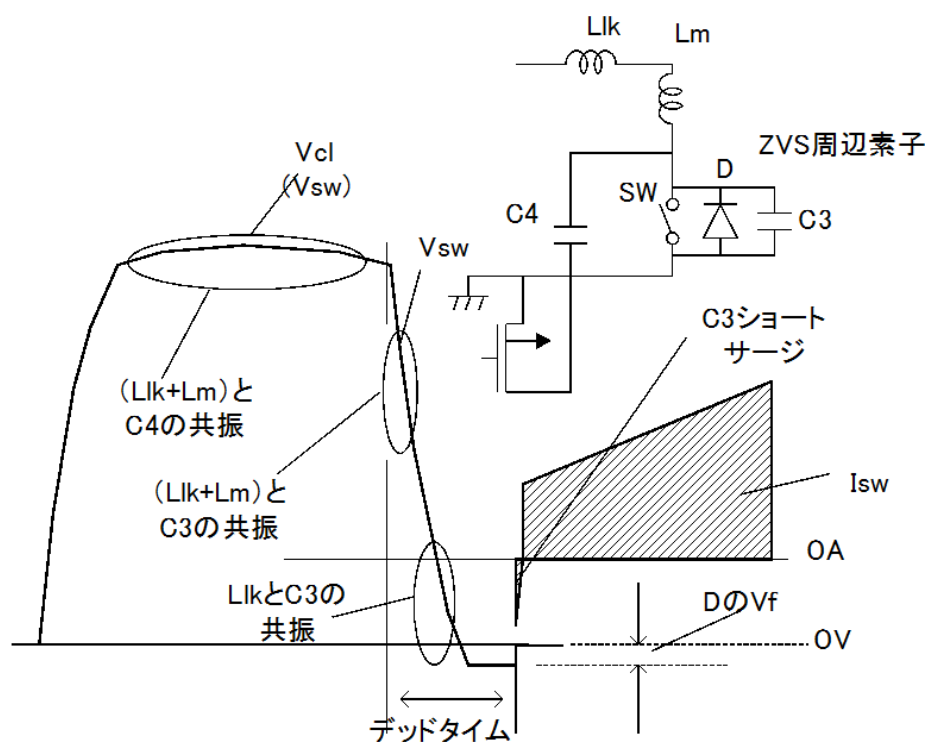


Fig2.3.10.4 ZVS 周辺素子と SW 電圧電流の関係

デッドタイム内やクランプ電圧の Llk, Lm, C3, C4 の役割が理解できれば LTspice の回路解析で定数を振って適正な ZVS を得るための Llk, Lm, C3, C4 の値を求めるの設計短縮に寄与できる。この点を解説する。

まずクランプ電圧はゆる共振カーブを描くがこれはクランプコンデンサー C4 とトランスインダクタンス Llk+Lm の共振正弦波の一部である。容量を大きくすれば平坦になるが過渡応答時にリセット電圧応答が遅れるので 100 nF 前後が妥当のようである。

クランプの共振自体は ZVS には関係しない。

ZVS で重要なのは Toff と Ton 間のデッドタイムでの SW (S1) 端子電圧共振カーブである。

デッドタイムの間 (T_{off} から T_{on}) にこの電圧カーブがクランプ電圧から 0V へ緩やかな共振カーブを通して移動する、0V まで移動後 SW(S1)が T_{on} すれば ZVS となる。

ZVS は一般に電圧電流遷移損削減効果があるが、それに加えて MOSFET 使用時は必ず C3 (Coss を含む) が存在し C3 に残電圧がある時点で T_{on} 開始での C3 シュートサージ損を禁止するのに ZVS は効果大きい。

SW 端子電圧が 0V 以下に共振するには $L_{lk}+L_m$ と C3 の共振(トランス 2 次整流ダイオードが導通前) と L_{lk} と C3 の共振(ダイオード導通後)の 2 つのステートを考慮する必要がある。

特に L_{lk} と C3 の共振はインダクタンスが小さく共振インピーダンスが低く共振が弱く 0V に落ちづらくなるので注意を要する。0V 以下へ電圧が下がった確認は電圧カーブの裾が -0.7V (MOSFET-SW の逆並列ダイオードの V_f) に落ち込むことで確認できる。

あるいは SW_{Ton} 開始時に SW (S1) に流れるサージ電流が (-) 方向であることでも確認できる。

またデッドタイムの終点タイミングはこのマイナス ($-V_f$) かマイナスサージかが発生する時点までデッドタイムを保つ必要がある。

ただしデッドタイムは電力伝送サイクルタイムに影響の少ないできるだけ狭い幅が好ましい。これら両面を調整したデッドタイムを設定することになる。

fig2.3.10.5 は fig2.3.10.1 の LTspice での時間解析である。

波形は下段からドライブパルス、SW 電圧電流の ZVS 状態、トランス L_m の励磁電流、出力電圧 V_{out} である。

SW 電圧電流波形から T_{off} から T_{on} への共振波形の傾斜変化や T_{on} 開始時の マイナスサージが確認できる。

L_m の励磁電流からは正 (+電流) 励磁 負 (-電流) 励磁 での動作が確認できる。

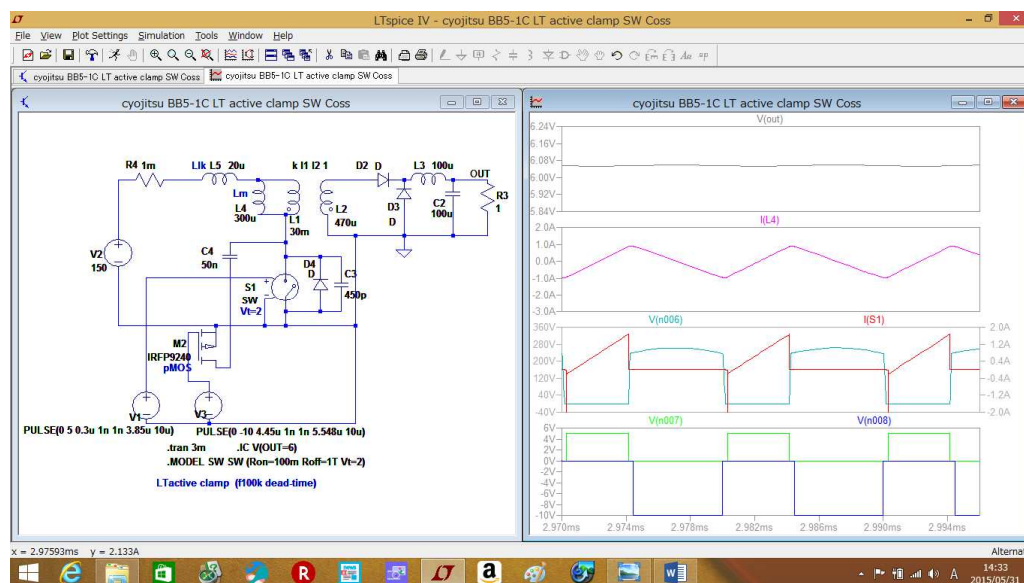


Fig2.3.10.5 (23101cct) 電力変換部時間解析

○電圧変換の理論設計

電圧変換は forward 型に準ずる。

ただしリーケッジインダクタンス L_{lk} は電力伝送には寄与しない。

その分トランスの伝達電圧が減少する点を補正する必要がある。

トランスへの入力電圧は $V_{in} * L_m / (L_{lk} + L_m)$ となるため

$$V_{out} = \{V_{in} * L_m / (L_{lk} + L_m)\} * (1/n) * (T_{on}/T) - V_f \dots (2310-2)$$

$$\text{ただし } (1/n) = 1 / (\sqrt{L_1 / L_2})$$

Fig2.3.10.1 の定数を用いれば

$$V_{out} = 50 * (300/320) * (1/\sqrt{30/0.47}) * 3.85/10 - 0.7 = 6.08V$$

となる。この電圧は fig2.3.10.5 の時間解析の値と近いものである。

したがって実用設計時、 L_{lk} が大きくなる場合は上記電圧補正を加味したトランス巻き数比を決定する必要がある。

○同期整流の実施

Active-clamp では T_{off} 期間中には SW の電圧はクランプされ丸みはあるが台形の波形となる。このクランプ電圧波形はトランス 2 次側に伝達されると同期整流の MOSFET 用ドライブ波形に利用できる。

Fig2.3.10.6 はトランス 2 次巻き線からドライブ信号を得た同期整流を備えた回路、

Fig2.3.10.7 は同期整流をダイオード整流に戻した回路とそのおのこの解析波形、波形は下段から一次側ドライブ波形、S1 電流と電圧、トランス L_m 電流、同期 MOSFET 電流、入力と出力電力測定である。

両回路の効率解析結果は

同期整流実施では入力電力 48.95W 出力電力 48.48W ($V_{out} 6.96V$) 効率 99.0%
(ただし同期整流 MOSFET BS3013NE2LX1 $R_{on} = 1m\Omega$ は LTspice ライブラリーより)

同期整流なしでは入力電力 42.14W 出力電力 36.68W ($V_{out} 6.06V$) 効率 78.1%
が解析結果である。(効率測定方法詳細は第 5 章参照ください)

この効率向上は同期整流によって 2 次側に流すダイオードの V_f の 0.7V が MOSFET $R_{on} * I_{out}$ に置き換わることによって得られるものである。

ただし次の点に留意が必要である。

トランス 2 次に発生する同期ドライブの台形波形電圧は duty が低いと低下する、この低下状態でも on 可能な MOSFET または 2 次補助巻き数が必要になる。

またデッドタイム期間の 2 次整流開始タイミングが MOSFET とダイオードで変化する、このことから ZVS 状態が変化して微調が必要になる。

(fig2.3.10.7 で S1 電流 on 頭部の C3 ショート電流が (-) でわずかな値であったのが fig2.3.10.6 では (+) となり ZVS から少し外れていることがわかる)。

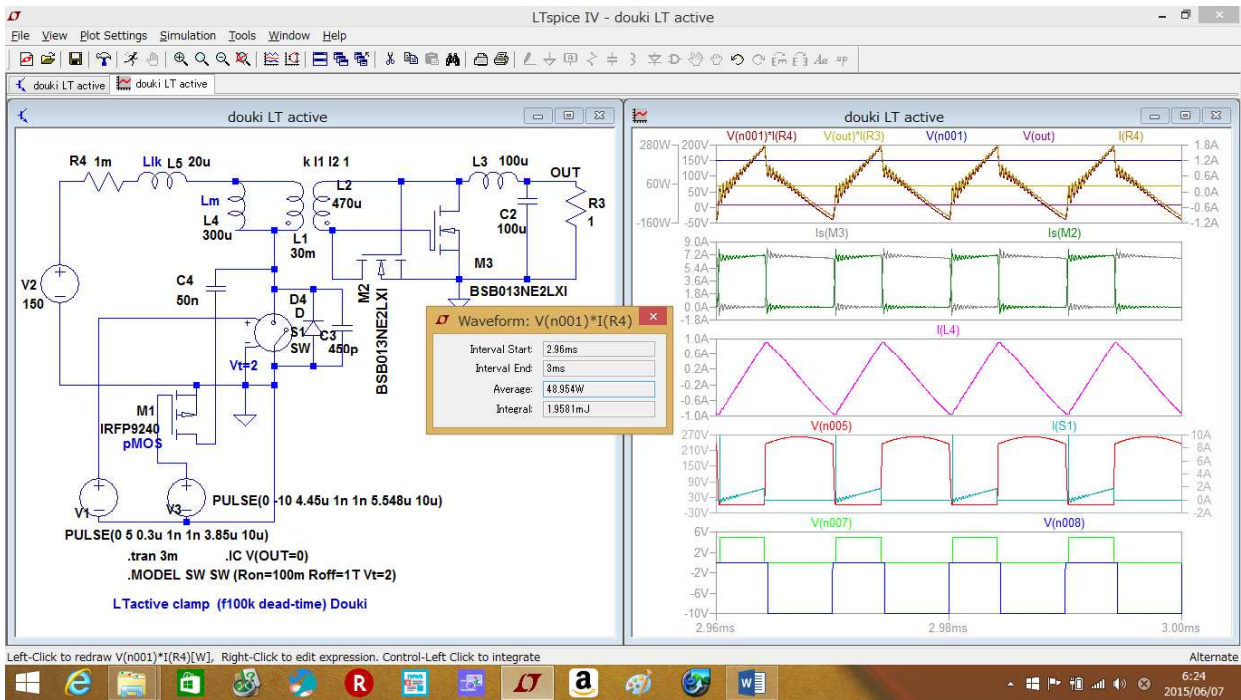


Fig2.3.10.6 (23106cct) 整流部同期整流化

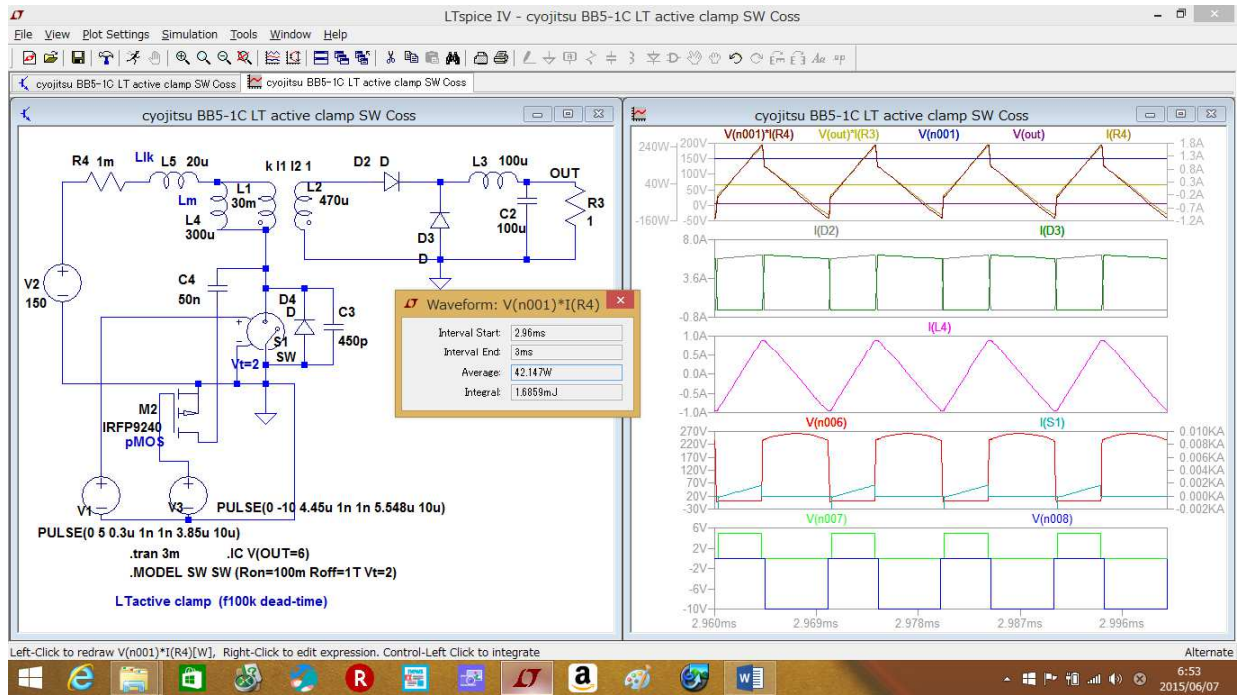


Fig2.3.10.7 (23101cct) 整流部ダイオード整流

○制御回路での安定化の解析

制御系も forward 型に準ずるが forward 型のトランスリセット回路を電圧クランプ回路に変えている電力変換とポロジを制御するため クランプ回路ドライブの追加が必要である。

また電力用 S1 ドライブとクランプ M2 ドライブのパルス間にはデッドタイムが必要となる。

このため forward 型と異なり 2 つの同期したパルス幅の異なるドライブ出力の制御回路となる。

クランプ回路は半導体 SW であって S1off時にクランプコンデンサの低圧側をグランドに落とし、S1on 時には C4 低圧側をグランドから切り離し深い (-) 電圧に保持する必要があるためドレーンからソースに逆順方向の寄生ダイオードを有する PchMOSFET が用いられる。

この PchMOSFET と C4 のクランプ動作を fig2.3.10.8 に示す。

また細部では Pch をドライブのため制御回路の (+) 極性ドライブ電圧を (-) 極性に変換する必要も工夫が必要である。

これらを含めて実施した制御付 (仕様 141V 入力 5Vout 50W) Active-clamp 型電源の LTspice 回路と制御の時間解析波形を fig2.3.10.9 に示す。

波形は下段から ドライブ波形、S1 電圧、S1 電流、C3 (MOSFET の場合 Coss) 電流、Lm 電流、Vout、Ref 電圧 である。

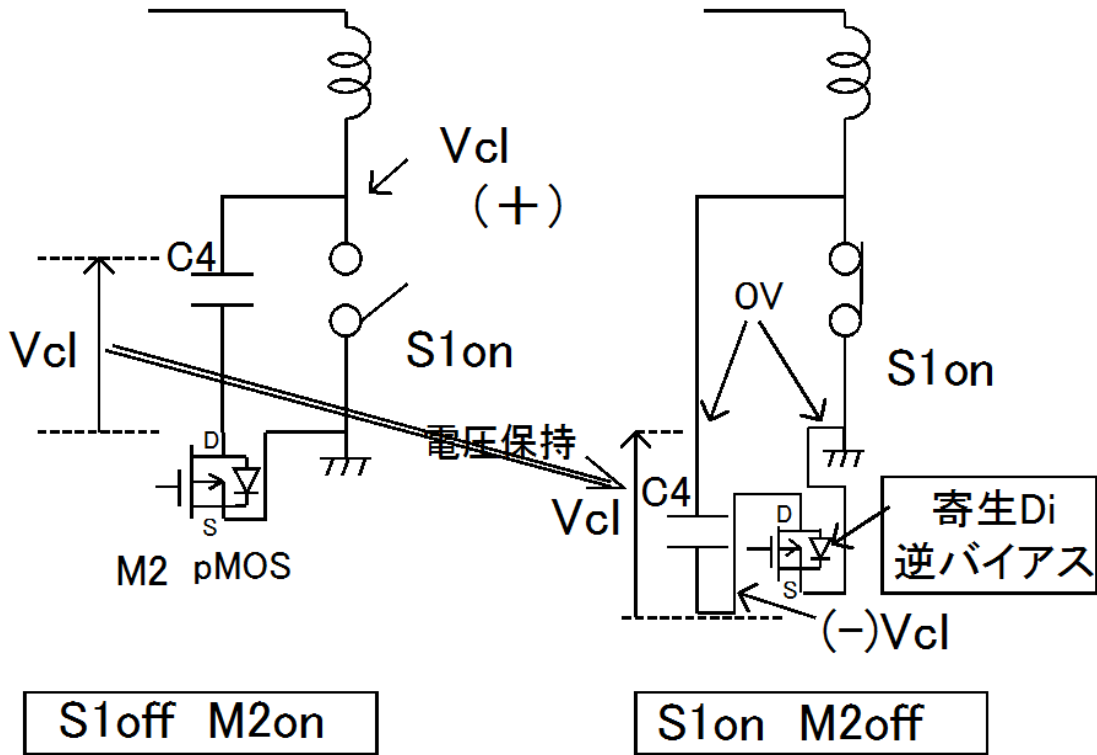


Fig2.3.10.8 クランプ動作と p-MOSFET

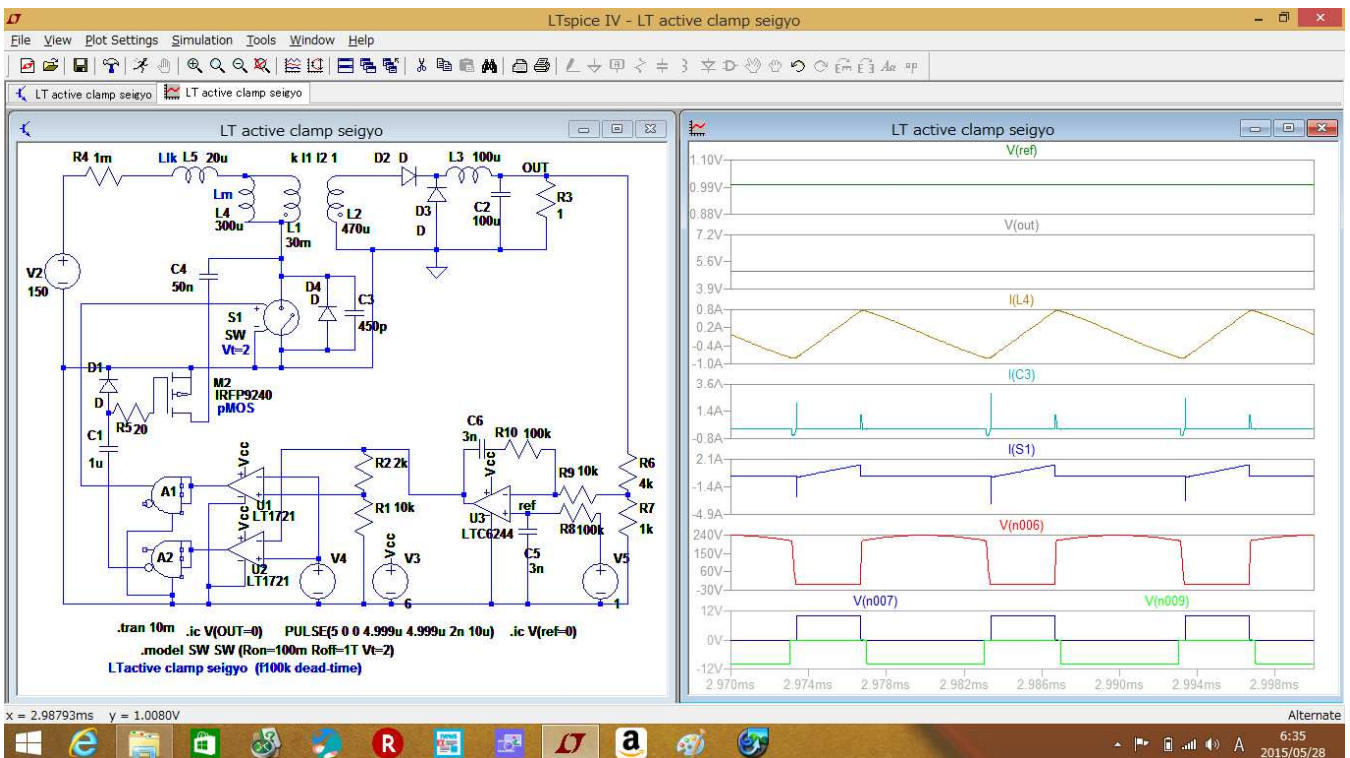


Fig2.3.10.9 (23109cct) 制御回路付 Active-clamp

◇2.3.11 Asynmetoric-Half-Bridge (絶縁 on-on 疑 PWM 共振)

○LTspice 回路図

Asynmetoric-Half-Bridge 型 (非対称ハーフブリッジ) は 300W クラスの電力の大きい電源に適したトポロジーです。 (以下 Asynmetoric-Half-Bridge **AHB** と表記)。

素子接続は Half-Bridge とほぼ同じで電力変換部を fig2.3.11.1 の示す。

(Half-Bridge で電源を 2 分するコンデンサー部が AHB では 1 個電源が見かけ上異なるが交流上は 1 個も 2 個も同じ見かけのコンデンサー 1 個で非対称というのではない)。

非対称の名称は SW の動作に基づき以下のように Half-Bridge とは全く異なる。

SW(S1)と SW(S2)は逆相で動作しサイクル期間は S1 の Ton 前半、S2 の Ton 後半で構成され S1 の duty(以下 D)に対し S2 は (1-D) で動作し duty 変化幅は S1 が (0~50%) 対応し(100%~50%)という形で動作 (fig2.3.11.2 参照) する。この動作で非対称と呼ばれる。

サイクル期間 S1、S2 いずれかが on で off-off 期間がないので電力伝送効率が良い。

各 SW(S1),SW(S2)交互 on 遷移時にデッドタイムを設けるとソフトスイッチングも可能であるし、動作上 2 次側整流に同期整流を接続しやすい。

なお fig2.3.11.1 では 2 次の整流部はダイオード部分が同期整流(MOSFET)になっている例で構成している、また 2 次回路には回路損失考慮の 20mΩ 抵抗を挿入しているがトポロジー上はダイオード整流でもいいし、抵抗は省いてもいい。

また同回路図では Vout の制御回路は省略し S1duty0.38 に固定してある。

絶縁トランスの設計は ON-ON 型に準ずる。さらに AHB ではトランスに直流偏磁電流が重畳するので設計時にトランス偏磁評価項目を加える必要がある。

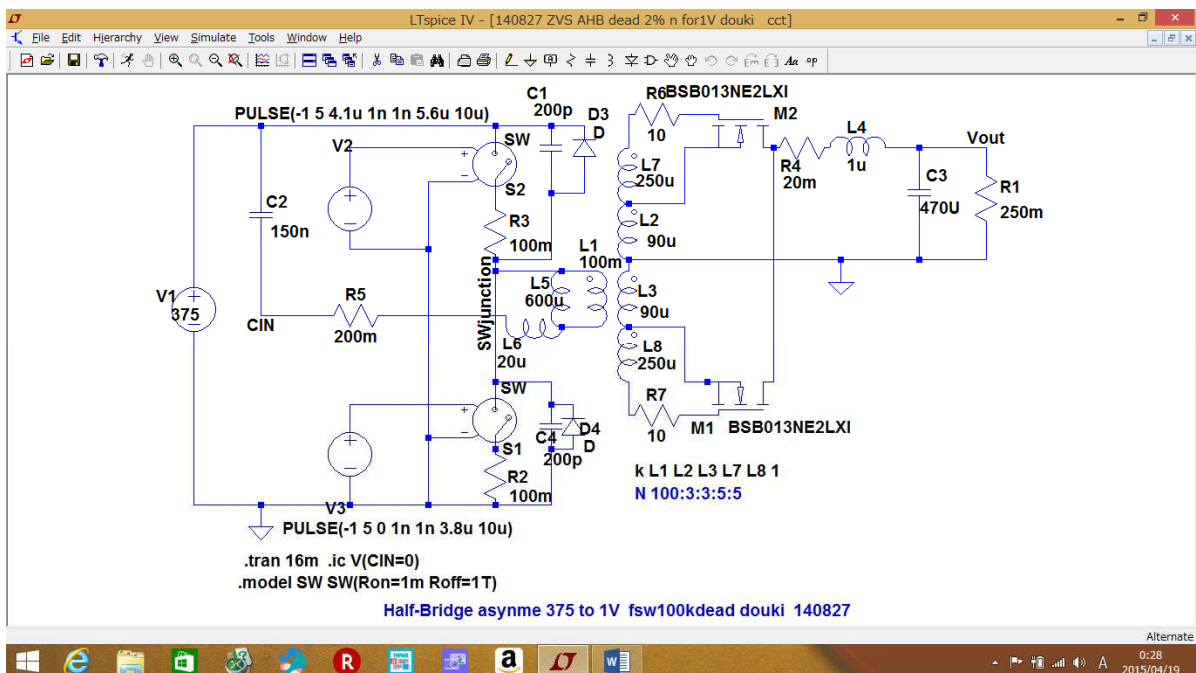


Fig2.3.11.1(23111cct) AHB 電力変換部

○動作説明と特徴

Asymetric-Half-Bridge (AHB) の持つ電力伝送の 2 つのステージを fig2.3.11.2 に示す。

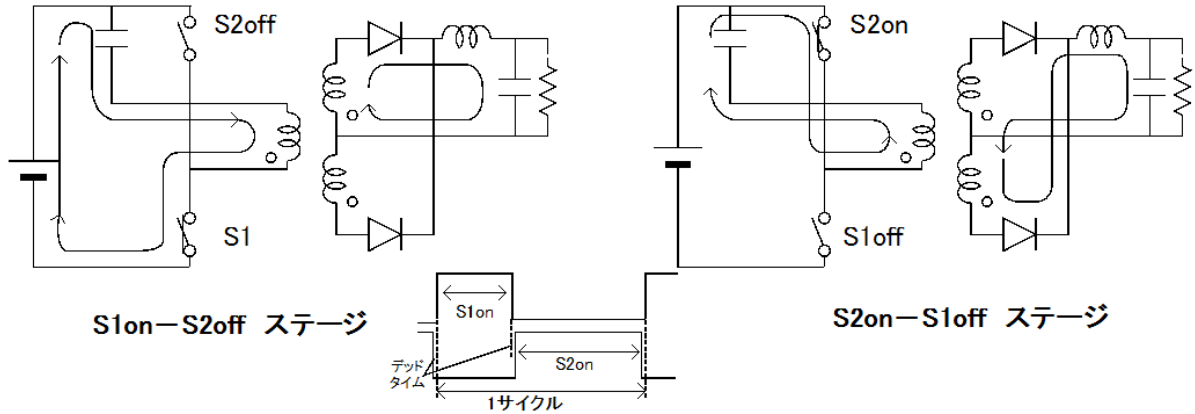


Fig2.3.11.2

Fig2.3.11.2 のように AHB ではこれまでの電源方式で用いた T_{on} T_{off} の概念と異なりスイッチング 1 サイクル内を $TS1on$ 対 $TS2on$ の割合での制御となる。

したがって 2 次側には他の ON-ON 方式にあった T_{off} 期間の還流電流はなく 2 個のダイオードを順方向の電流のみ存在する。

特徴をあげてみると

- ・接続は Half-bridge に似ているがサイクル中 S1,S2 とともに off-off がない(fig.2.3.11.2)。
- ・SW の端子電圧は $V_{in} + \alpha$ にとどまる。アクテブクランプの矩形波となる。
- ・2 次は順方向電流のみなので平滑部のチョークは小型化が可能である。
- ・電圧変換は (duty) $TS1on/T$ ($T=TS1on+TS2on$)に関連するが half-bridge のような 1 次比例ではない

・S1on と S2on の比率によってトランスと入力コンデンサーに偏磁と充電電圧変化が生ずる。

・2 次電圧も矩形波で同期整流に対応できる。

・デッドタイムとトランスのリケッジインダクターと SW 端子間コンデンサー(C_{oss} 含む)による ZVS ソフトスイッチングが実現できる。

上記特徴で最大のデメリットはトランスの偏磁(励磁電流に直重畳がある)がある。

この点は後述の理論式で述べるが一次入力が高く 2 次出力が低い時は緩和され実用上は問題ないレベルに設計可能ではあるが設計時には検討を要するポイントである。

以上の特徴一部を Half-Bridge と比較しながら少し詳細に解説します。

AHB の動作波形を fig2.3.11.3 に Half-Bridge (HB) の動作波形 2.3.11.4 と比較し示す。

波形画面は両図とも下段からドライブパルス、SW 電圧、SW S1 端子電圧と処理電流、2 次ダイオード出力電圧、入力コンデンサー端子電圧である。

- ・SW の端子電圧 (下から 2 段) AHB 入力電圧幅の S1on 幅、S2on 幅の矩形波であり、HB では 1/2 入力電圧から入力電源とグラウンドにクランプされ矩形である。

AHB のクランプは入力部の C2 コンデンサーをクランプコンデンサーとしたと形のテブクランプとして動作している。

一方 HB は入力 C1,C2 中点 (1/2 電源電圧) からハードな矩形波スイッチング波形である。

AHB、HB とともに SW 端子間電圧では交互にトランスが励磁されることからリセットは必要ない。ただし AHB は励磁幅が S1、S2 間で違っていることから定常偏磁が生ずることが分かる。

・ 2 次電圧とチョークの関係 (下から 4 段目波形参照)

AHB の 2 次電圧(ダイオード通過位置)は 1 次からの矩形波がわずかなデッドタイムをまたいで S1on 分 S2on 分の順方向整流からの 2 つの(+)電圧が並ぶ。

整流部のチョークの役目は微小幅デッドタイムの幅埋と 2 つの少ない電圧差の平滑であり役割負担は軽いのもである。そのためチョークの形状は小型化できる。

HB の倍は 2 次電圧にははっきりと Ton Toff に対する出力と 0V が発生しており、これをダイオードとともに還流平滑する機能が要求され、その処理に必要な適度な値のチョークコイルが必要になる。

・ 2 次電圧と同期整流 (下から 4 段目波形参照)

AHB の 2 次巻き線電圧は 4 段目波形に近い (4 段目はダイオード後であるが巻き線はダイオード前) この矩形波はかく SWon 幅一ぱいのものであり号機整流用の MOSFET ドライブに用いることが可能である。

HB においてはダイオードの還流構成が必要で同期整流構成が難しい。

・ ZVS とソフトスイッチング (下から 3 段目波形参照)

AHB はと S1on と S2on が連続しともにアクテブクランプ電圧なのデッドタイムを設けリーケッジインダクタンスと SW 端子への C で共振させれば ZVS ソフトスイッチが構成できる。動作は前出した Active-clamp とおなじことになる。

AHB の 4 段目波形はすでに ZVS ソフトスイッチを組み込んだ例である。

電圧波形が共振して傾斜に見えている。

HB の SW 端子電圧は矩形であるが Toff が存在し、アクテブクランプ (SW 電圧が Toff 期間一杯にフラット) でないため ZVS ソフトスイッチングはできない。

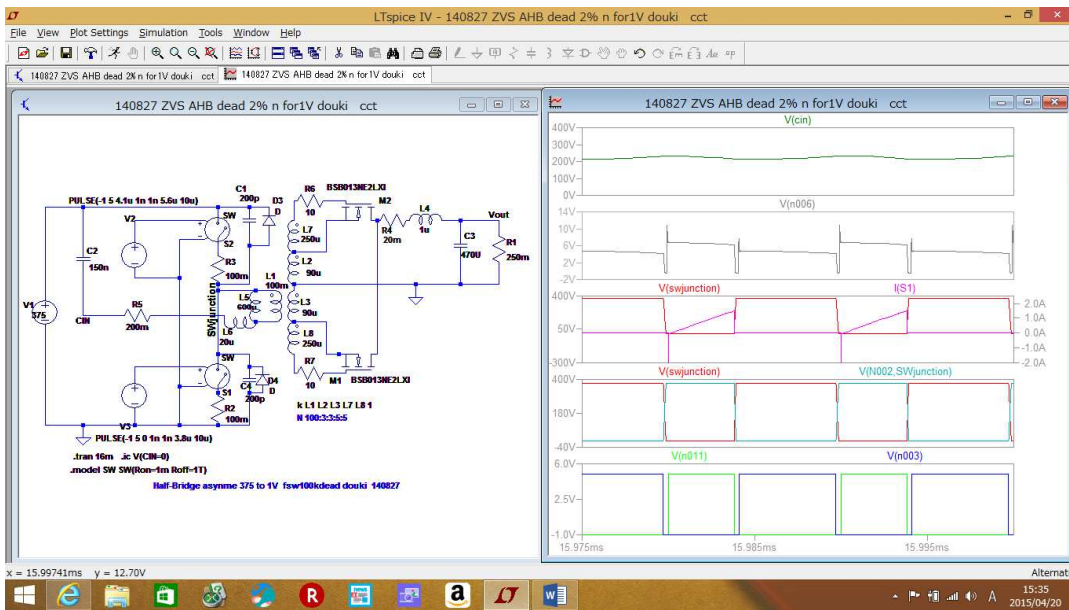


Fig2.3.11.3 (2311cct)

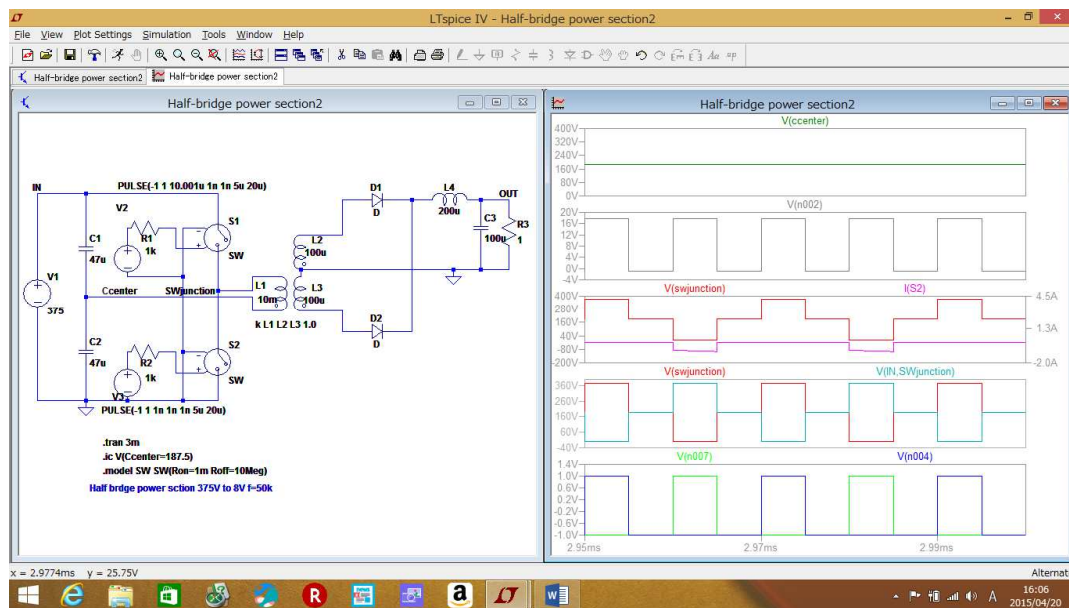


Fig2.3.11.4 (2361cct) (2361cct)half-bridgeからの引用です

○電圧変換理論式

AHBの電圧変換式はS1のDとS2の(1-D)で入力コンデンサーC2電圧を經由して出力を制御する。

$$D、1-Dで制御した時のC2の電圧(Vc)はLmのDと1-D期間の電流変化同一から$$

$$D期間の電流 (Vin-Vc) * TS1on/Lm = (Vin-Vc) * D * (T/Lm) \quad (2311-1)$$

$$1-D期間 Vc * TS2on/Lm = Vc * TS1off/Lm = Vc * (1-D) * (T/Lm) \quad (2311-2)$$

$$(2312-1)、(2312-2)を=に置いてVcを解けば Vc = Vin * D \quad (2311-3)$$

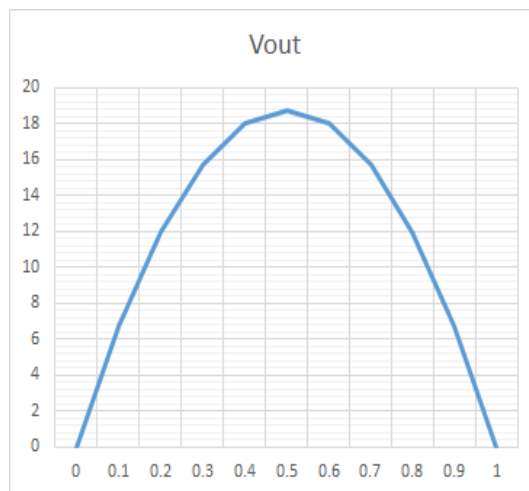
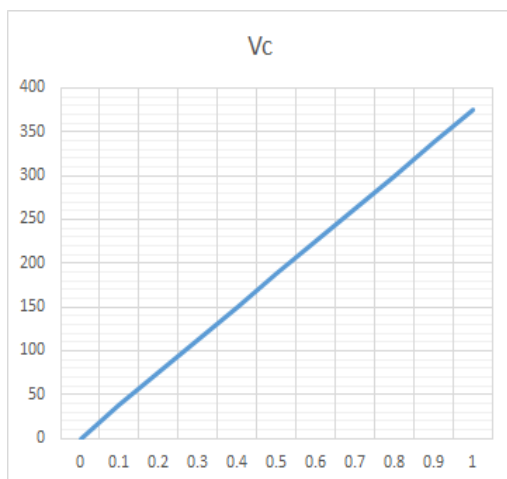
またトランス(巻き線比n)の2次にVin*1/nがTS1on時とTS2on時の出力が各々の

D 比率の値で T 期間につながって出力されますのでその平均が Vout になります。

$V_{out} = (1/n) * \{ (V_{in} - V_c) * D + V_c * (1 - D) \}$ これに(2312-3)の Vc を入れると

$V_{out} = (1/n) * D * 2V_{in} * (1 - D)$ が求められます—— (2311-4)

(2311-3) と (2311-4) 式をグラフ化すれば fig2.3.11.5 fig2.3.11.6 となる。



D (横) 対 Vc(縦) 但し Vin=375 V

fig2.3.11.5

D (横) 対 Vout(縦) 但し Vin=375 V

fig2.3.11.6

AHB の D に対する Vout 特性は duty0.5 で最大になりその上では低下する 2 次関数になっている。

AHB の D での制御は 1 次比例ではないことで考える必要がある。

D の制御回路では 50%より低い点に D リミット回路が必要である。リミットがないと負荷急増があれば D が 50%を超え制御が外れ Vout が低下してしまう。

定格時の D をどこにするかも重要になる。

Duty があまり狭いとトランス 2 次出力電圧の S1on 時と S2on 時の電圧差が大きくなり同時にトランスの偏磁も増加するので好ましくない。またこの電圧差や偏磁においては 50%に近い D においては有利であるが D による Vout 傾斜が小さく制御性が低下する。

そこで一般的に定格出力に対しは 30%~40%で設計するのが好ましい。

Fig2.3.11.1 では 38%の D で解析している

S1 ドライブが pulse(-1 5 0 1n 1n 3.8u 10u)指定なので サイクル 100khz Ton3.8u

で 38%duty である。Vin 指定は 375 V、トランス間数比指定はインダクタン 100m : 90u から巻き数比率は 33.3 : 1 となるのでこれらを用いて 38%での Vout を理論算出すれば

$$(2312-4) \text{ 式 } V_{out} = (1/n) * D * 2V_{in} * (1 - D) = (1/33.3) * 2 * 375 * 0.38 * (1 - 0.38) = 5.3$$

Fig2.3.11.7 に Fig2.3.11.1 の Vout 関連項目中心に関連波形を解析してみる。

波形画面下段から S1 ドライブパルス、 S2 ドライブパルス、 Vc、整流器出力電圧、Vout である(ただし TS1on=3.8uS T=10uS 整流後 20mΩドロップ 0.4V)。

波形解析結果の Vout は 4.76V である。この 4.76V という値は式理論値 5.3V から 整

流 MOS 抵抗、回路抵抗ロスの 0.4V が低下したもので 0.1V ほどの差で解析できている。

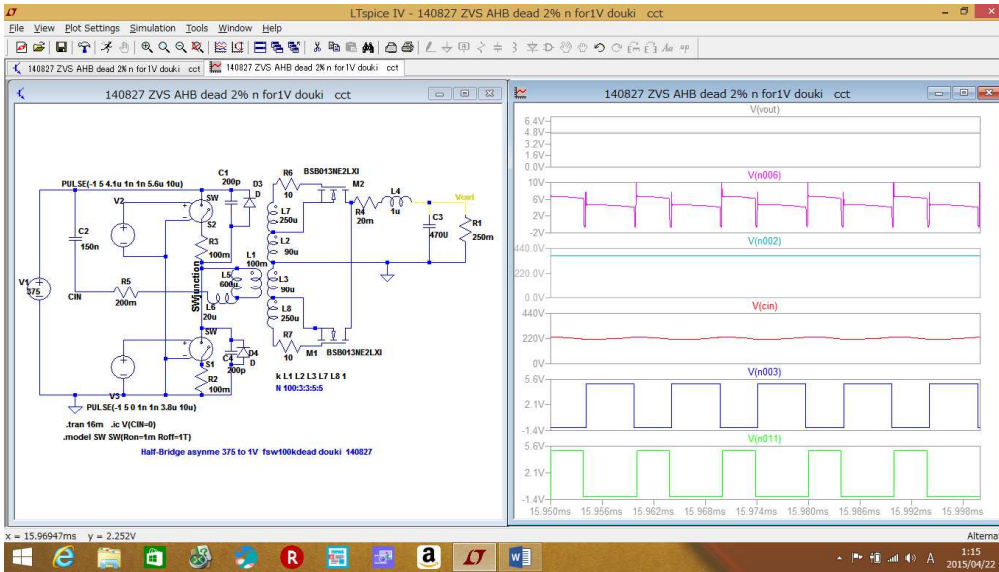


Fig2.3.11.7 (23111cct)

○ソフトスイッチングの設計

MOSFET のように SW 端子間に容量を持つ SW では遷移損失のほか SWon 時のこの容量ショート損失が大きい。ソフトスイッチングは S1on ドライブパルスと S2on パルス間のデッドタイムで ZVS を作りこの損失を防止して同時にノイズ低減を行うものである。

デッドタイム ZVS(ソフトスイッチング)はトランスのインダクタンス L_m と SW 端子にあるコンデンサー C1 (Coss も含み)、リーケッジインダクタンス L_{lk} を組み合わせて行う。ZVS はこの組み合わせで発生する共振波形がデッドタイム中に SW 端が 0 電圧に到達するように設計する必要がある。共振波形の振幅の大きさは $\sqrt{L_m/C1}$ 、 $\sqrt{L_{lk}/C1}$ が関係する。

Fig2.3.11.8 に ZVS 波形間系の波形解析を示す。

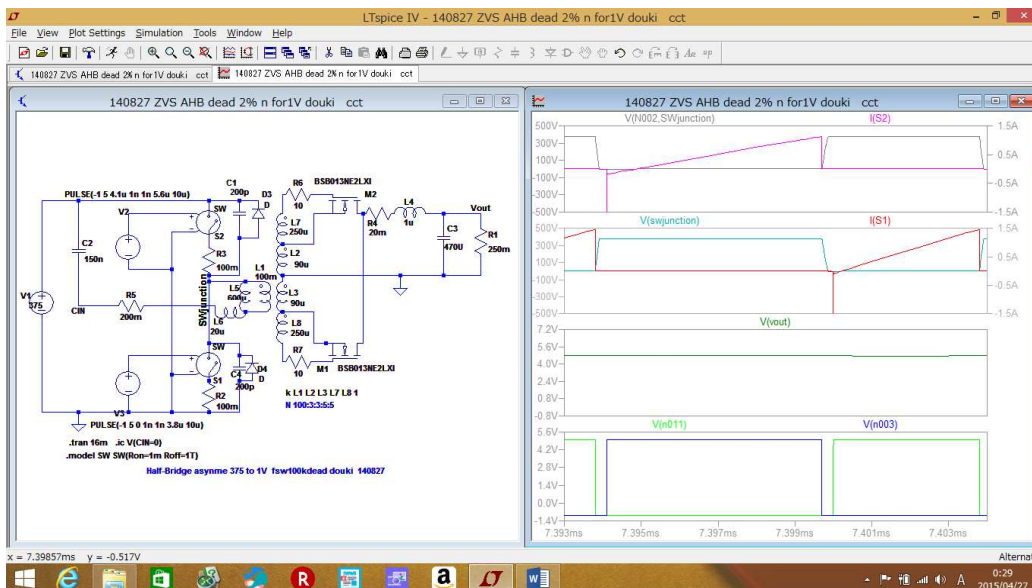


Fig2.3.11.8 (23111cct) AHB ZVZ (ソフトスイッチング) 波形

波形下段からドライブパルス、出力電圧、S1 電流と電圧 S2 電圧と電流波形である。

また fig2.3.12.9 はデッドタイム期間内の共振電圧の詳細である。共振の初期は L_m (L_5) と C (C_1+C_4)、共振の後半は L_{lk} (L_6) と C による共振である。

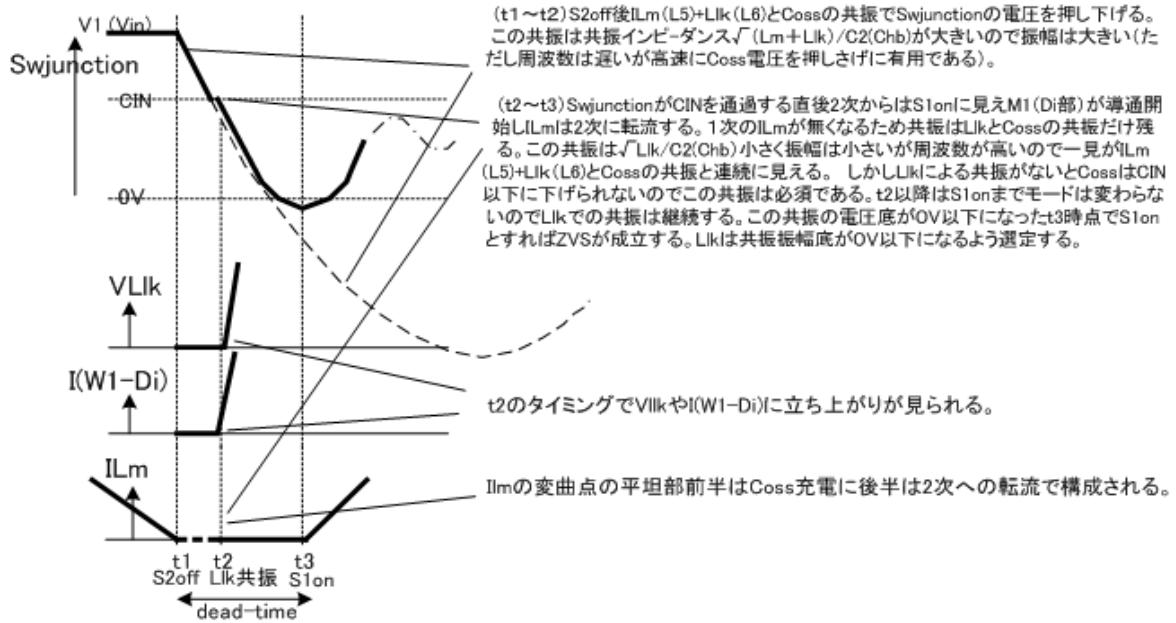


Fig2.3.11.9

○トランス偏磁の考察

AHB ではトランスに偏磁電流 (直流励磁) が流れる。 V_{in} を $375V$ と $144V$ にて fig2.3.11.10 と 2.3.11.11 に励磁電流を解析する。回路はデッドタイムと同期整流外し単純化している。波形は下からドライブパルス、2次整流ダイオード電圧、トランス励磁電流、入力 C と R_5 接続部電圧、 V_{out} 、トランス励磁電流。

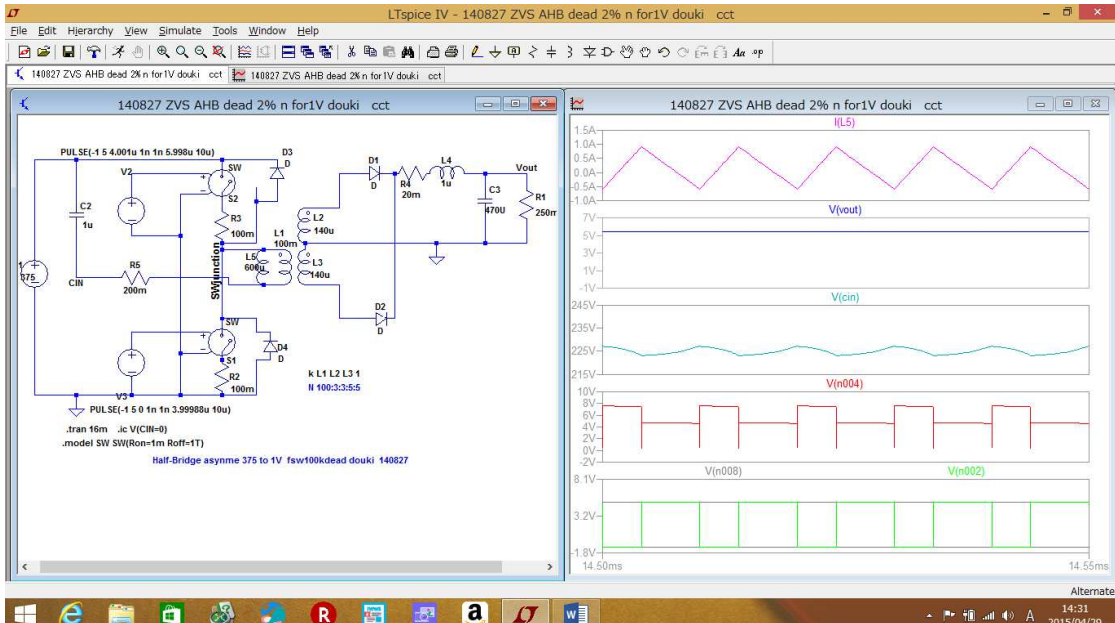


Fig2.3.11.10 (23111cct+) トランス励磁電流 (最上段) +は (23111cct) から共振部除去にて

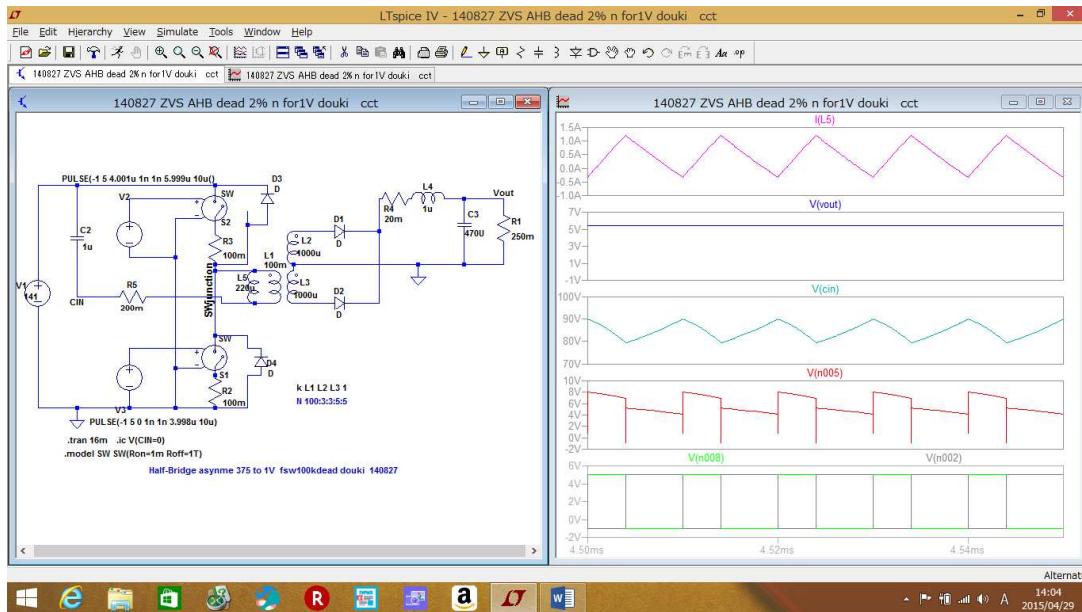


Fig2.3.11.11 (23111cct++) 励磁電流 (最上段) ++は (23111cc) から Vin 変更デッドタイムなし

偏磁直流電流の理論値は

$$(*2) LmDC = (n2/n1) * Iout * (1-2D) \quad \text{---(2311-5)で求められる} \cdot$$

duty 設定パルスと Iout は解析波形実測 (Vout/0.25Ω) から求めて LmDC を算出すると

$$\text{Fig2.3.11.10 では } LmDC = (1/26.7) * 21.5 * (0.2) = 115\text{mA} \quad D=0.4 \quad Iout=21.5$$

$$\text{Fig2.3.11.11 では } LmDC = (1/10) * 21.6 * (0.2) = 432\text{mA} \quad D=0.4 \quad Iout=21.6 \text{ となる}$$

(Lm は 1 次の励磁インダクタンス)。

Fig2.3.11.10 の解析波形の読み取りでは直流偏磁は 158mA fig2.3.11.11 の 433mA となる

直流偏磁は入力電圧に逆比例して低入力時増加する結果となる。

たとえば本出力仕様を 48V 入力で設計するとすれば 1A 以上直流偏磁がかかることになりトランス設計には慎重さが必要になる。AHB このような解析が必要になる。

幸い現在のスイッチング電源では PFC プリレギュレータを用い電源部入力は 375V や 390V になっているのでこの欠点は大幅に軽減されている。

(*2 参考資料 Fairchild 技術資料 AN-4153)

○制御回路での安定化の解析

Asynmetoric-Half-Bridge 型では PWM ではあるが一般の D (Ton/T ではあるが) 制御と異なり AHB 特有のものになる。その 1 例を Fig2.3.11.12 にその回路動作波形を示す。

D と 1-D とを対応し発生する制御用ドライブパルスを作成し制御することになる。

(また D と 1-D の間にソフトスイッチング用デッドタイムを挿入する必要がある)。

D と 1-D の対応はエラーアンプ出力とスイッチング周波数の 3 角波極性を逆極性入力にした 2 個のコンパレータで構成することができる。デッドタイムの幅は 2 個のうち 1 個のコンパレータへのエラーアンプ出力にわずかのバイアス電圧を加えることで作るのが制御

のハードであるが制御回路 IC 内でおこなわれることでこれ以上は省略する。

素子特性面では他のトポロジー不要であった入力部のコンデンサーC2の容量設計が必要になる。

これは理論動作の(2311-3)式にあるようにVoutを制御するためにVcを経由しなければならないことからである。

Vc(C2)はパルス幅制御の結果で決まるがC2容量が大きすぎるとVoutの制御が遅れ過渡応答性が悪くなるがVoutのスイッチングリップルは小さくなる。

C2容量が小さければ応答は早くなるが同時にVoutがスイッチングリップルが大きくなると同時に制御の安定性は低下傾向になる。両者を勘案したC5容量の選定が必要である。

設計の詳細は省きますがLTspiceによる下記のような波形解析でC2やSW端容量を変化させた波形確認が有効である。

fig2.3.11.12a、12b上のLTspiceの時間解析波形で考察してみる。12aは入力コンデンサーC2=330n SW端子Cossのみ 12bはは入力コンデンサーC2=100n SW端子容量Coss+300pの時間解析波形である。波形画面は下からドライブ波形、Vout、Vc、S1Vds Id(ソフトスイッチ波形)波形、2次ダイオード出力電圧である。

C2容量によってVcのリップル関連してダイオード出力のサグ(Voutのリップル)SW両端コンデンサーによってソフトスイッチ波形が変化している(+300p)ではソフトスイッチが失われSW両端のコンデンサーのショートサージが観察される。図にないが負荷急変の安定性(Vout復帰時のリンキング)の観察も必要である。

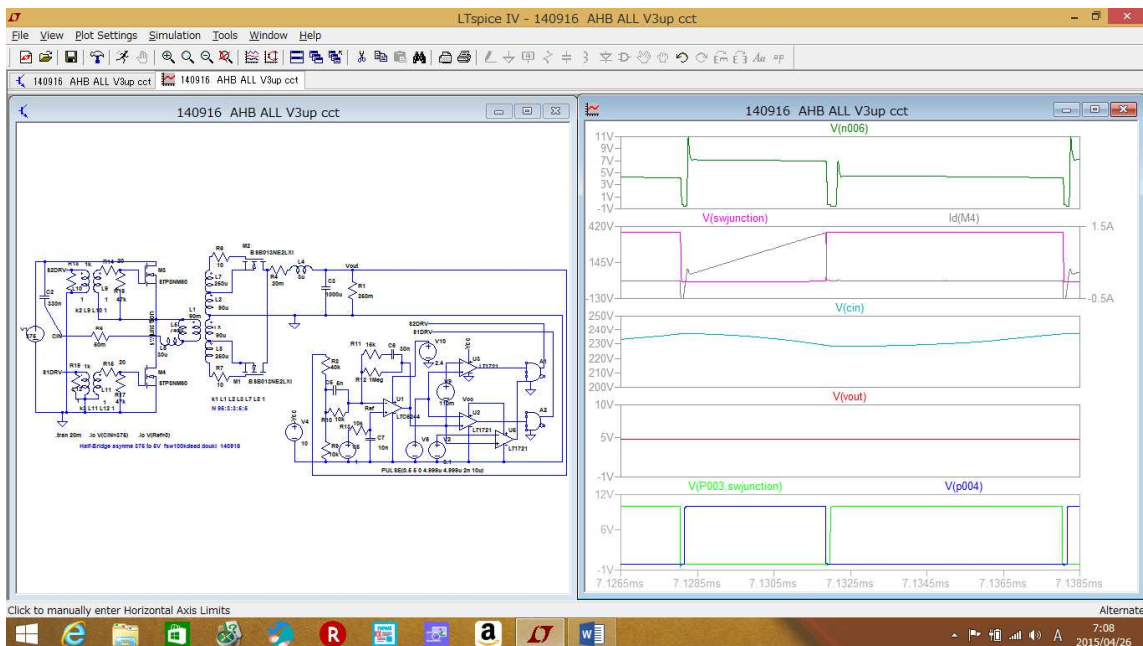


fig2.3.11.12a (231112cct)

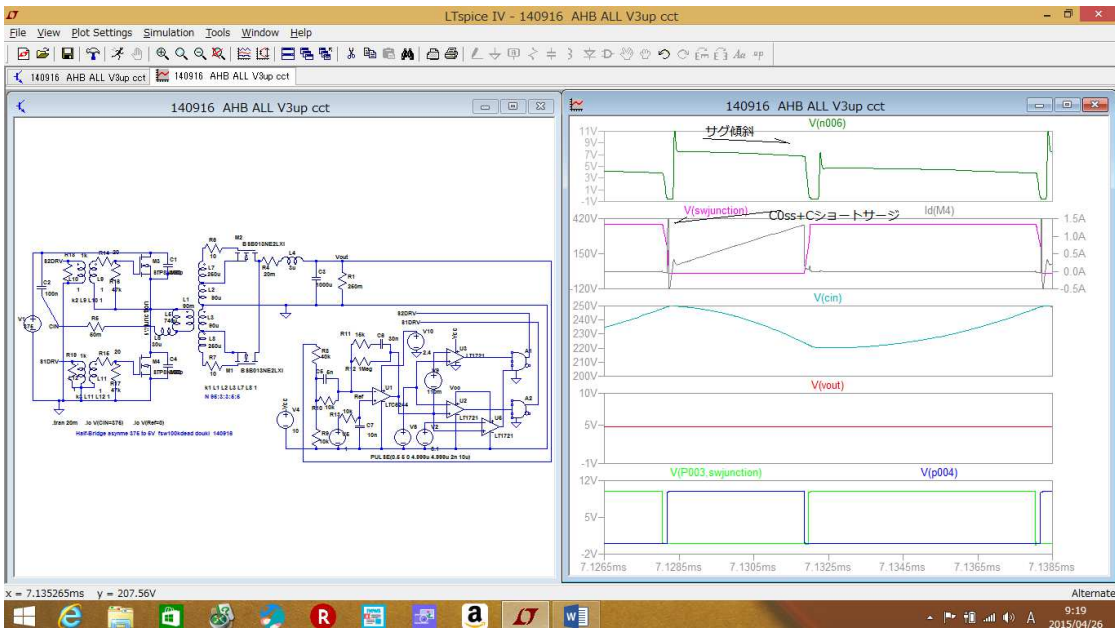


fig2.3.11.12b

○効率解析

AHBはその特徴から100W以上の電力の大きい電源に高効率面から効果がある。特に多くの電源で効率向上に壁があるVoutが低い仕様に対し効果がみられる。

Fig2.3.12.13 375V入力、5Voutの仕様にMOSFETとアクテブクランプソフトスイッチング、2次同期整流を組み込み効率解析したものである。波形下から安定領域での入力電流電圧、出力電圧電流、Win電力（入力電圧*電流）、Wout（電圧*電流）である。Win WoutをCtrl+特性名クリック右で読み取ると102.11W、92.86W →効率90.9%となる。2次回路ロス20mΩ（7.8%）の挿入をチョーク小型化で5mΩとば96.7%高効率になる。

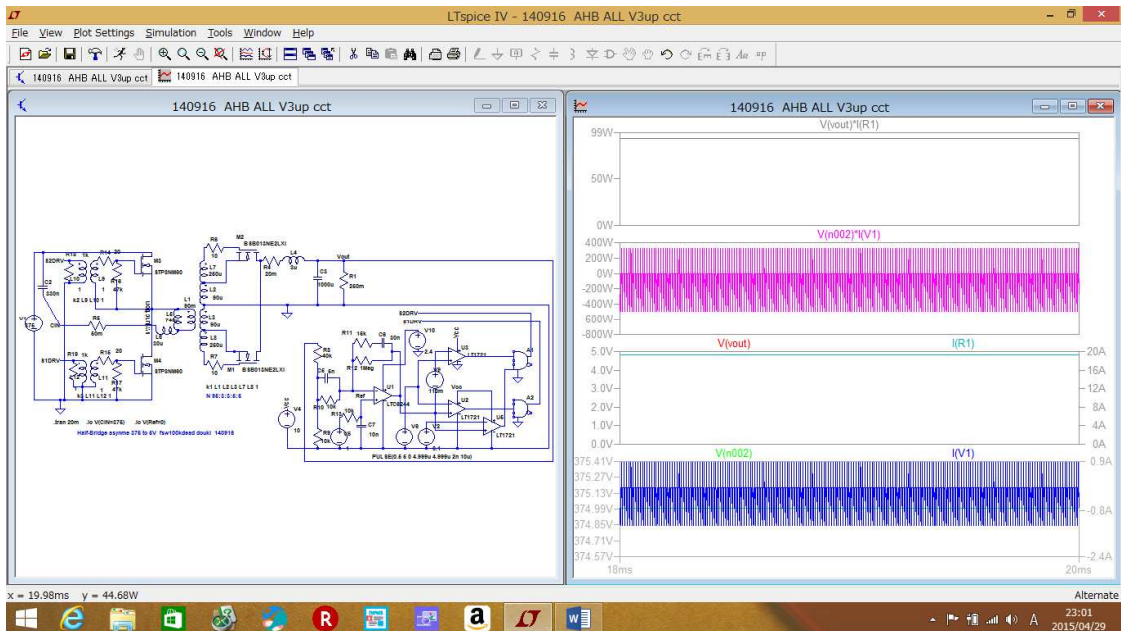


Fig2.3.11.13 (231112cct)

◇2.3.12 PFC (非絶縁 on-off Ton 制御)

○LTspice 回路図

PFC 型は電圧変換でなく電圧変換のスイッチング電源の前段に接続され商用電源からの電力を高効率でスイッチング電源に受け渡す機能に使われる。

回路構成は商用からの入力をブリッジで整流、平滑なし脈流のまま **Boost** 型 DC-DC で処理し商用 AC の振幅電圧より高い DC を得るものである。この DC は後段のスイッチング電源の入力電圧として利用される。

高効率での電力受け渡しには商用 AC 電圧波形と同期し相似した入力電流になるような制御が必要になる。 Fig2.3.12.1 に回路を示す。波形画面は下段から」ドライブパルス、入力電圧、入力電流、チョークコイル電流、出力電圧である。

Boost 用チョークコイルは T_{on} 時エネルギー蓄積 T_{off} 時放出力型で設計される。

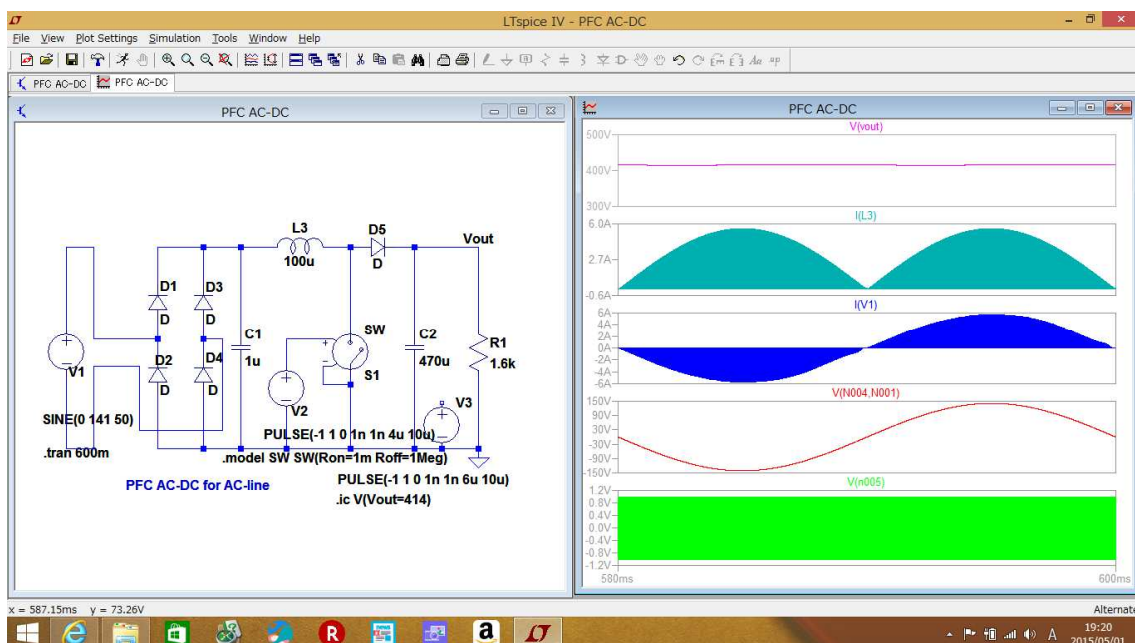


Fig 2.3.12.1 (23121cct)

○動作説明と特徴

PFC とは Power-factor-correction (力率改善) 機能から来ている。

商用ラインに一般のスイッチング電源を接続したときの入力段に PFC 回路を具備したスイッチング電源を接続した時の電源への入力電流の比較を fig21202 に示す。

スイッチング電源の電流は流通角が狭いので力率低くピーク電流が高く送電系を含めた効率は電源単体効率よりも下がる。また流通角が狭いため送電系への高調波が漏れる不都合がある。

PFC を具備したスイッチング電源の電流は AC 電圧波形と相似であり力率は高く、高調波はほとんどなくスイッチング電源の不具合が改善される。

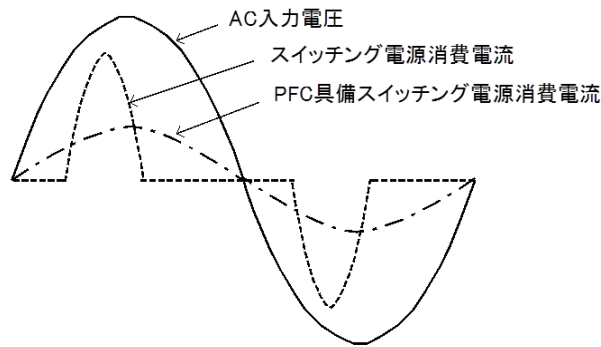


Fig2.3.12.2

AC 電圧に比例した入力電圧にするには大きく 2 つの方法がある。

1 つの方法は周波数一定の DCM（電流不連続）の状態 で電力処理する方法であり、100 W 以下の電力処理では多く用いられる。

Fig2.3.13.1 ではこの DCM のモードを維持できるパルスで AC 両波整流後の電圧（平滑なし）に Boost 操作を行っている。

PFC 内部での処理電流はインダクター充放電のスイッチング電流が DCM 状態となるように設計すと処理電流ピークは $I_{ip} = V_{in} * T_{on} / L_m$ 式から V_{in} に比例した包絡線となる。

PFC 入力部のラインフィルタはこのスイッチング高周波分をは濾波するので入力電流も AC 電圧波形と比例した正弦波に近いものになる。

この様子を fig2.3.13.3 にイメージ図で示す。

この DCM による PFC では処理電力が増加し T_{on} が増すと AC 波形位相 90° 付近に CCM 状態が発生し包絡線が正弦波にならず力率改善度が低下する。

その対策として周波数固定でなく T_{off} 終了後の T_{on} を開始する方法（常に臨界状態 DCM と CCM の境）が利用される場合がある。この時は入力電流波形の近正弦波は維持されるがスイッチング周波数が動く点には注意が必要である。

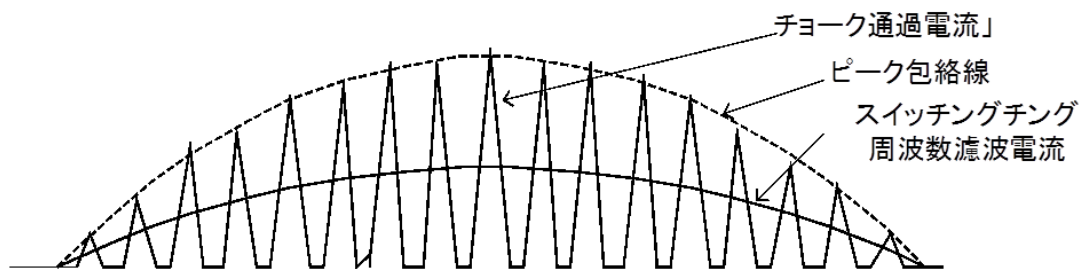


Fig2.3.12.3

Fig2.3.12.4 は DCM(不連続電流)での解析波形である。

波形下段から ドライブパルス、入力電圧、入力電流、チョーク電流、出力電圧である。入力電流にスイッチング成分が濾波されていることがわかる。

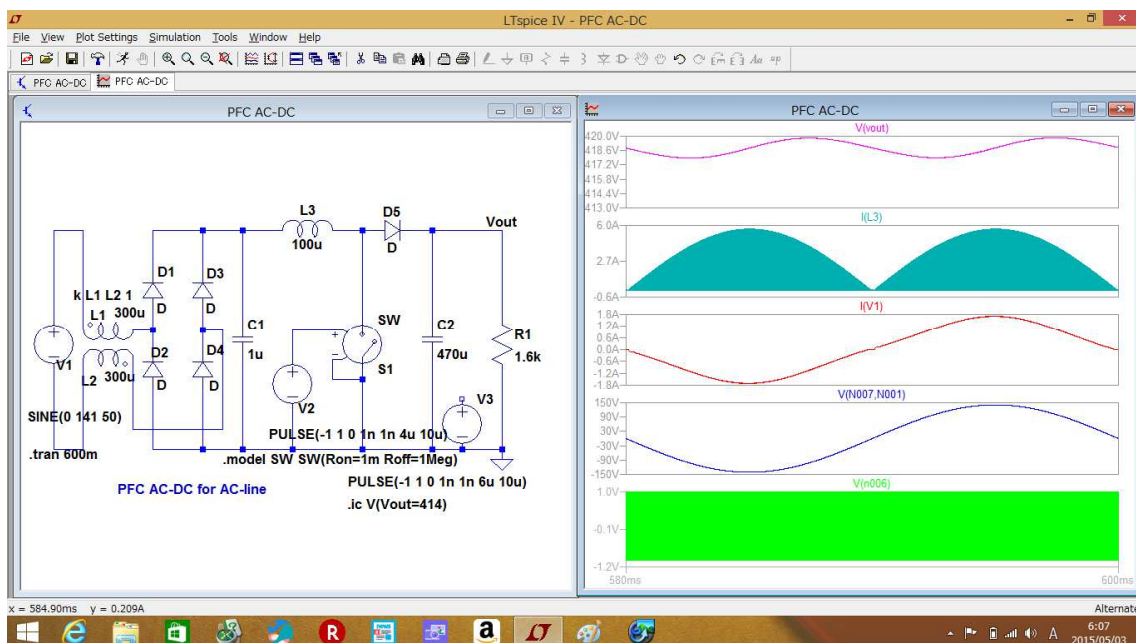


Fig2.3.12.4 (23121cct)

もう一つの方法は制御回路の誤差出力と AC 電圧の比例分との積でスイッチ電流をコントロールするもので DCM、CCM の制約なしに大電力まで安定に制御するものです。誤差電圧と AC 電圧比例分の積という部分は特殊な積算回路(マルチプライアー)を用いるものです。

非常に安定した入力電流の正弦波精度の高いも方法ですが上記マルチプライアーなど回路が複雑で大電力以外には利用されるケースがすくない。

この方法の詳細は平均値カレントモードと呼ばれ 制御制御 IC UC3854 に代表されますのでそちらの参照を薦めます。

○電圧変換計算一例

臨界または DCM での出力電圧は T_{on} / T の duty で行なうがリアルタイムの PWM では行わない。(出力電圧に対応するほぼ一定の duty で昇圧される)。

PFC 電圧電流波形と各実行値の間の変換も含み V_{out} 値算出は複雑であるので理論計算は大枠で行いあとは LTspice 直接解析する。

ここでは大枠の V_{out} を得るためのチョークインダクタンスのとスイッチング周波数の設定を一例記します。

目標仕様は V_{in} AC240~85V、 V_{out} 375V、使用スイッチング周波数とする。

- ・ T_{on} リミット設定する。100khz で DCM を行うには $T_{on} + T_{off}$ は 10u 以下とする

$$T_{on} + T_{off} = 10\mu \text{-----} (2312-1)$$

次に昇圧条件から T_{on} リミット を求める。

$$V_{inmax} 338V(240 * 1.41) \text{を } V_{out} 375V_{dc} \text{に昇圧する } T_{on} * V_{in} = T_{off} * (V_{out} - V_{in})$$

$$\text{を用い } V_{in} = V_{max} \text{を適用すると } 338 * T_{on} = (375 - 338) * T_{off} = 37 * T_{off} \text{-----} (2312-2)$$

(2313-1) (2313-2) から $T_{on}=0.98\mu s$

・チョークインダクタンス L_c の設定

AC240 から Boost で $375V(270mA=375/1.4k)$ を得るには $(375-240) V \cdot (270mA) = 36.45W$ の電力を 240V から処理することになる (効率 100%とし)。

この $36.45W$ を上記 $338V$ からチョークに蓄積するには $36.45W/338=0.108A$

この $0.108A$ (サイクル期間 $10\mu s$ あたり) を $0.98\mu s$ で稼ぐには三角波で

$$(10\mu/0.98\mu) \cdot 0.108 \cdot 2 = 2.2A \text{-----}(2312-3)$$

このピーク電流を可能にするチョーク L_c は

$$V_{in} \cdot T_{on}/L_c = 2.2 \quad L_c = 338 \cdot 0.98\mu/2.2 = 150\mu H \text{-----}(2312-4)$$

(上記 240V rms と 338V ピークの使いわけは解析波形で照合しながら行った)。

・設計結果の波形解析

LTspice で制御回路付の PFC を時間解析すると fig2.3.13.5(AC240V 入力)となる。

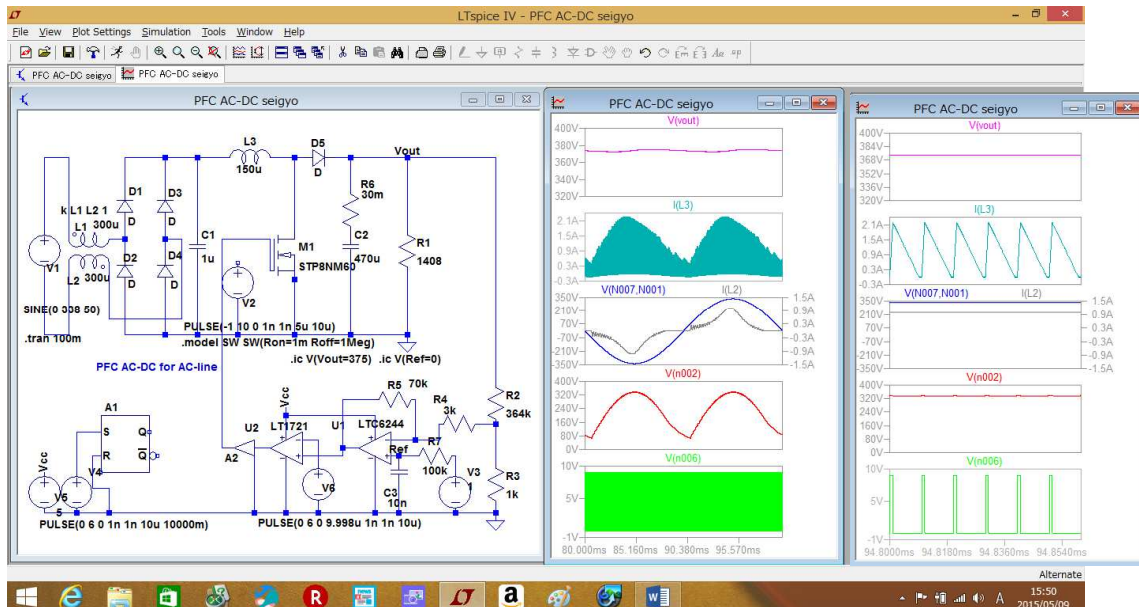


Fig2.3.12.5 (23125cct)

出力電圧制御回路 (負帰還ループ)は 誤差増幅器と三角波とコンパレータで構成しているが注意点は誤差増幅器設計である。PFC では 50hz 波長期間一定幅のパルスにするため

P 制御 (積分なしの PI 制御 第 4 章参照) の誤差増幅器 (帰還コンデンサーのない R のみの帰還) で低ゲインで構成する。

Fig2.3.12.6 は同回路で AC85 入力解析したものである。波形は下段からドライブパルス、AC 整流後電圧、AC 電圧と入力電流、チョーク電流出力電圧である。

AC240V では入力電流が改善はされているが AC 電圧との相似性が低下している様子が見える (電流臨界以下による PFC の限界である)。

AC85V 入力のチョークインダクタ設計は AC338 をそのまま使っているが電圧時間積の

関係からそのまま利用可能である。

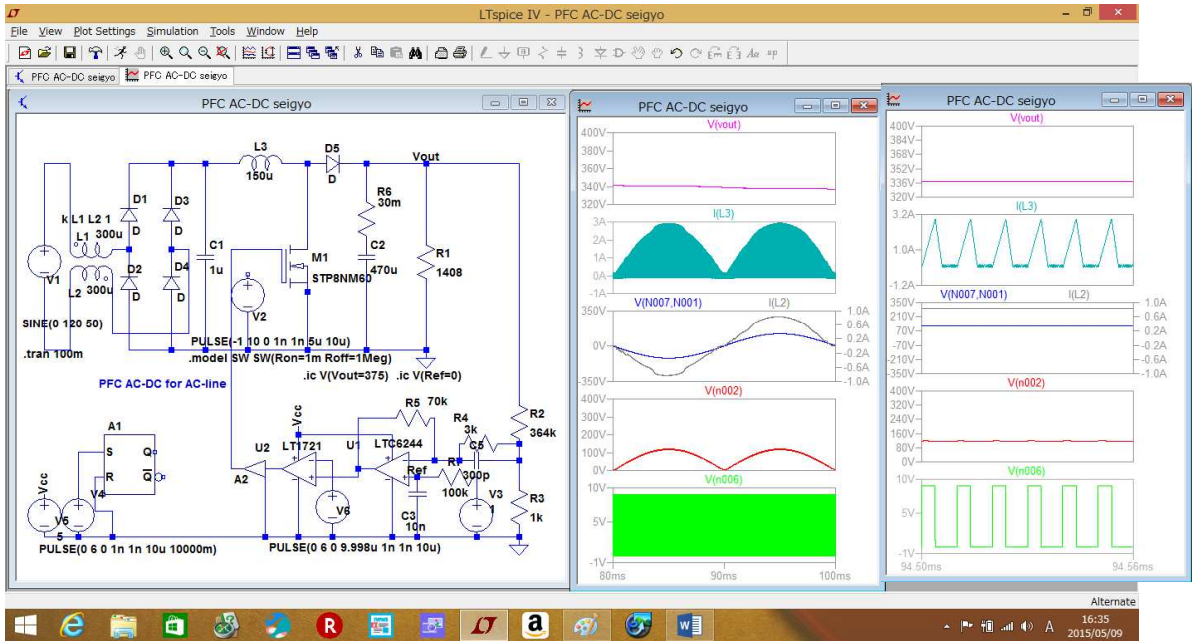


Fig2.3.12.6 (23125cct+) Vin(85AC) +は(23125cct)に Vin 変更

○制御回路での安定化の解析

DCM の PFC 型では広範囲の入力範囲に常に DCM 動作を保たなければならず前項でチョークインダクター設計し動作させたがチョークの理論的設計がしづらい。また定常動作で良い PFC 電流波形が得られても過渡状態で CCM が発生し力率、高調波の低下も懸念される。

fig2.3.12.7 は定格外動作（重負荷）でも安定して高力率、低高調波が保たれる。は定常動作時の DCM 状態の波形である。

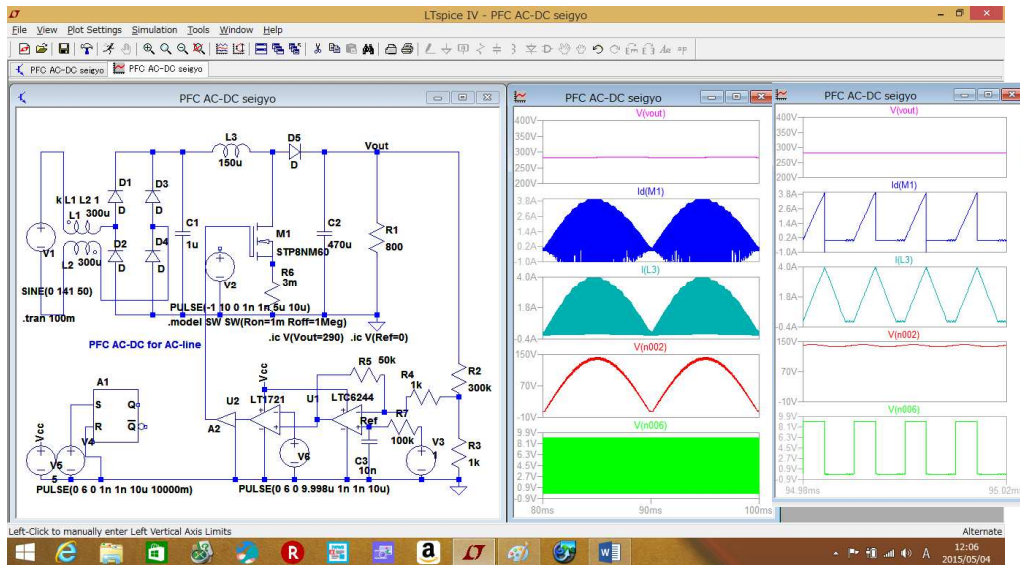


Fig2.3.12.7 (23127cct) DCM 状態

Fig2.3.13.8 はスイッチング周波数を上げ疑似的に CCM を発生させた時の PFC 電流波形

ひずみが出た例である。

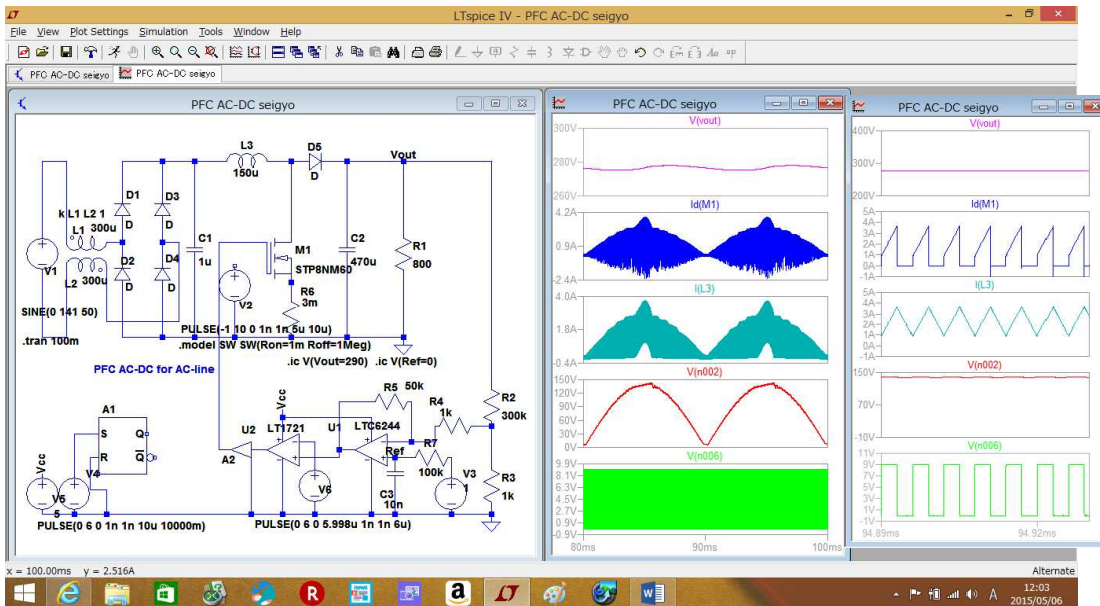


Fig2.3.12.8 (23127cct+) CCM 状態 +は(23127cct)に fsw で CCM 化

この負荷や過渡条件での CCM 発生に対応として常時臨界(DCM と CCM の境)電流型が小電力用には用いられる (制御はカレントモードに近く複雑である)。常時臨界型では臨界以下型の不都合は改善されるが PFC 電流波形の AC への相似性など十分ではない。高電力で処理でさらに完全な PFC 制御を求めるのなら 前述の平均値カレントモード型を利用することをお薦めする。

Fig2.3.12.9 は常時臨界型の例である。

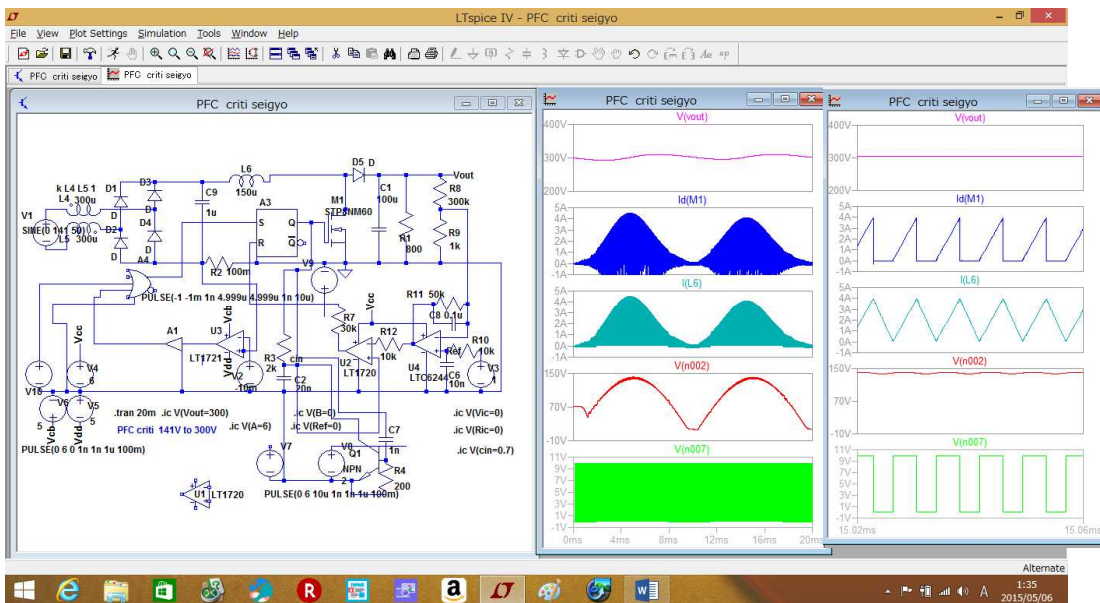


Fig2.3.12.9 (23129cct) 常時臨界モード

2.4 スイッチング電源(自励、共振、特殊)

◇2.4.1 RCC (絶縁 自励)

RCC は IC を使わずに比較的簡単に絶縁型の電源が構成できるもので廉価な電源として多く使用される。

普通は 30W 以下程度のあまり高精度の V_{out} でない用途に主に使われる。絶縁トランスの接続極性やトランス容量の設計、選定はフライバック型電源に近いものである。

大きな特徴は臨界以上、臨界以下というモードはなく常に臨界状態で動作しスイッチング周波数は処理電力に従って変化する。

電圧制御は SW トランジスタの飽和を用いるもので電力変換部単独での動作解説が難しいため制御部と一体の回路で説明する (fig2.4.1.1)。

○LTspice 回路図

RCC はスイッチング方式の中では PWM 発生に固定周波数を用いず、自励発振の周波数で動作する。

基本構成と動作は ON-OFF 極性の絶縁トランス、バイポーラのスイッチングトランジスタ、絶縁トランスの巻線に結合したトランジスタ用のドライブ巻線からなり、整流平滑部はフライバック型と同じである。

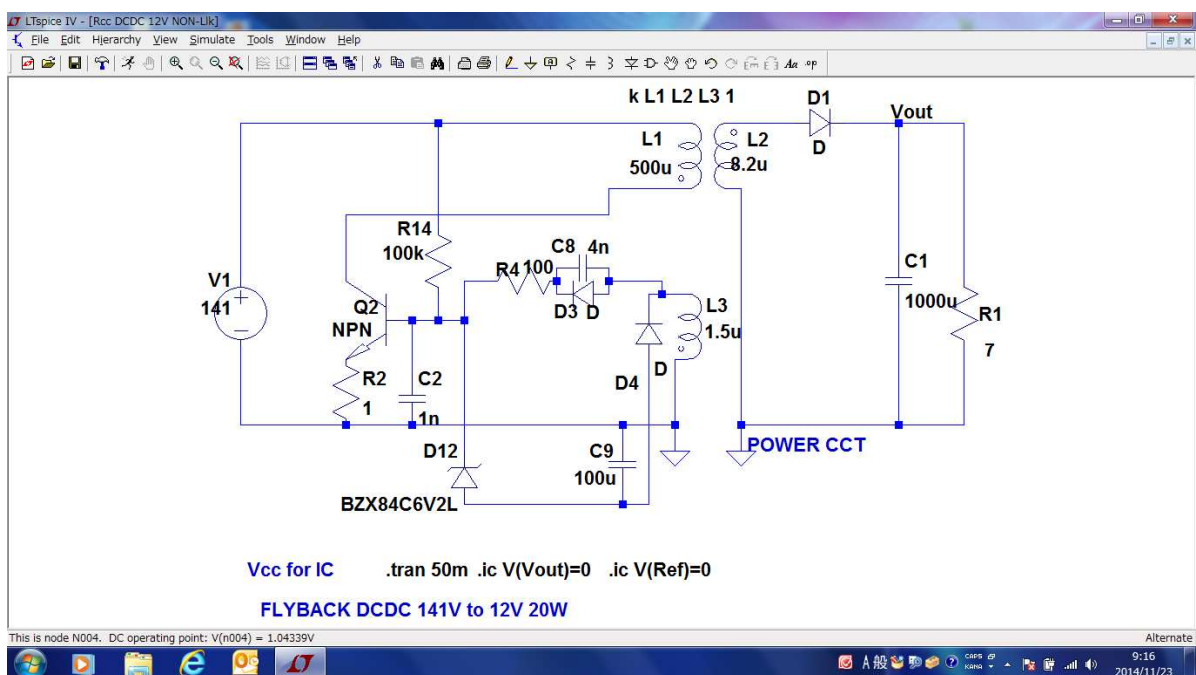


Fig2.4.1.1 (2411cct)

○動作説明と特徴

まず自励動作 (*3) を説明する。

自励はトランジスタのオンとオフの繰り返りで成立している。まずオンとオフの状態をトランジスタの電流とトランスの電流と関連づけて回路図のオンオフ関連部を fig2.4.1.2 に示す。(*3 参考資料 実用電源回路設計ハンドブック CQ 出版 戸川氏)

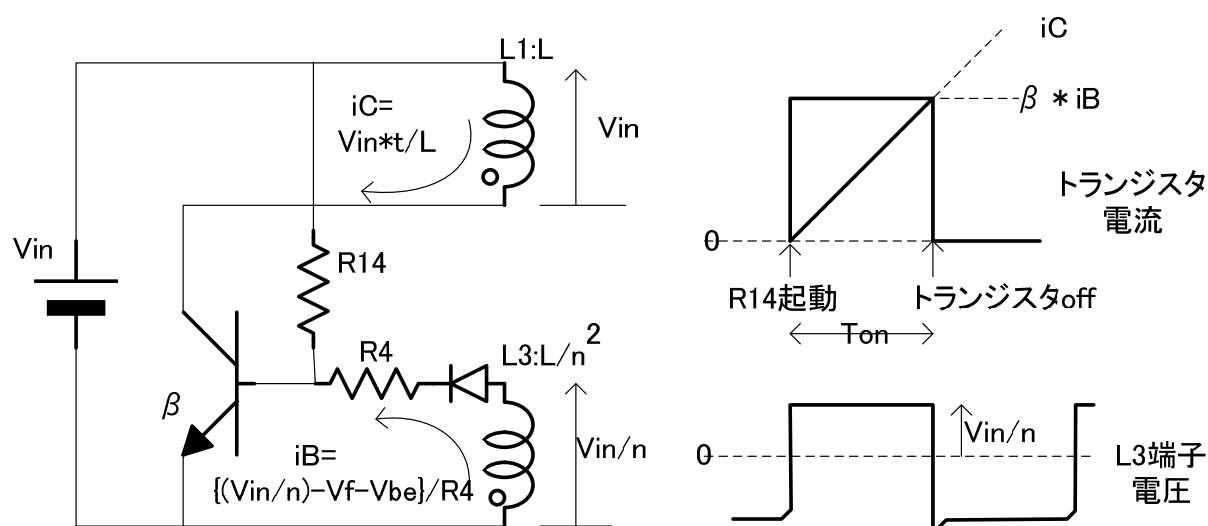


Fig2.4.1.2

V_{in} が投入され R_{14} 起動抵抗から Q_1 (バイポーラトランジスタ) に微少なベース電流が流れる Q_1 に i_C が流れる。 i_C は L_1 に V_{in} 、 L_3 (Q_1 ベース巻き線) インダクタンス $L/(n^2)$ に V_{in}/n の電圧を発生させる。

この L_3 の電圧は R_4 を通して Q_1 のベースドライブを正の帰還となり Q_1 を持続したオン状態に持ち込むわけである。この時のベース電流 i_B は

$$\{(V_{in}/n) - V_f - V_{be}\} / R_4 \quad \text{---(241-1) であり この } i_B \text{ で流せるコレクタ電流 } i_C \text{ はその } \beta \text{ 倍}$$

$$\beta * \{(V_{in}/n) - V_f - V_{be}\} / R_4 \quad \text{---(241-2) までとなる (}\beta\text{ はトランジスタの電流増幅率)}$$

トランジスタがオンになって時間 (t) が経過すると i_C は $V_{in} * t / L$ 増加する。

そして i_C はある時点で $\beta * \{(V_{in}/n) - V_f - V_{be}\} / R_4$ を超えるレベルに到達する。

その時点でトランジスタは i_C 電流が支えられなくなり、 L_1 に発生する V_{in} は低下し、 L_1 電圧に比例する L_3 電圧も低下する。こうなるとトランジスタはこの負の帰還で即座にオフになる。上記一連のオンからオフまでが電圧変換上の T_{on} となる。

T_{on} 後は T_{off} 動作となりフライバック電源と同じ状態で L_1 の端子電圧は極性 (-) となり L_3 の電圧も (-) となる。こうなると R_{14} 微小な起動からの正の帰還は得られず T_{off} 期間が持続する。 T_{off} は電源として L_2 (トランスの 2 次) にフライバックエネルギーの放出が終了時点までとなり L_1 、 L_2 の端子は (-) から 0 となる。ここで初期状態になり R_{14} の電流が生かされこの時点でトランジスタに正の帰還が可能となり再び T_{on} に入ることにな

る。この一連を繰り返し自励発振に入るのである。

次に T_{on} 幅を安定した目的幅にし V_{out} を目的値におさめる方法を考察してみる。

電圧変換回路構成(パワーステージ)の 2 次巻線 L_2 と帰還の補助巻線 L_3 は逆極性なのでオフ期間に 2 次巻線 L_2 と補助巻線 L_3 に発生する逆極性電圧は両巻き線の巻き数に比例し同期している。そこで帰還巻線 L_2 を中心に考えてみると L_3 に発生する電圧は逆極性ではあるが L_3 電圧を制御すれば L_2 の電圧が制御できることになる。

このことから帰還巻線 L_3 の発生電圧制御する方法を見つければそれは L_2 電圧を制御し V_{out} を制御する方法となる。

なおここで R_{cc} の上 記巻き線出力電圧を整理すれば

$$L3(1 \text{ 補助巻き線}) \quad V_{in} * (1/n) * \{d/(1-d)\} \quad \text{-----} (241-3)$$

$$L2(2 \text{ 次巻き線}) \quad V_{in} * (N/n) * \{d/(1-d)\} \quad \text{-----} (241-4)$$

但し $d=T_{on}/(T_{on}+T_{off})$ ($T_{on}+T_{off}$)は固定ではない 巻き数比 $L1:L2:L3=n:1:N$

L_3 電圧の制御は下のように行われる。Fig2.4.1.3 図と対応しながら説明する。

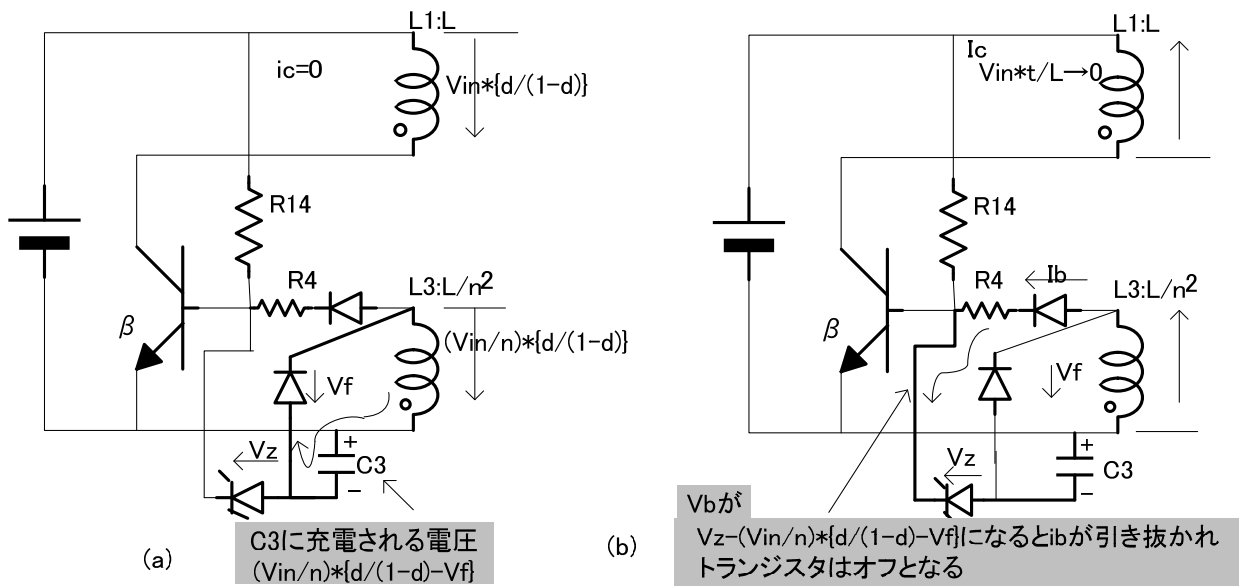


Fig 2.4.1.3

(a) は帰還巻線 L_3 に T_{off} 時に充電できる極性にコンデンサとダイオードを接続する回路を構成しその回路の T_{off} 期間充電の状態を示す。その充電による C_3 の電圧は L_1 巻き線のライバック電圧に巻数比例した L_3 巻線の電圧とダイオード V_f で決まり

$$V_{C3} = \{(V_{in}/n) * d / (1-d)\} - V_f \text{-----} (241-5) \text{ となる。}$$

次に(b)は T_{on} 時の状態を示す。 V_{C3} が存在しその電圧が $V_z - V_{be}$ を超すと i_B はそちらに減少引き抜かれ T_{on} 終了が早められることになる。このことから

$$V_z - V_b = \{(V_{in}/n) * d / (1-d)\} - V_f \text{----} (241-6) \text{ が成立し } V_z \text{ の設定で(241-1) (241-2)から}$$

L2 電圧と同時に L3巻線電圧 (Vout) も制御できることになる。

(241-6)を変形して

Vb スレッシ電圧 0.7 Vf=0.7 Vz=6.2V として

$$\{(Vin/n)*d/(1-d)\} = Vz - Vb + Vf = 6.2V \text{-----} (241-7)$$

帰還巻線電圧 $(Vin/n)*d/(1-d) = 6.2 + 0.7 - 0.7 = 6.2V$ となる。

帰還巻線が制御されると電圧変換のL2巻線の出力方向電圧はL3と巻き数比例するのは
前の説明どおりでありL2の巻線数N2 L3のN3としfig2.4.1.1図に適用すれば

$N2/ N3 = \sqrt{L2/L3} = \sqrt{8.2u/1.5u} = 2.33$ からL2の出力電圧は $6.2V \times 2.33 = 14.4V$ となる

出力部ダイオードのVf=0.7V とすれば $Vout = 13.7V$ となる。

fig2.4.1.4にこれら定数を入れ動作させたLTspiceの各部解析波形(定常動作時)を示す。

波形画面は下段から上へ VoutとL2電圧 C3とL3電圧 Q2ベース電圧 L1電流
L2電流である。

fig2.4.1.5は同じ回路で起動から安定までの波形解析である。波形は下段から Vout
C5電圧の 起動から安定に至る時間解析波形である。

Vout電圧が上計算式からの計算値と解析結果が部妙に違うのはアナログ回路の特性による誤差ある。理論値と解析値の違いはアナログ回路では半導体マクロモデルを正確に選ばないと差が出やすい。

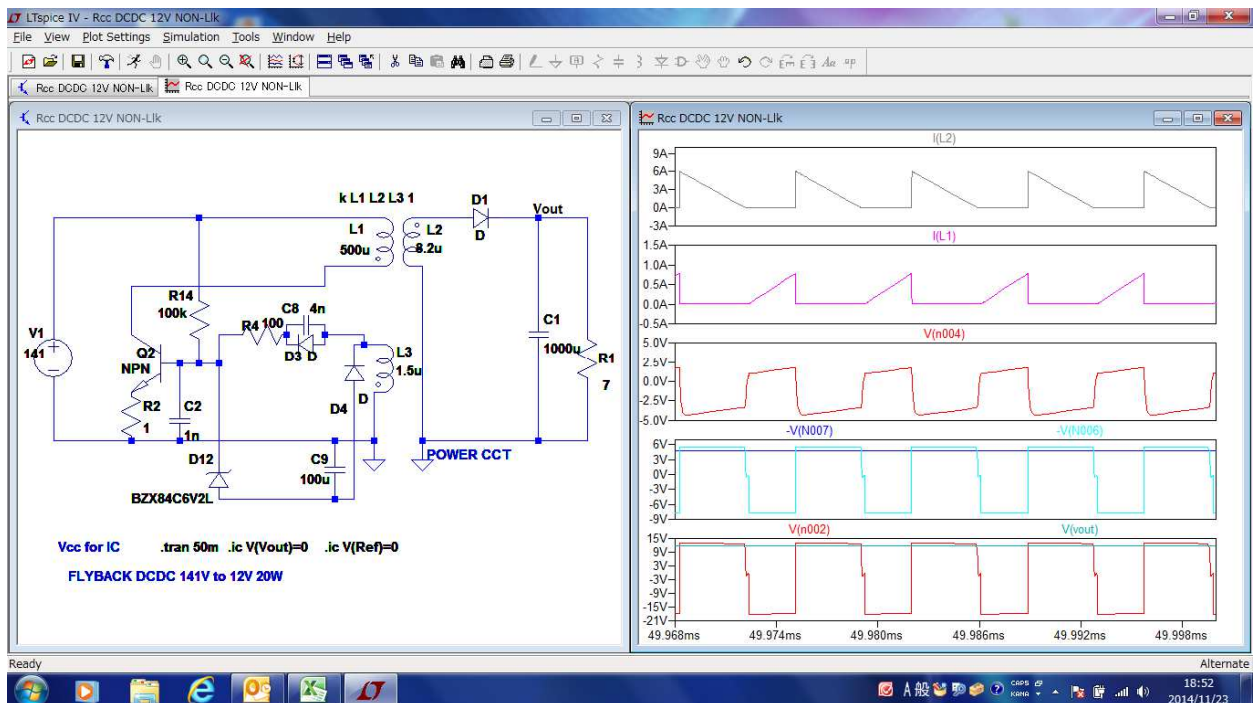


Fig2.4.1.4 (2411cct)

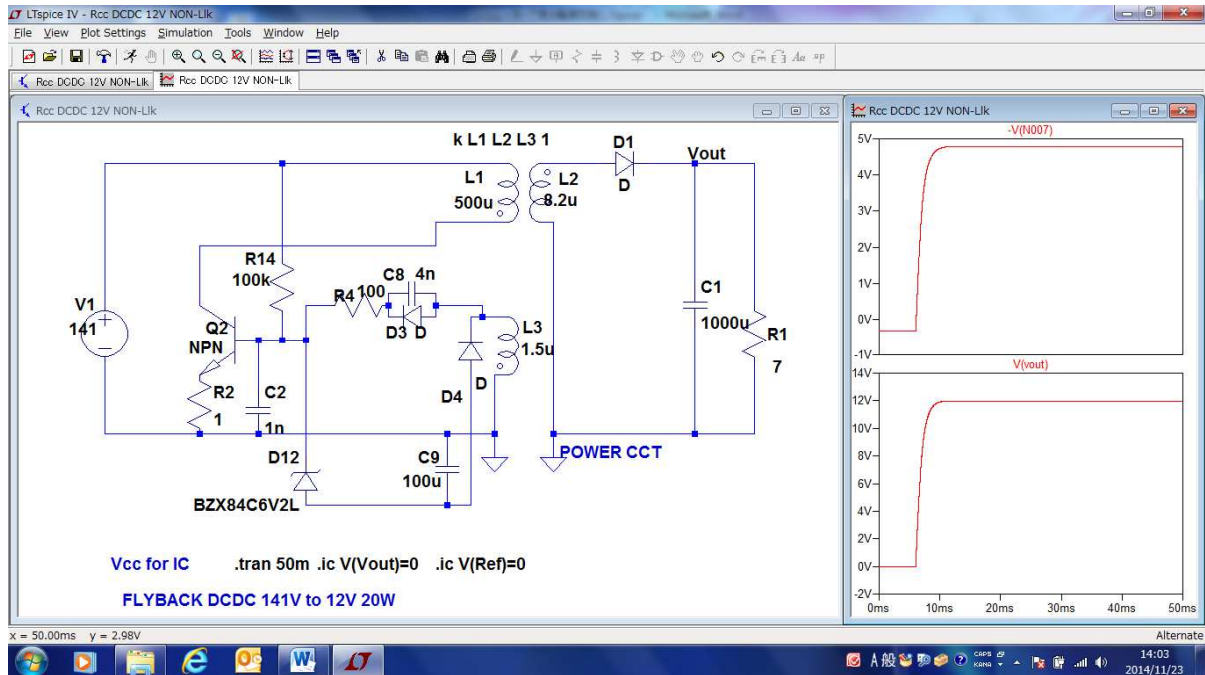


Fig 2.4.1.5 (2411cct)

以上RCCの基本動作を説明しましたが、アナログ的な制御回路なのでいろいろな基本動作を変化させる事象が存在します。

それらを紹介しておきます。

○トランスにリーケッジがある場合

フライバック系の絶縁トランスを用いた場合には絶縁トランスの磁束密度に対応で磁路にエアーギャップを用います。その結果トランスの結合が0.997程度に下がりリーケッジインダクタンスが生じます。このリーケッジは2次に伝送されないエネルギーをTon時に蓄えToffのと同時に大きなスパイク電圧を発生します。

たとえば(241-5)式の電圧にスパイクが乗ればC3の充電電圧はスパイク電圧のピークホールドの形で上昇します。

その結果Vzが下がったような計算になり。Voutはスパイクなしに導いた結果より低い方向にずれます。

その例のがfig2.4.1.6です(スパイクをトランス結合指定k=0.997にて発生しています)。波形画面は下段 Vout 上段 C3 電圧 各である。

リーケッジなし(fig2.4.1.5)でのVout 12Vは10.5V程度まで低くなります。なおfig2.4.1.6ではスパイクをC1, R1, D1で吸収も行っていますので、スパイクの吸収が不十分な時はさらに大きなVout 低下や制御不能になることもあるので注意を要します。

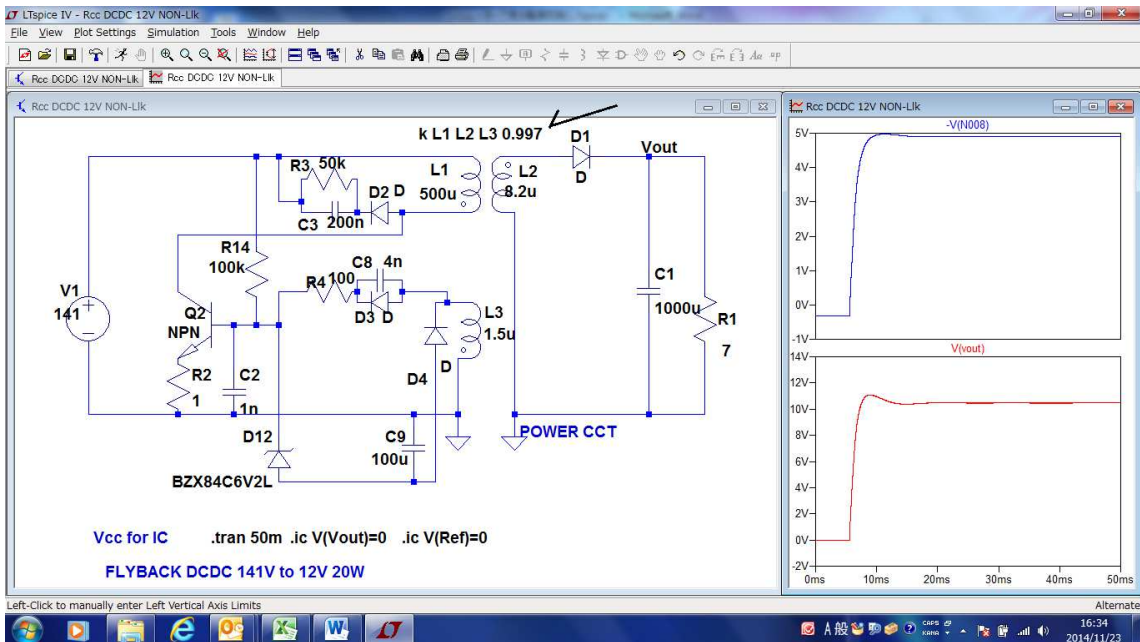


Fig2.4.1.6 (2411cct+) スパイクノイズでVout変化 +は(2411cct)のトランスkを0.997に変更
○負荷が軽い時の制御

重い負荷で十分な電圧変換を行うには Q1 のベースドライブ電流が必要になります。このベースドライブで軽い負荷状態を制御する場合間欠発振での制御に入ることがあります。このモードでも Vout を安定化するには C1 を充分大きな値にする必要があります。

0.1W 出力時の解析波形を fig2.4.1.7 に示します。

波形画面は下段は Vout 上段は Q1 の Vc である。

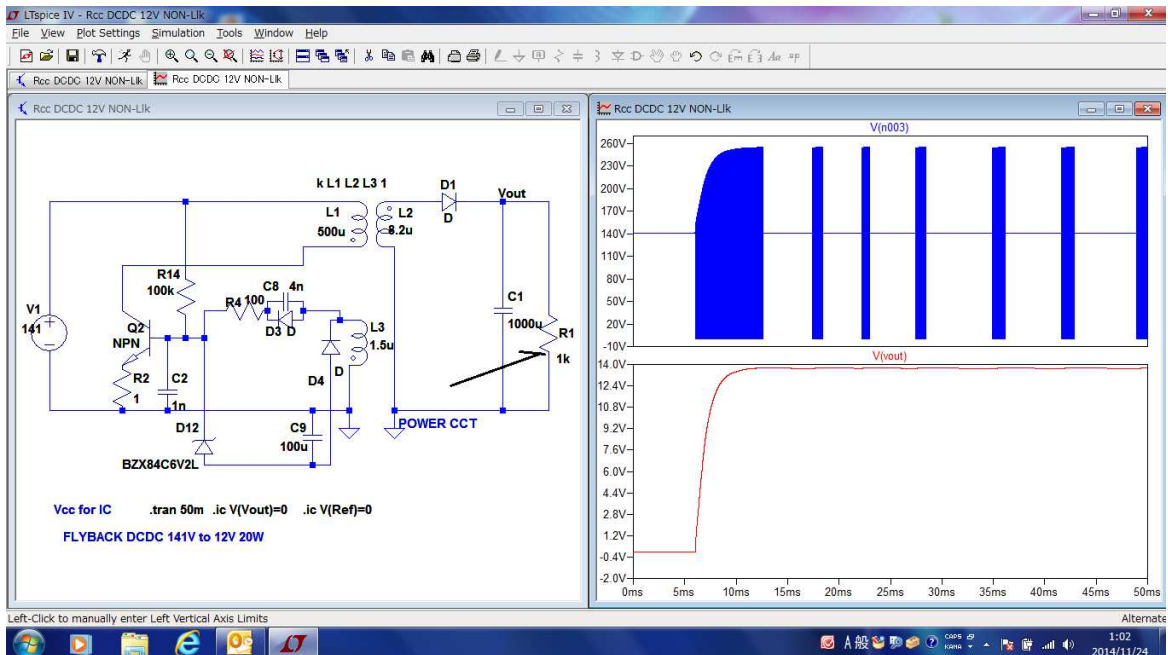


Fig2.4.1.7 (2411cct+) 軽負荷状態 +は(2411cct)の負荷を1kまで軽減

◇2.4.2 LLC (絶縁 共振 周波数制御)

○LTspice 回路図

LLC 型は中電力の低ノイズと高効率の特徴を持つ。この特徴は電流共振と電圧共振をの併用のスイッチング方式で実現している。

LLC の名称は電流共振回路構成のトランスのリーケッジインダクタンスと励磁インダクタンスと共振コンデンサーの直列(2つのLと一つのC)の電流共振構成から発生している。

ほかの電源と大きくことなるのは PWM 方式ではなく周波数変調方式である点である。周波数変調の矩形波をリーケッジインダクタンスと共振コンデンサーの直列共振回路(電流共振回路)に流し共振電流の周波数をコントロールして所定の出力を得るものである。

内部処理電流が正弦波に近く他のトポロジー比べ低ノイズな電源である。

電圧共振回路は電力伝達経路とは別に SW の遷移タイミングに ZVS を発生させさせ SW による損失を抑えるのもので高効率に寄与する。

回路構成では一次側はハイサイド、ローサイドの 2 個のスイッチ直列構成を電源に並列接続して、ハイサイドとローサイドの SW の接続と GND の間にトランス 1 次と直列した共振 C の直列回路を接続する構成をなしている。2 次側はトランスの 2 次巻き線をセンタータップ巻線として両波整流しコンデンサーインプット平滑で構成する。

共振 C の容量は小さくなるが 1 次側トポロジー接続はハーフブリッジと同じものとなる LTspice での回路構成を fig2.4.2.1 に示す。この回路では電力変換を中心にし電圧共振部は省略しある。絶縁トランスの設計は ON-ON 型に準ずるが、ON-ON 機能に結合トランスとしては大き目なリーケッジインダクタンスを組み込む必要ある。

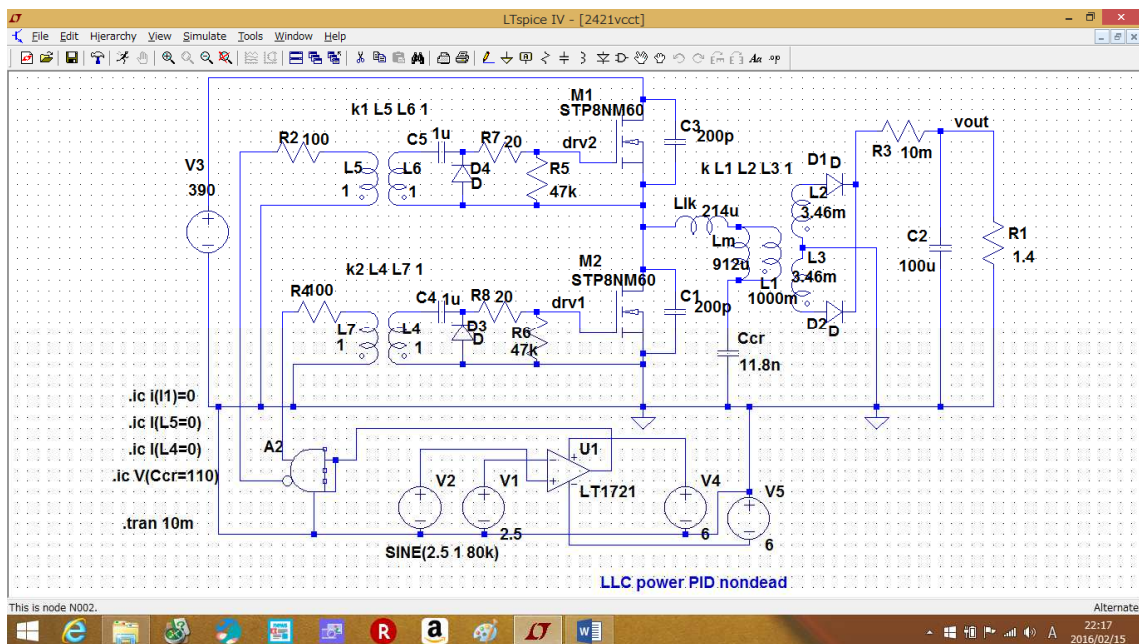


Fig 2.4.2.1 (2421cct) LLC 電力変換部

○動作説明と特徴（電流共振部）

電圧変換(電力伝送)は電流共振部で行われる。

電流共振特性の傾斜を利用した週数制御で前項 PWM トポロジーの動作とは異質である。duty50%の高周波パルス波を $L1+L1+Cr$ ($L1$ はトランスのリーケッジインダクタンス Llk 、 $L1$ は出力負荷が結合したトランスインダクタンス Lm) の共振回路に流し周波数軸上に得られる共振電流の $f-i$ 特性カーブの右（リーケッジインダクタンスと共振コンデンサーの f_l 共振点の上側周波数）スロープ上で適度な共振電流が得られるようにパルス周波数設定し負荷に電力を供給するというものである。

そのイメージを fig2.4.2.2 にしめす。図では $F-i$ カーブの i を $Rout$ にトランスで伝達して $Rout$ に得られる電圧で表現している。（図では 50%パルス正弦波利用で解説している）。

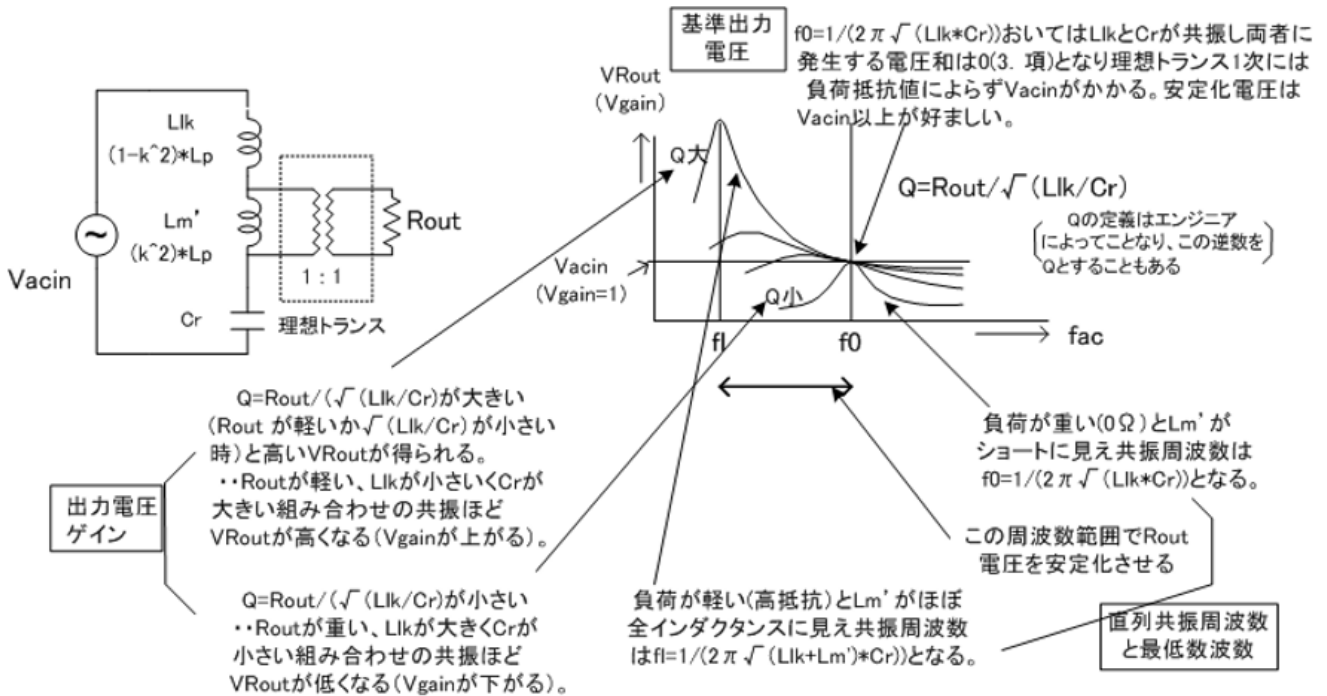


Fig2.4.2.2

共振電流の強さは $Qc=Rout/\sqrt{Llk/Cr}$ に比例する。この Qc は電圧系の Q の逆数である。本章の Q は全て Qc であるので注意ください。おおきな共振電流であればそれを流す負荷の電圧 ($Vout$) は上昇するという電力変換方式を用いているわけである。

また fig2.4.2.2 の f_l は負荷が軽い時の共振点、 f_0 は負荷がショート状態の共振点を示す。共振の右側スロープとは F_l と F_0 の間の傾斜である。

fig2.4.2.2 では入力正弦波であるが LLC では正弦波に替え 50% duty のパルス (スイッチングインバータによる) を適用して $Rout$ に電力供給するものである。

$Vout$ への電圧変換は上の説明の内容であるが本トポロジーで発生する重要な特徴は回路内を伝達される電流波形である。

$L+L+C$ への入力電源が正弦波交流の時は回路内を伝達される電流が正弦波であることは容

易に推定できるが duty50%の パルス波であっても伝達される電流は正弦波に近い。

この伝達電流を fig2.4.2.3 に示す（緑入力電圧、青伝達電流（L1 電流））。

この伝達電流の高調波が小さいことが低ノイズ特性へ寄与することになる。

後述の電圧共振部では入力 50% duty 電圧のランジェント点にデッドタイムを設けるがデッドタイムは狭い duty のため上記電圧変換、電流共振の概念は受け継がれる。

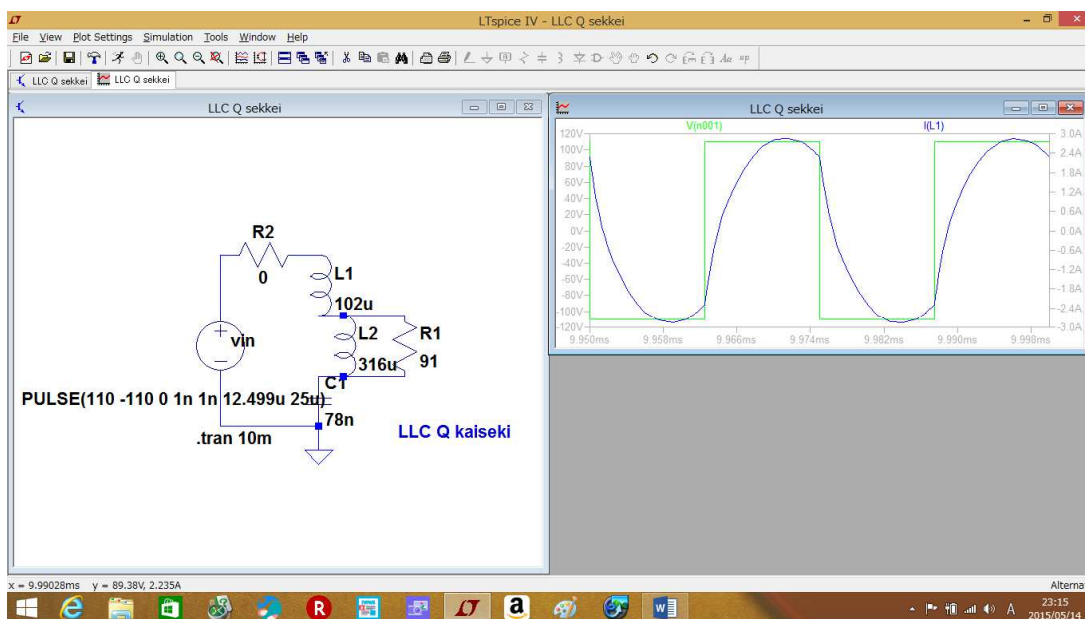


Fig2.4.2.3 (2423cct)

○動作説明と特徴（電圧共振部）

電圧共振はスイッチの遷移部の ZVS を受け持つ。

入力をハイサイド、ローサイド両 SW で 50%パルスにするがその遷移点のデッドタイム部に電圧共振を設ける。電圧共振はトランスインダクタンスと 2 個の SW 端子間に部分(電圧)共振用コンデンサー-Crv 要する。(SW が MOSFET の時コンデンサーとして Coss を利用する、Coss が必要容量より少なければ必要容量を外付け負荷する)。

この接続と電圧共振受け持ちを電流共振受け持ち部とともに fig2.4.2.4 に示す。

電圧共振はデッドタイムの前半期間では $L_m + L_{lk}$ と C_{rv} の電圧共振、後半期間では L_{lk} と C_{rv} で電圧共振を発生させる。

この電圧共振で SW の遷点での電流遷移後電圧が傾斜を持って変化しデッドタイムを適正に設定すれば SWon 時の SW 端の C_{rv} または C_{oss} のショート損失と SWoff 時の遷移損を削減する ZVS が確立できる。このデッドタイム内の SWon 時の様子は同じ ZVS の非対称ハーフブリッジの Fig2.3.12.9 を参照されたい。

この ZVS は損失削減（高効率）が一義であるが C_{rv} ショートによるノイズの削減（低ノイズ化）にも効果を生む。

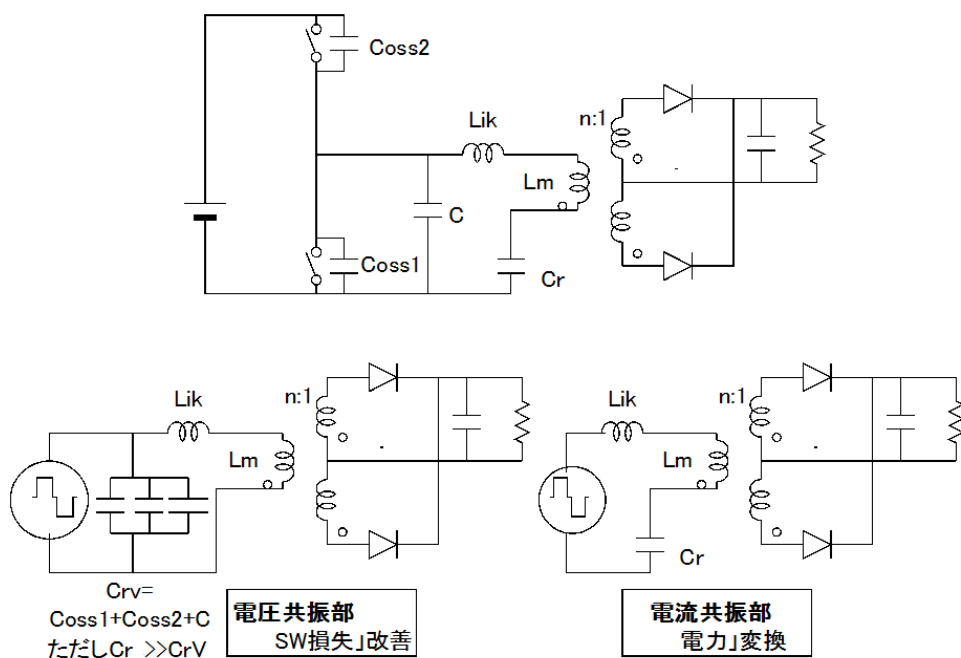


Fig2.4.2.4 電圧共振 (SW 遷移時) 時 と 電流共振(電力伝送時)の各トポロジー

○ (*4) 電圧変換の設計 (*参考文献 TDK SRX/SRV シリーズ web カタログ)

LLC の電圧変換は PWM のような変換式はなく fig2.4.2.2 のようなアナログ共振回路の周波数 Vs 電流共振ゲインが R_l 発生した電圧を仕様 V_{out} に合わせることで行われる。

この電流ゲイン曲線が電源仕様の V_{out} を満たすように設計する方法を以下に述べる。(さらに詳細設計は 3.2.3 LLC トランス設計も参照ください)。

・必要項目 (仕様)

- ・設計仕様 定格入力 V_{in} // **390V**
- 定格 V_{out} W_{out} $R_l = V_{out} * V_{ot} / W_{out}$ // **12V 100W 1.4Ω**
- スイッチング周波数範囲 // 共振 (L_{lk} と C_r) 周波数 **100khz**
- ・電流共振良好度 Q // 2~4 3 に仮設定後結果で修正
- ・トランス結合 k // 0.9 一体トランスの作りやすさから

・必要アナログ理論式

- ・特性インピーダンス Z と Q // $Z_r = \sqrt{L_{lk} / C_r}$ $Q = R_p / Z_r$ (R_p : 一次変換 R_l)
- ・共振周波数(負荷ショート) // $f_0 = 1 / 2 \pi \sqrt{L_{lk} * C_r}$ (上限周波数)
- ・共振周波数(負荷オープン) // $f_p = 1 / 2 \pi \sqrt{(L_{lk} + L_m) * C_r}$
- ・ L_{lk}, L_m, k の関連 (3.1 章) // $L_m = k^2 * L_p$ $L_p * (1 - k^2) = L_{lk}$

・手順 (数字は丸めてあります)

1. トランス巻き数比設定 $(V_{in} / 2) * (1/n) \leq V_{out} = 12$ $n \geq 16.5$ $n = 17$

LLC は基本は昇圧動作なので 12V 以下の巻き数から昇圧し定格 V_{out} を得る。

2.負荷抵抗 1 次側への換算 $R_p=n^2 * 1.4=404.6$

3.共振 Q 選定 $Q=3$

共振カーブの高さと傾斜を選ぶ Q が高いほど高さ傾斜が増す。

4.特性インピーダンス Z_r の算出

$Q=3$ となる Z_r を算出 $Q=R_p/Z_r$ から $Z_r=134.8$

5.Llk と Cr の比率算出

$Z_r=\sqrt{Llk/Cr}$ $\sqrt{Llk/Cr}=\sqrt{Z_r^2}=134.8$

6.Llk と Cr の積算出

$f_0=1/(2\pi * \sqrt{Llk * Cr})$ $\sqrt{Llk * Cr}=1/(2\pi * f_0)=0.159 * 10^{-5}$

5、6.から $Llk=214\mu H$ $Cr=11.8nF$

8.Lm の設定

k 、 Llk 、 Lm (理論式から) $Lm=k^2 * Llk / (1-k^2) =912\mu$ (但し $k=0.9$)

設計結果の LLC 回路定数による周波数対 V_{out} を fig2.4.2.5 に示す (LTspice .ac 解析)。

V_{out} 12 V(負荷 1.4Ω)は f_c (90V より少し低い)周波数で得られることが解析される。

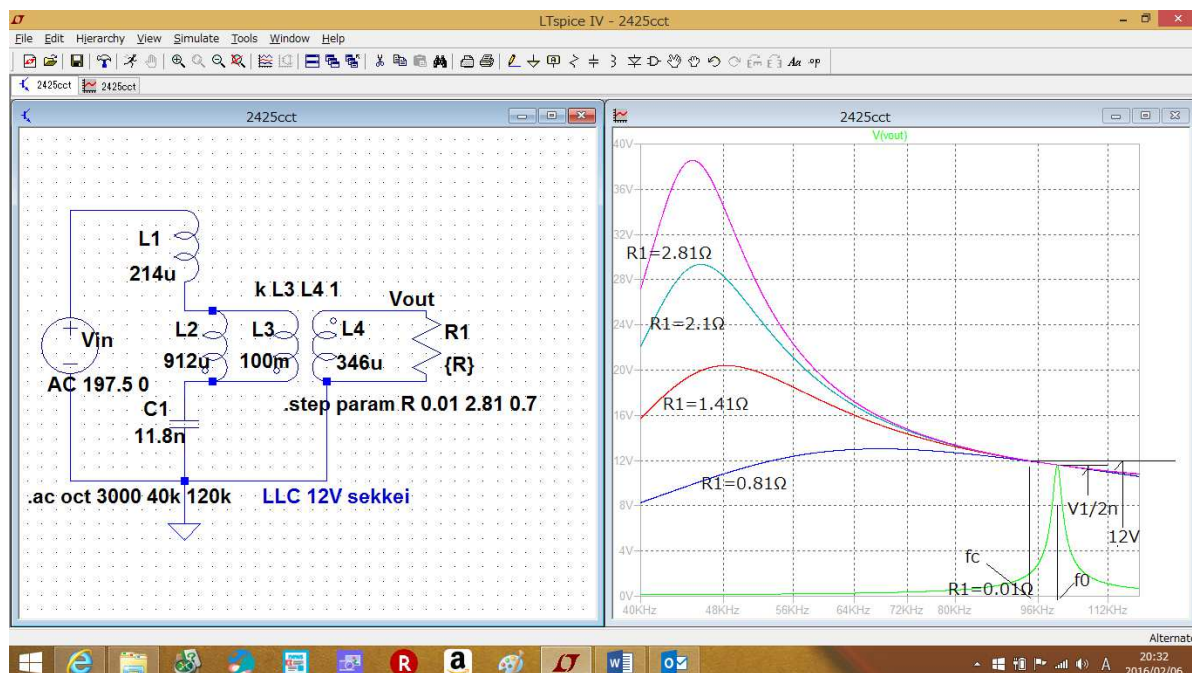


Fig2.4.2.5 (2425cct) 390Vin 12V vout 設計結果

○制御回路での V_{out} 安定化の解析

仕様の V_{out} を得るには Fig2.4.2.5 に設計された定数の LLC 共振回路に 390pp で f_c 周波数の正弦波を入力すればよいことになる。 f_c は実電源では V_{out} と基準電圧の誤差電圧を用いた負帰還で VCO を組めば実現できる。PWM 電源の PWM に VCO で替えた形である。

また実電源では正弦波に替えて 390VDC を 2 個の SW でインバートした波高 390V の 50% duty 周波数 f_0 の矩形波形を入力する方式をとる。

正弦波とインバート波形の差が V_{out} に及ぼす計算は複雑で本書では省略するが fig2.4.2.5 のチャート V_{out} は正弦波 PP 値と同じ値の矩形波波高電圧を入力した LLC スイッチング電源の V_{out} に実用範囲でよい一致がられている。

この様子は fig2.4.2.6 の VCO 制御の LLC 電源で DC390 入力から 12V(1.4Ω 負荷)が 90kHz 付近で得られて(fig4.2.2.5 と一致)いることから実証される。

同図において U1 は誤差検出、U2 は VCO、D5 は VCO 最低周波数をのリミッターである。波形画面は下から 出力 V_{out} 、2 次整流 D1,D2 の電流、L1(1 次の伝達電流)、励磁巻き線 L_m 電流、M2 スwitch の電圧電流である。

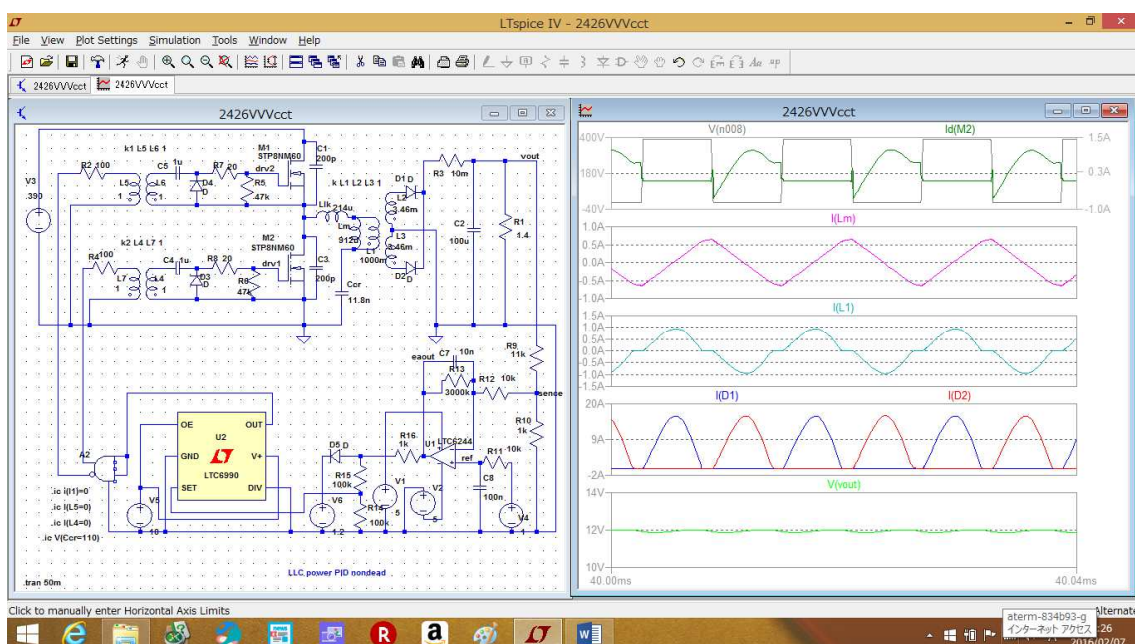


fig2.4.2.6 (2426cct) V_{out} 制御(周波数制御)回路付での動作

○動作点の選定と共振はずれの解析

以上電源仕様の定格時の動作点(制御周波数)を f_0 の数%下(制御の傾斜があり波形が正弦波に近い)に共振定数を設定した設計解析を行った。しかし選定部品のシリーズやトランス巻き数の整数化などで動作周波数を f_0 から離れての設計せざるを得ない場合がある。

そのような時に起こりうる LLC 特有の性質を解析する。

例1 fig2.4.2.5 の例で $V_{1/2n}$ を 11.6V ($n=17$) のまま 16V ($100W=2.56\Omega$) を設計したことにすれば動作点は $f_c=65\text{kHz}$ (f_c よりずっと下) 付近になる。

例2 fig2.4.2.5 の例で $V_{1/2n}$ を 11.6V ($n=17$) のまま 10.0V ($100W=1\Omega$) を設計したことにすれば動作点は $f_c=120\text{kHz}$ (f_c より上) 付近になる。

例 1, 2 の動作点での動作を fig2.4.2.6 の制御回路の帰還抵抗を調整して解析したのが fig2.4.2.7 と Fig2.4.2.8 である。例 1 の f_c が低い場合は電流波形が正弦波性が落ちる。

例 2.周波数 f_c が高いと制御傾斜が低く制御性が落ちる。

制御性の面から一般には例 2 の設定($f_c > f_0$)は推奨されない。

また制御において電力増加時 f_c が下がる方向で制御されるが電流共振カーブのピークを

通り過ぎると逆行できず制御不能（共振はずれ）となる。

ピークの周波数 $< f_c$ に制限が必要である、これは回路図では D5 が受け持つ。

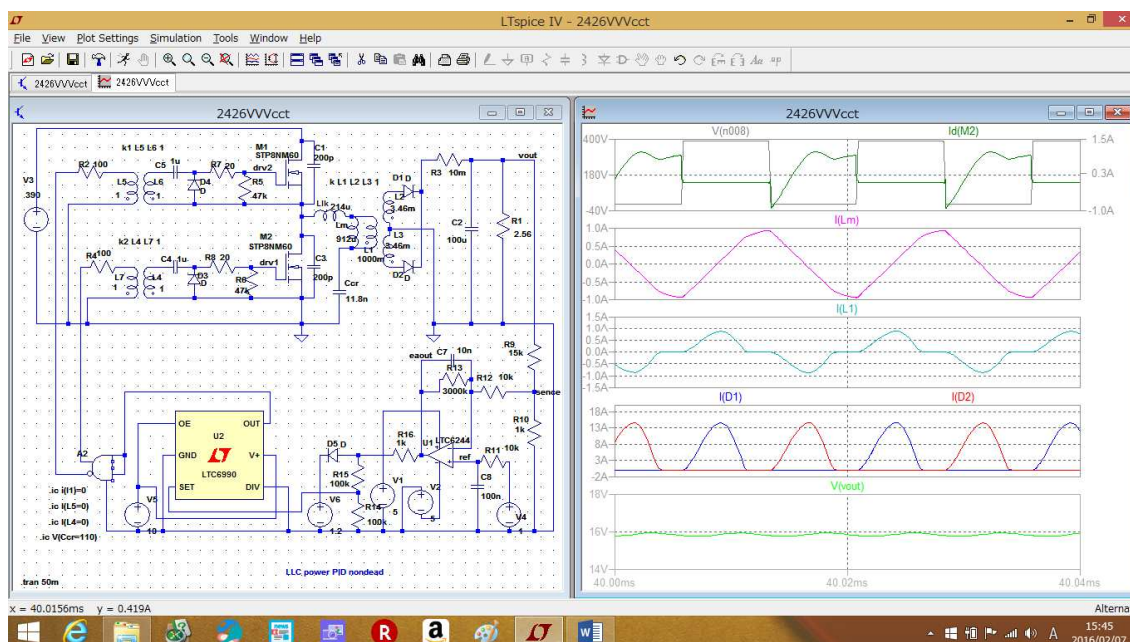


fig2.4.2.7 (2426cct+) $f_c < f_0$ 動作 +は(2426cct)の電圧と負荷調整

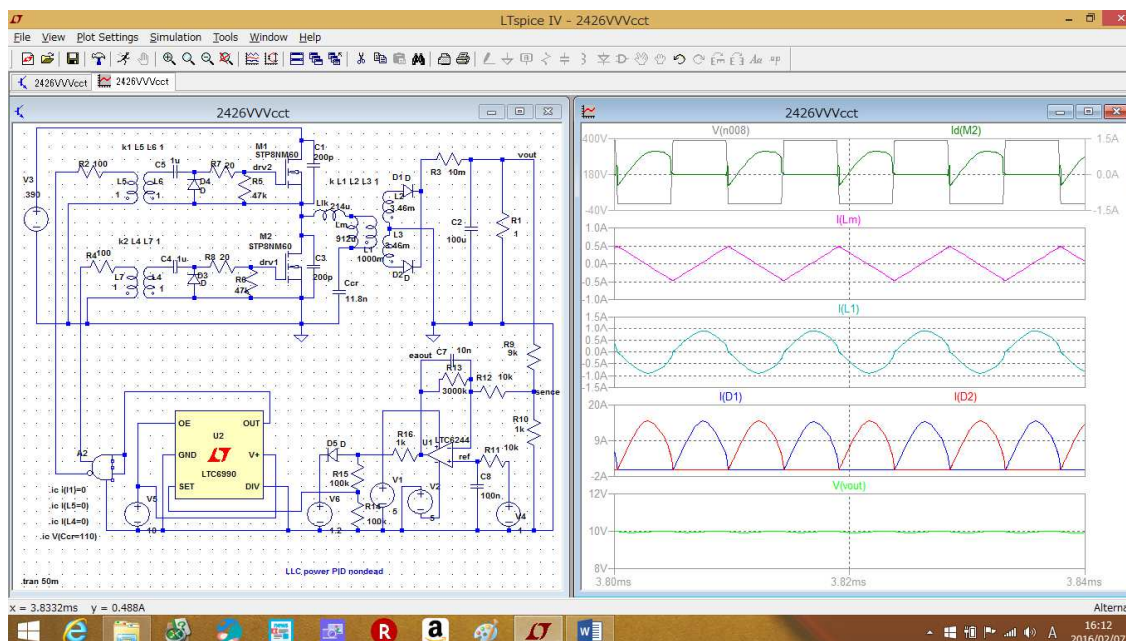


fig2.4.2.8 (2426cct+) $f_c > f_0$ 動作 +は(2426cct)の電圧と負荷調整

○電圧共振部評価

Fig2.4.2.9 は前項の制御付回路にデッドタイムを追加して ZVS の効果を確認している。

図では MOSFET を SW と Coss（または負荷した C）と内臓ダイオードに分解して解析している。波形下から SW 電圧電流、同レンジ拡張、ドライブパルスである。

デッドタイムなし fig2.4.2.9 では SW on 遷移時に SW 並列 C の kA オーダーのショート

サージ電流が存在し SW で消費されている様子かが解析されている(赤 I(S1)波形)。

Fig2.4.2.10 はデッドタイムを設定したもので ZVS によってあるサージが消失している。

(デッドタイムは前項電圧共振部で解説したと幅である)。

デッドタイム期間で SW 端子電圧(並列 C 電圧)が 0V になるまで SWon を遅らせられることができ SW の並列 C のショート電流損失が防止できていることが解析されている。

SW に Coss という並列 C のある MOSFET が一般的なスイッチングではこのデッドタイムと用い L と C の共振による ZVS で C (Coss) 短絡損防止は必須である。

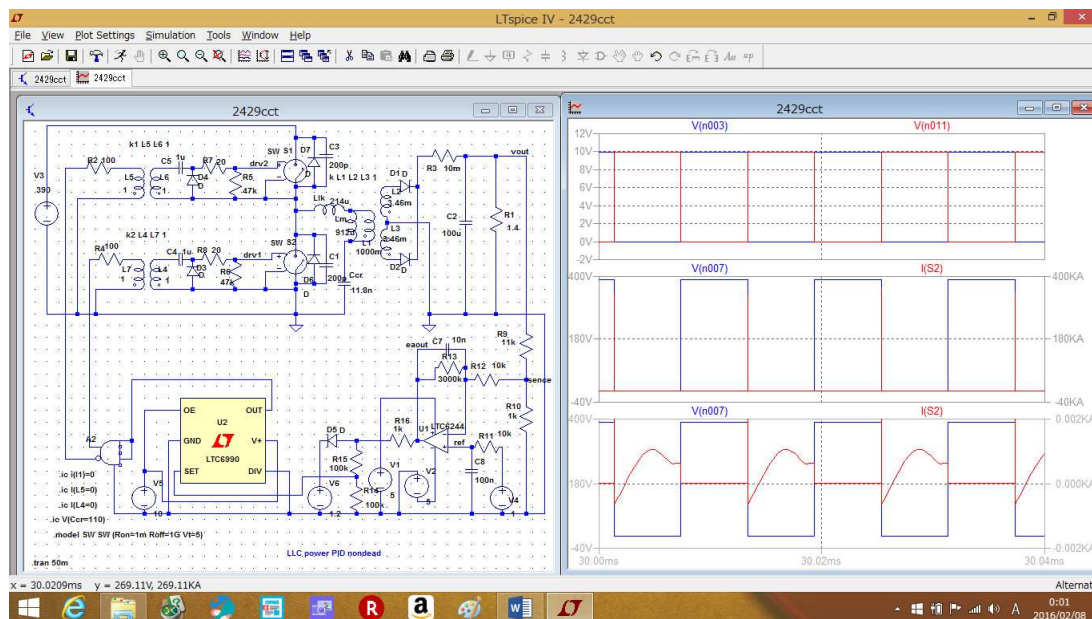


Fig2.4.2.9 (2429cct) デッドタイムなし

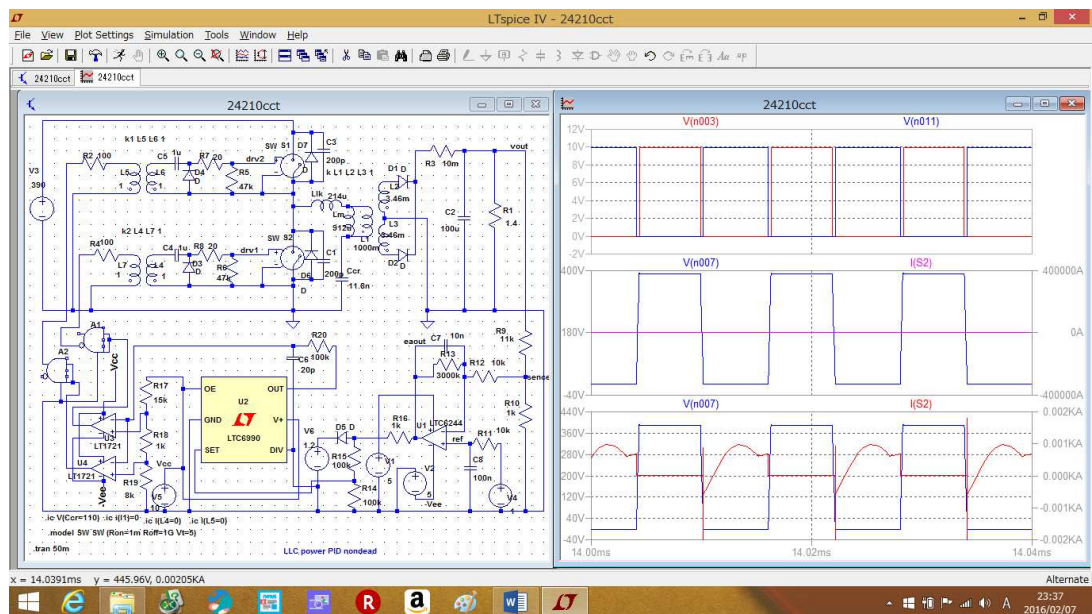


Fig2.4.2.10 (24210cct) デッドタイム付

◇2.4.3 マグアンプ型 (絶縁 磁気飽 SW PWM)

マグアンプ型電源は高速半導体スイッチの特性が低かった時代から磁気飽和利用のマグアンプを SW 素子としてスイッチング電源の優位性を広めた電源である。堅牢な SW 素子 (マグアンプ) とパルスドライブなしで PWM forward と近似動作でありながら低ノイズ特性から現在も高信性の大型電源やマルチチャンネル電源に使用されている。

○LTspice 回路図

Fig2.4.3.1 にマグアンプ L2 によるマグアンプ電源を制御部を含んで示す。

パルスドライブによる PWM のようにパルスドライブ入力ではなく NFB ループのアナログレベル (→) をマグアンプの磁束リセットレベルとして入力してマグアンプの T_{on} を制御、 T_{on} 制御以降は □ で囲んだように Buck 型 (又は forward) と同じ動作 (詳細は下記動作説明) となる。

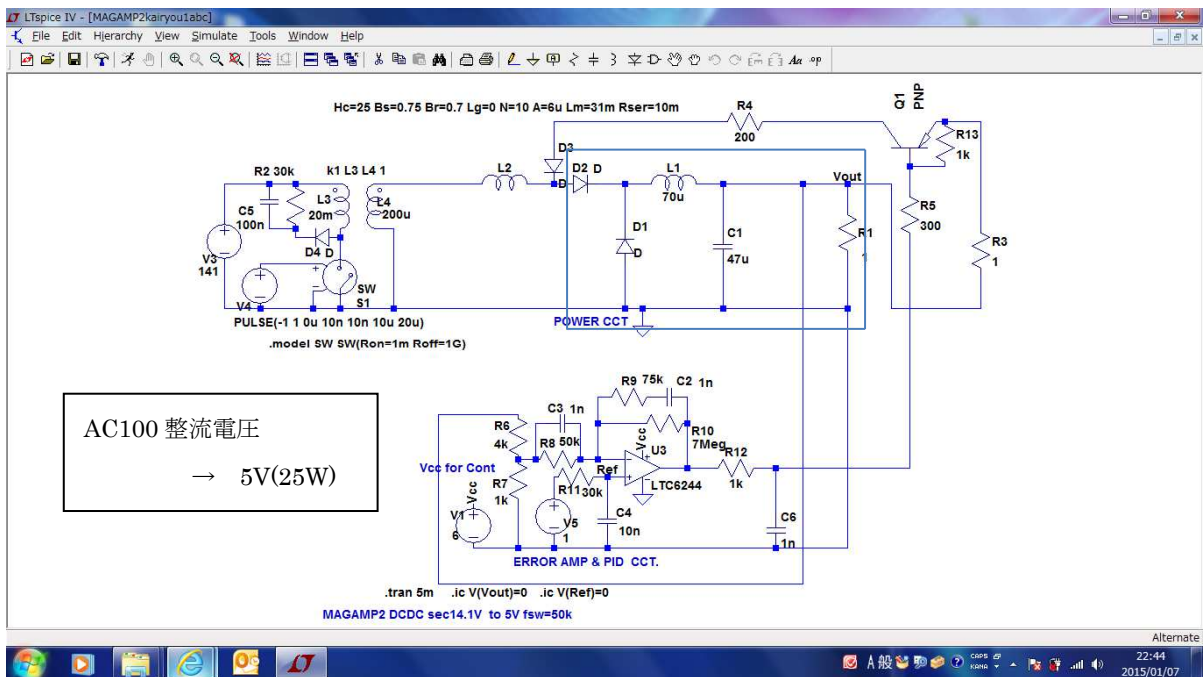


Fig2.4.3.1 (2431cct) マグアンプ SW 電源制御付

○動作説明

回路動作の前に主要素子のマグアンプを説明する。

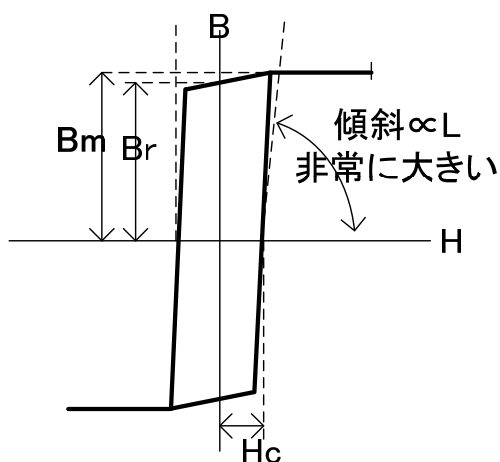
マグアンプの磁気材料特性は B-H 特性で見ると fig2.4.3.2 のような特性となる。

非飽和領域では非常に大きな μ を有し、飽和磁束 B_m に近い残留磁束 B_r 、適度な抗磁力 H_c を有する B-H 特性を有する磁性体である。

このようなハード（4角な）特性（アモルファスや Ni-Zn 系のトロイダルコア）が可飽和素子によるパワースイッチングを可能にするものであり、ソフト（傾斜のある）な（Mn-Zn 系）な磁気回路を飽和させることではマグアンプのパワースイッチングは実現できない。

LTspice ではマグアンプの仕様書を B_m 、 B_r 、 H_c 材料特性とマグアンプの磁気容量仕様として磁路構成の 実効断面積 A_m 磁路長 L_m 巻き数 N ギャップ L_g 直流抵抗 R_{ser} を指定して記述できる。

記述方法はインダクターのインダクタンス指定（素子右クリック）により fig2.4.3.3 の例に記述することで行える。



$H_c=25$ $B_s=0.75$ $B_r=0.7$ $L_g=0$ $N=10$ $A=6u$ $L_m=31m$ $R_{ser}=10m$

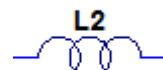


Fig2.4.3.2

Fig2.4.3.3

このマグアンプ特性を用いて電圧変換動作を説明する。

マグアンプ型では入力に高周波の 50% duty パルス電圧の入力が使用される。Fig2.4.3.4 では 141V (V3) 商用ラインの整流後電を $n=10$ の絶縁トランス（ON-ON 接続）でマグアンプに入力している。 $n=10$ からマグアンプには +14.1V ON (50%)、-14.1V を超える OFF(フライバック電圧)の入力となる。マグアンプ以降は Buck 型 (PWM) と同じ構成になるのでマグアンプの導通 (T_{on})、非導通(T_{off})の制御次第で最大 7.05V（飽和セット時間と V_f を 0 仮定時)出力まで変圧が可能となる。

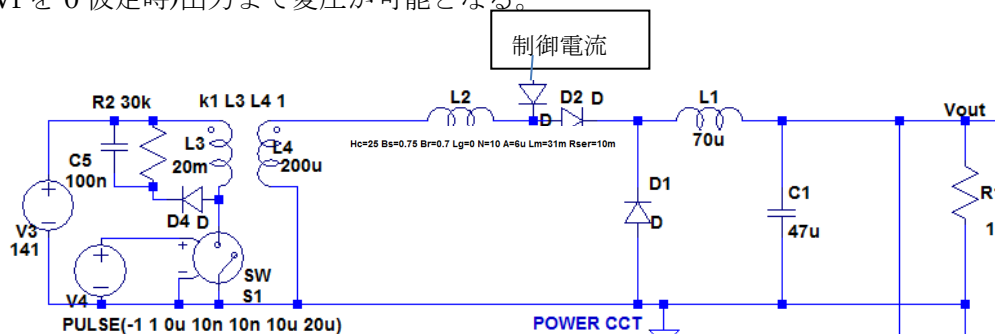


Fig2.4.3.4

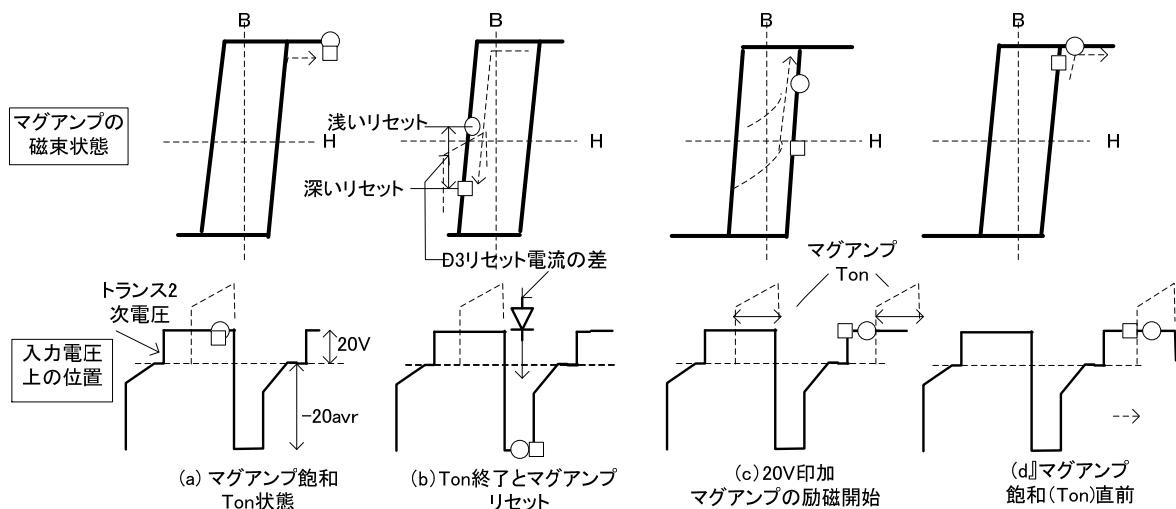


Fig2.4.3.5

Fig2.4.3.5 は電源を動作させたときのマグアンプの磁気状態と電源の動作波形を対応させ表示したものである。この磁気状態と波形を対応させマグアンプの可飽和動作(導通状態と非導通)を以下説明する。

まず(a)ではマグアンプ L2 には 14.1V (+) が印加され電圧時間積で飽和しインダクタンスは 0 となり導通状態である。(PWM の Ton 状態になっている)。

次に (b) はトランスからの 14.1V 入力終了するとマグアンプの電流は 0 となり (PWM は Toff 状態となる)、同時にマグアンプ入力側にはトランスからの (-) のフライバック電圧が印加されマグアンプ出力側からはリセット回路からダイオードを通してこの (-) 電圧に向けて制御されたリセット電流が流れ込みリセットされたマグアンプはリセットされ非導通状態になる。非導通になるがリセット電流の大きさにより電流に比例した異なるレベルの磁気リセットが行われる。制御された電流が大きいと深いリセット (□位置) が行われる。電流が小さいときは浅い(○位置)リセットが行われる。

(ここでマグアンプのインダクタンスが小さすぎるときや磁気回路容量が小さすぎると (b) ではリセット電流でマグアンプが逆方向に飽和する可能性があるので注意が必要である)。

リセットされた磁気状態から (c) でマグアンプにトランスから再度 (+) が印加されるとマグアンプはその電圧で励磁をされ始めるが電圧時間積がマグアンプ飽和に満たないうちはマグアンプ端子に該 (+) 電圧が発生して励磁電流のみ流れ非導通であり電流は流れない。(Toff 状態が維持される)。

(d) で時間の経過が電圧時間積で飽和レベルになるとマグアンプは飽和して導通状態

(Ton) に遷移を始める。

導通状態になると(a)の状態に戻りこの一連の繰り返りで導通 (Ton) と非導通 (Toff) を繰り返すこととなる。

(d) の導通開始は浅いリセット (○位置) から励磁開始した場合は深いリセット(□位置)より励磁開始した時より早く Ton になる。(c) の B-H カーブから理解できる。

PWM を考えれば早い Ton 開始は PWM の duty が大きいことであり、遅い Ton 開始は PWM の duty が小さいことである。PWM の duty 制御はこのリセットの深さで行えることが分かる。以上の動作を LTspice の時間解析で各部波形を観測して fig2.4.3.6 と fig2.4.3.7 に示す。

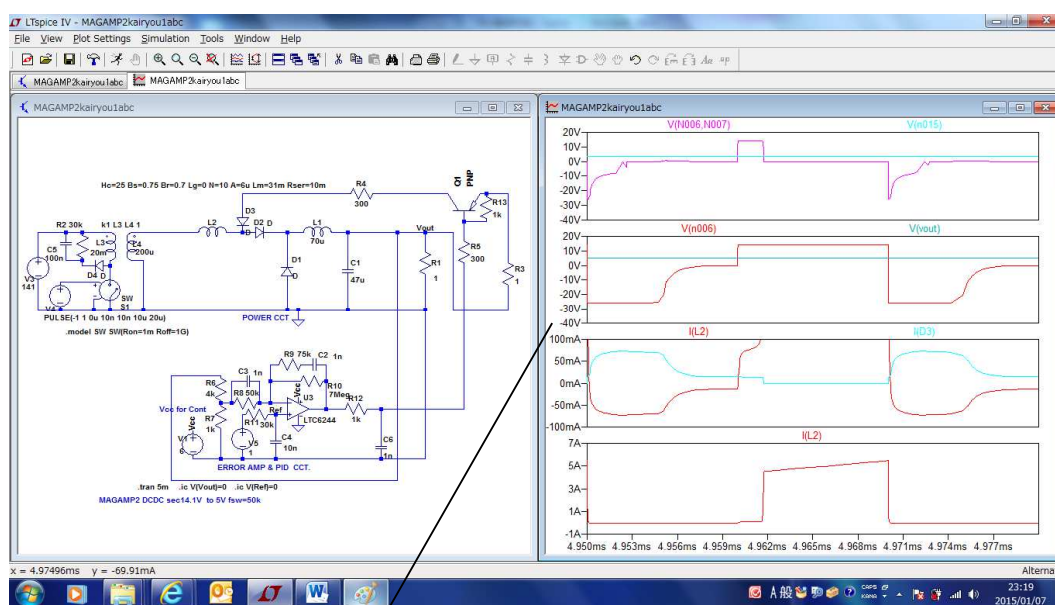
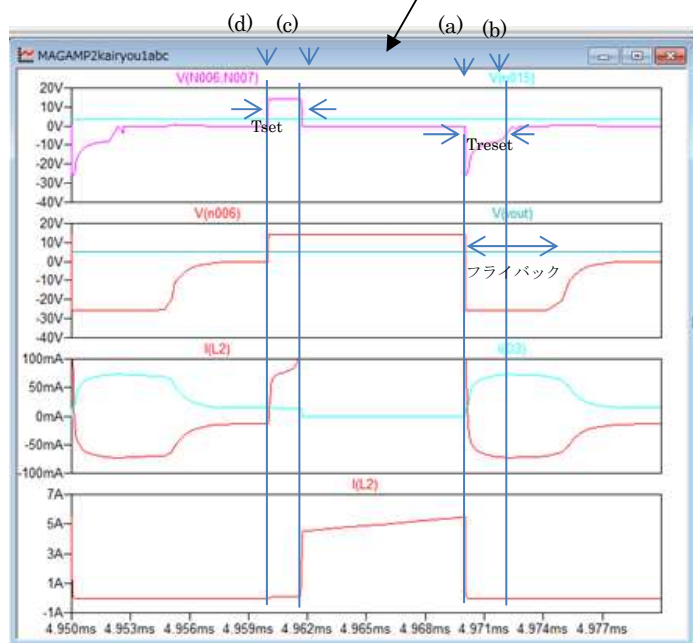


fig2.4.3.6 (2431ct)



- 最上段 V マグアンプ端子(桃) Eaout(空)
- 2 段目 トランス out(赤) Vout(青)4.97V
- 3 段目 I マグアンプ(赤) I D3reset(空)
- 4 段目 I マグアンプ Ton (赤)

Fig2.4.3.7

fig2.4.3.6 に上記解説のタイミング (a)、(b)、(c)、(d)を記入したもの

fig2.4.3.6 と fig2.4.3.7 は同じ波形で fig2.3.4.7 は fig2.4.3.5 の(a)、(b)、(c)、(d)タイミングを入れていす両者照合し解析結果を理解されたい。

Fig2.4.3.7 を詳しく解説すると 2 段目 (赤) は 100V 商用ラインを整流し 50% duty でパルス化されたトランス出力電圧でありマグアンプ電源部に入力される電圧 (+)14.1V と (-)14.1V 以上の交流である。

(-) 14.1V 以上はトランスのフライバック電圧でありフライバック終了部分では 0V となっている。

最上段 (桃) はマグアンプ L3 の両端間の電圧 (ダイオード側からトランス側へ) である。電圧の (+) 波形が可飽和セット期間、(-) 側がリセットを示す。各 (+) 部 (-) の電圧時間積の面積は等しくなる。

4 段目 (赤は) L3 を通過する L3 飽和時の電流でその期間は Ton に該当する電流である。Buck などの DD コンの Ton 電流に相当するものである。

3 段目 (赤) は Ton 電流の裾部を拡大したものであり図ではリセット電流は約 70mA である。空は制御回路電圧を pnp トランジスタと R4 で電流変換して D3 経由で L3 をリセットする電流である。これが上記 70mA そのものである。

(電流変換はエラーアンプ出力 ↓ に対しリセット電流 ↑ (リセットが深くなる) 方向の変換である)。

○ 電圧変換理論式

2 次回路構成では絶縁トランスの後に L2 マグアンプを SW にした (正確には L2 自身はそのままでは逆飽和しますので D2 と直列で一方向 SW にする) もので Buck や forward とも同等です。

したがって forward 型の (2) 式をそのまま適用でき

$$V_{out} = \{(V_{in}/n - D2V_f - L2drop) * duty\} - \{D1V_f * (1-duty)\} \quad (243-1)$$

マグアンプの電圧損失を無視すれば

$$V_{in} = 141V_{amp} \quad n = 10 \quad Duty = 45\% \quad L2drop = 0.1V \quad V_f = 0.7V \quad \text{とすれば}$$

$$V_{out} = (14.1 - 0.1 - 0.7) * 0.45 - (0.7 * 0.55) = 5.985 - 0.385$$

$$= 5.6V \quad \text{となる。 (fig2.4.3.6 では 5V 制御中なので duty=0.45 以下になっている。}$$

マグアンプ方式においても CCM、DCM の状態は存在する。

(DCM では上の式は適用できないが制御負帰還がかけてあれば duty 制御から Ton 制御に変化し Buck 同様に電圧は安定化できる)。

ここで duty 関連マグアンプ特有の限界を説明しておく

マグアンプ電源においては duty(max~min) は半導体による PWM と異なり計算による数値設定が難しい。

duty-max はマグアンプ定数に基づく最小セット時間 (小さくても必ずセット時間は残存し、これをデッドアングルアングルという) が存在し fsw が高いときはこの時間が duty-max

が減少する。したがって上の例の $duty_{0.45}$ まで広げられるかは調査を要する。

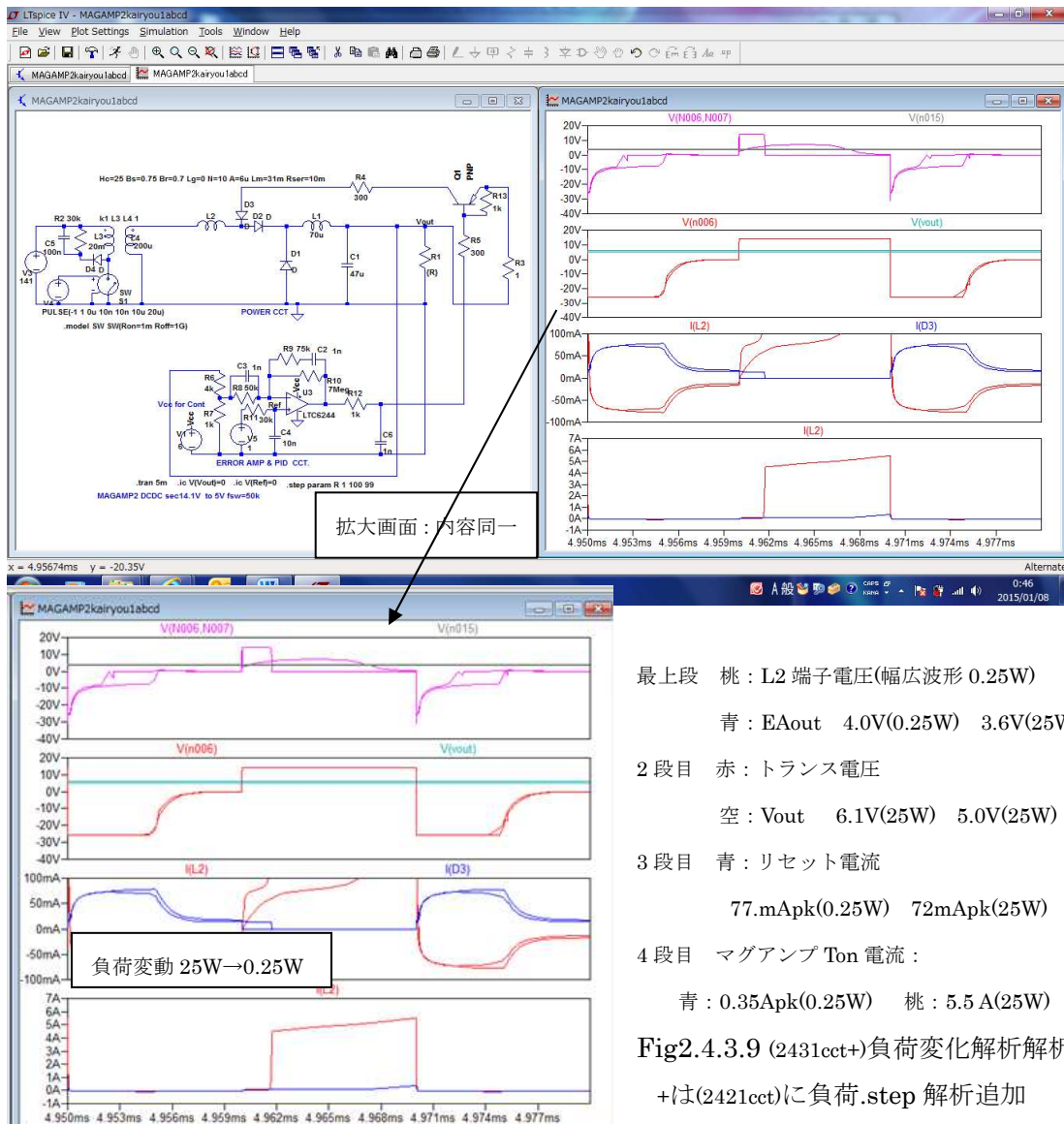
目安としては $V_{out}5V$ にはトランス出力は $15V$ (上記 $14.1V$ では不足する可能性がある) が用いられるケースが一般である。

また $duty_{min}$ は f_{sw} が低い方ではセット時間が $2/f_{sw}$ 期間を十分埋められないと $duty_{min}$ まで絞れない可能性がある。

従って前段 $50\%duty$ のトランス部の設計はマグアンプ定格との整合が必要である。

○ LTspice による制御動作時の各部波形解析

$5V_{25W}$ 定格設計で→ $0.25W$ 負荷にした時 (I_{out} 制御) の制御状態 と $5V_{25W}$ 定格設計を→ $3V_{25W}$ 定格に設計変更した時制御状態比較 を `.step param` コマンドで解析する。負荷 {R} を param で ($25W \rightarrow 0.25W$) を fig2.4.3.9 に解析。



各波形評価は

最上段 0.25W の制御においてはセット時間が大きく広がり duty を狭めている。

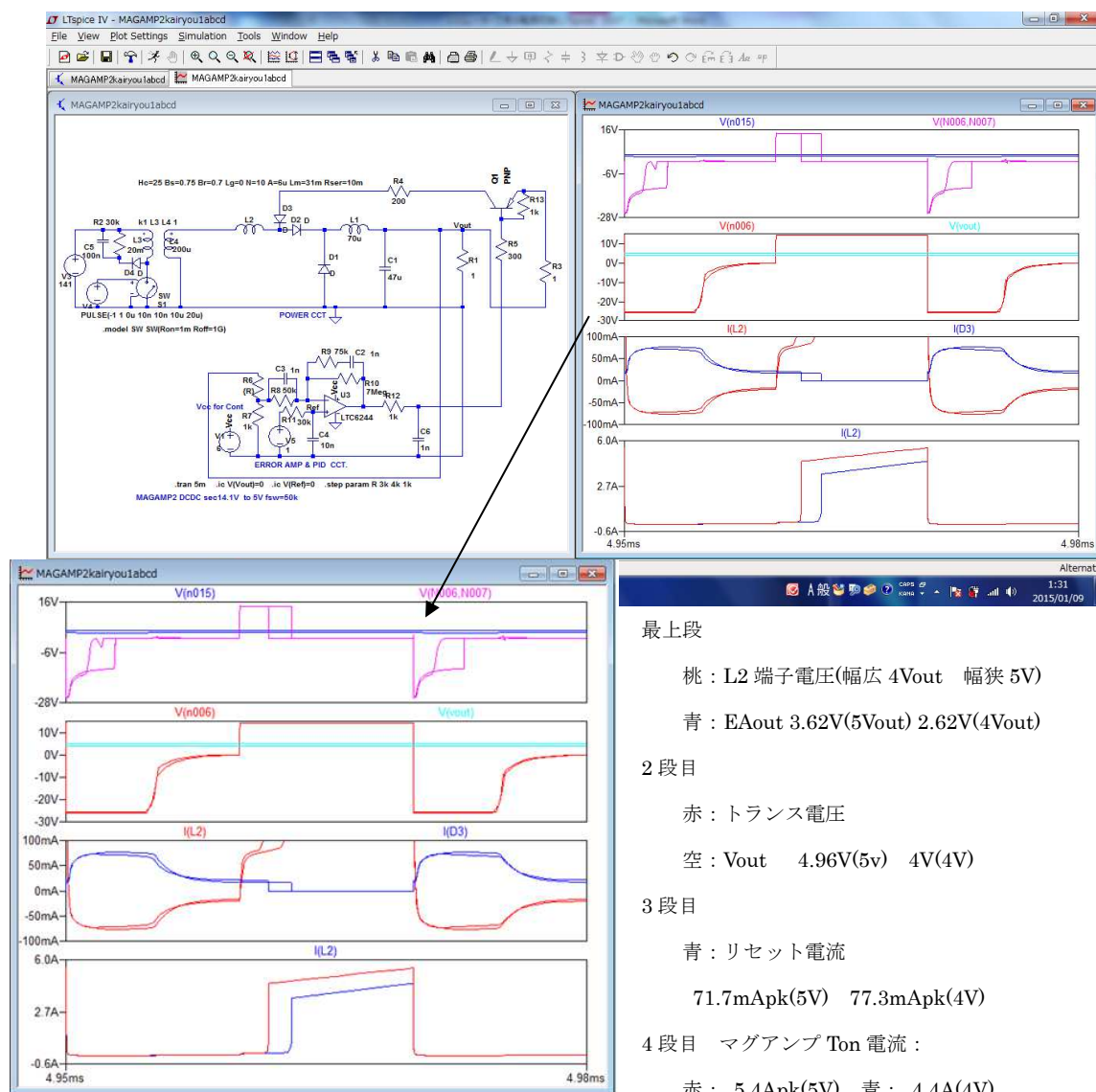
2 段目 5V 制御であるが 0.25W の制御では 6.1V と絞り切れないう傾向が出ている。

3 段目 0.25W の方がリセット電流を増しているのが分かる。

4 段目 青 0.25W は臨界以下で 0.35A ピークまで絞っている。

以上かろうじて 0.25W までは絞っているがパルスによるスイッチングと比べ電圧制御の精度においては幾分劣ることがある。

次に $V_{out}5V \rightarrow 3V$ の変更 (オペアンプ入力分割 {R} を param) を fig2.4.3.a に示す。



最上段

桃 : L2 端子電圧(幅広 4Vout 幅狭 5V)

青 : EAout 3.62V(5Vout) 2.62V(4Vout)

2 段目

赤 : トランス電圧

空 : Vout 4.96V(5v) 4V(4V)

3 段目

青 : リセット電流

71.7mApk(5V) 77.3mApk(4V)

4 段目 マグアンプ Ton 電流 :

赤 : 5.4Apk(5V) 青 : 4.4A(4V)

Fig2.4.3.a (2431cct+) $V_{out}5V$ 、 $3V$ の設計 +は (2431cct)の R6 に.step を設定

最上段 4V の制御においてはセット時間が大きく広がり duty を狭めている。

2 段目 5V 制御設定であるが 4.96V と制御不足傾向が出ている。

3 段目 4V の方がリセット電流を増しているのが分かる。

画面4 Tonが4V設定では絞られているのがわかる。

設定と出力結果においてわずかにゲイン不足が高いVout時にみられる。

マグアンプでの安定電圧制御性全体での傾向ではトランス巻き数比とVout狭い範囲で選定しないと安定化ができないケースが起こりやすい(対半導体SWのPWM制御比)。

○ マグアンプ電源のマルチチャンネル化応用例

マグアンプ電源は多チャンネル化に有効である。Fig3.4.3.cはチャンネルごとにトランス巻線を設けマグアンプで異なる電圧を制御する例である。

Fig3.4.3.dは一つの巻線から2つのチャンネルを得る例である。ただしこの場合はチャンネル間の電力範囲に制約を考慮する必要がある。

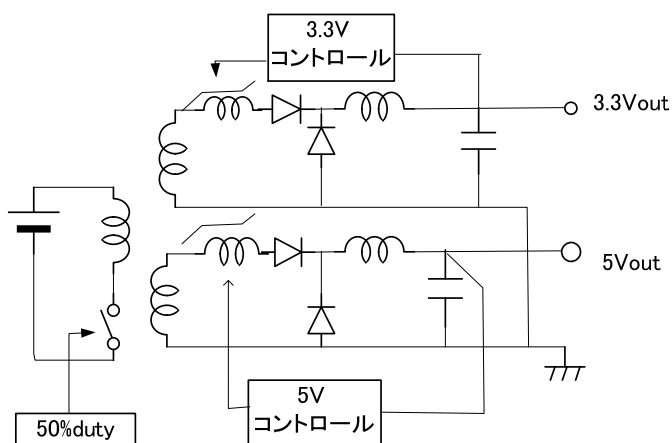


Fig2.4.3.c

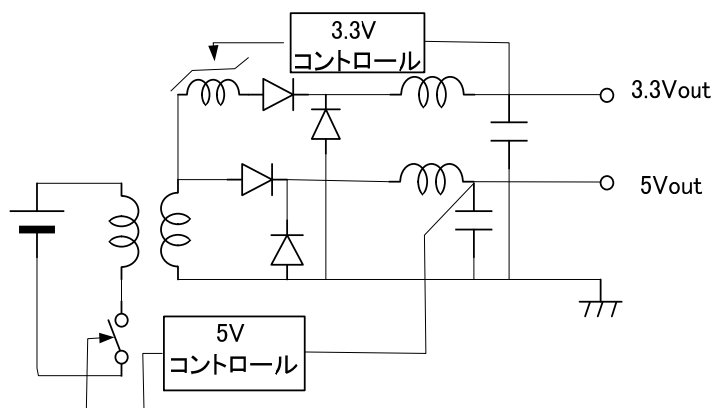


Fig2.4.3.d

◇2.4.4 ジェンセン電源（絶縁 磁気飽和自励）

電圧変換を高周波小型トランスで小型化するスイッチング電源の歴史の初期を担ったのがロイヤール電源でありロイヤール電源をさらに高周波小型化工夫が用いられたのがジェンセン電源である。主絶縁トランス（兼ドライブトランス）にソフト磁性体の飽和を利用するものがロイヤール電源、ドライブトランスのみに磁気飽和を用いるのがジェンセン電源である。

これらは主トランスやドライブトランスの磁気飽和と起動繰り返しの自励発振しながら入力電圧に比例した出力電圧をは発生させる電源である。ロイヤールは大型の主トランスを飽和させるため周波数が低く、小型のドライブトランスを飽和させ近似の動作をさせたのがジェンセン型で高周波小型になり実用性が高い。ここではジェンセン型を主に解析する。

○ロイヤール電源から発展したジェンセン電源

Fig2.4.4.1 にロイヤール電源 fig2.4.4.2 にジェンセン電源の基本構成を示す。

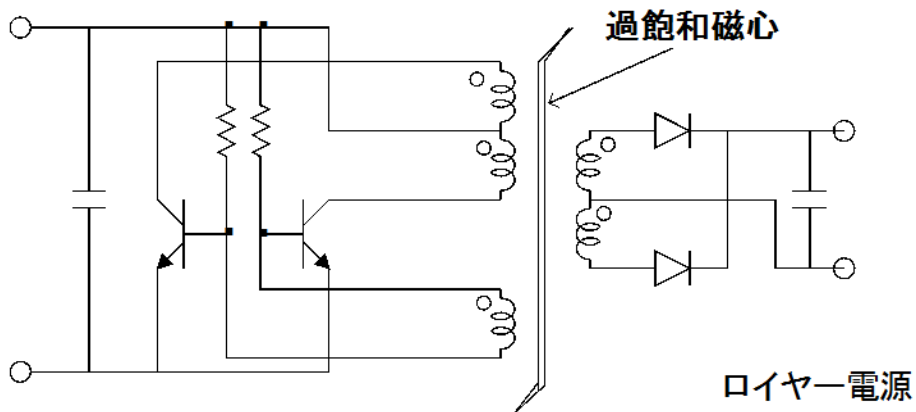


fig2.4.4.1

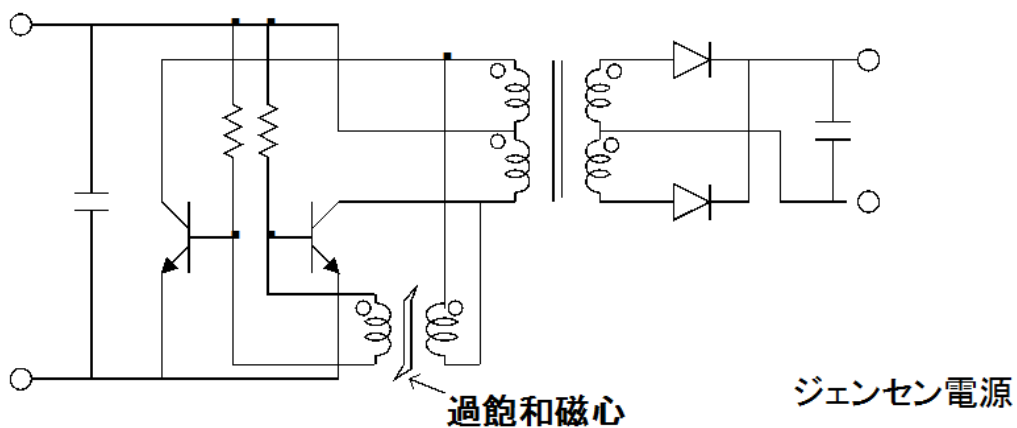


fig2.4.4.2

絶縁トランスの接続極性は両電源とも on-on 型となります。

異なる点はロイヤ型では主絶縁トランス自体が可飽和でありドライブ巻線が巻かれています。

ジェンセンは絶縁トランスは非飽和で別個の可飽和のドライブトランスを有しています。

一般に絶縁トランスは電力伝送目的から飽和は好ましくなくインダクタンスを大きくとり飽和しづらいものです。このため絶縁トランスを可飽和で使うには長い電圧時間積で使用しなくてはならず周波数の低い自励発振になります。

このような特性の絶縁トランスにはハード特性の Ni-Zn 系の大型トロイダルが用いられる。また自励周波数は数 100hz 程度である。

一方スイッチング周波数を高めるとともに絶縁トランスも小型化できる工夫がされたのがジェンセン電源です。

この高周波化は電圧時間積の小さい小型ドライブトランスの可飽和を用いるからである。このようなことからジェンセン回路の方が適用範囲が広がります。

ジェンセンでは可飽和のドライブトランス、非飽和の絶縁(主)トランスともにソフトな Mn-Zn 系が使われます。

ドライブトランスはソフトであっても幾分ハードに近いものでトロイダル形状、絶縁トランスはソフトな EI コアが使われます。

自励周波数は 10khz 以上が可能になります。

次に詳細な設計と動作説明に入りますが実用性の高いジェンセン電源での解析を進めます。

○ジェンセン電源の可飽和磁性体と LTspice での記述

ロイヤ型やジェンセン電源に用いられる可飽和磁性体は発振回路で発振周波数を目的にあったものにするためソフトな磁性体であることが要求されます。

Fig2.4.4.3 にその B-H 特性は B_r H_c が小さく適度な μ を有するものになります。

LTspice では その特性を fig2.4.4.4 のように インダクタンスを記述指定します。

ここで 5m は非飽和時のインダクタンス、0.1u は飽和時のインダクタンス、-10m、10m は飽和発生時の電流値である。

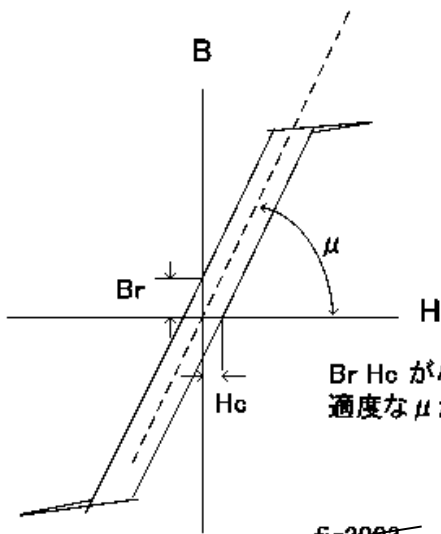


Fig2.4.4.3

$$\text{Flux}=(5\text{m}-0.1\text{u})*\text{limit}(x,-10\text{m},10\text{m})+0.1\text{u}*x$$



fig2004

fig2.4.4.4

○LTspice での回路図

ジェンセン電源の回路を fig2.4.4.5 に示す。L8,L5,L6,L7 で構成されるのが可飽和ドライ
ブトランスであり L1,L2,L3,L4 で構成されるのが絶縁トランスである。また入出力仕様は
12V(V1)入力から 2次負荷 R1,R2 に+24V, - 24Vを出力する(回路ロス 0 Di Vf=0 とし)。

ドライブトランスは L8 の可飽和インダクタンスとトランスの Lm の L7 で 1 次構成、
L5,L6 が 2 次ドライブ巻き線、数比率 2.8:1 (400m : 50m) の理想トランスで構成される。
(トランスの構成記述方は第 3 章参照のこと)

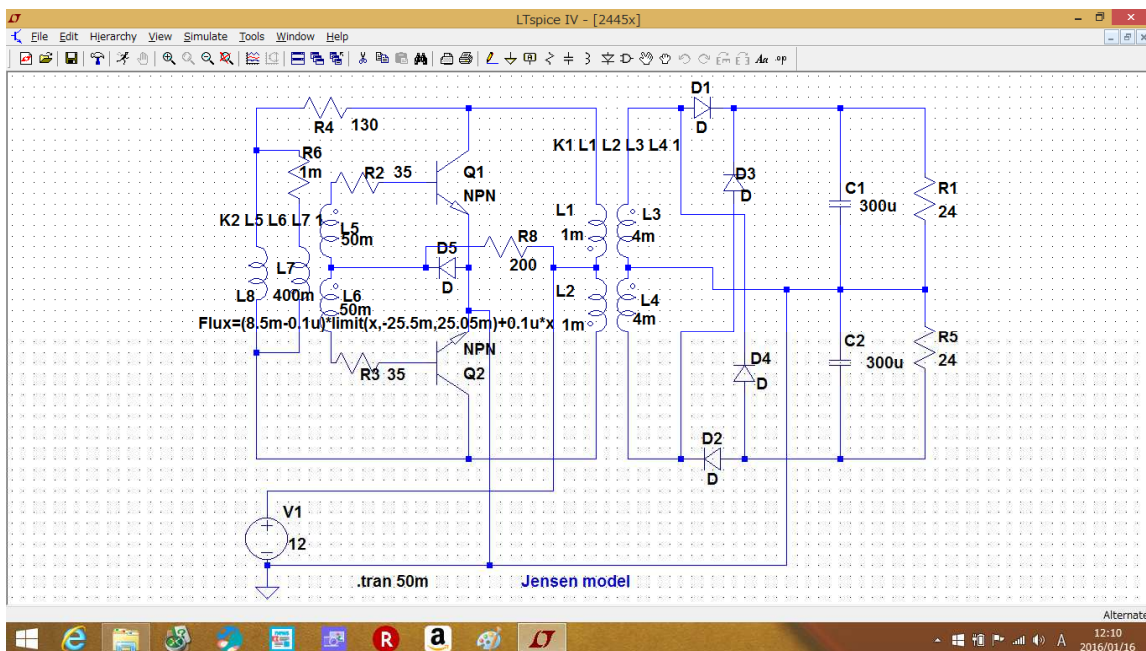


Fig2.4.4.5 (4225cct)

○動作説明

1 次回路の基本接続は絶縁トランスのセンタータップに入力電源を接続し絶縁トランスの両端に npn トランジスタのコレクターを接続する、該 2 個の npn のエミッターは電源の GND に接続される。

npn のベースは可飽和特性のドライブトランスでドライブされ該トランスの入力は絶縁トランスの両端に接続される。

回路起動用に電源から npn のベースにはドライブトランスと別に抵抗で起動電流を注入する。

以上の構成で電源が入ると R6,R8 からの電流で npn のいずれか Q (SW) が導通開始する。この導通電流は絶縁トランスで 2 次側に電力供給するとともにトランス端子に電圧を発生する。この電圧はドライブトランスの 1 次側に導かれ導通中の npn のベースに導通継続電流を注入し該 npn の導通をドライブトランスが飽和に至るまで維持する。

ドライブトランスがしばらく導通後飽和に至るとドライブ電流が途絶え Q がオフ、同時にトランス逆起電圧がドライブトランス経由で非導通であった側の npn のベースのドライブトランス端子に発生してこのトランジスタ Q を導通させる。このトランジスタも前記トランジスタと同じプロセスで導通継続し同じプロセスでしばらく導通後導通が途絶える。この繰り返りで 1 次側回路は自励発振を行い同時に 2 次に電力を供給することになる。

○動作理論式

自励発振の周波数はドライブトランスに印加される電圧時間積と磁気回路の容量で決まる。自励周波数 20kHz のドライブトランスを設計 (*5) してみる。

ドライブトランスコアとして TDK T シリーズ トロイダル (H5B2 材 T14-3.5-7 Bm=420mT Ae=11.8mm² AL4200nH/n²) を使用し 20kHz の自励発振するようにトロイダル 1 次巻き数をも求める。(*5 参考資料 実用電源回路設計ハンドブック CQ 出版 戸川氏)

$$\text{トランス飽和条件 } n = \{V_{din} * T / (2B_m * A_e)\} * 10^9 \quad V_{din} \text{ はドライブ 1 次入力} \\ \text{————— (244-1)}$$

$$T = 1 / 2f_s \quad f_s \text{ はスイッチング周波数}$$

f_s=20kHz として n を求める。

$$n = \{18 / (4 * 20k * 420 * 11.8)\} * 10^9 \quad \text{————— (244-2)}$$

$$n = 45t \text{ となる。}$$

(ただし V_{din} 18V は メイントランス電圧 2*12 24V から VR4 電流制限抵抗の電圧 8V(以下で算出)を引いたものである)。

次に出力電力電流と自励発振部の動作電流関係を見ると。

V_{out} 24V1A 2チャンネル (≒48W) には入力換算 12V_{in} は 4.5A 入力電流 が必要となる。npn は hfe50 として I_c4.5A に対しては I_b=0.088A 以上が必要となる。

ベース巻線電圧は $V_{din}18V$ から巻線比 $1/2.8$ (L 値比 $50mH / 400mH$) で得るため $6.4V$ となる。トランジスタ Q は $6.4V$ からベース $V_b + D_i V_f = 1.4V$ ダウンの $5V$ を 35Ω を通した $0.14A$ でドライブされることになる。 0.14 は先の必要 I_b の $0.88A$ を満たす。

この $0.14A$ がドライブトランス 1 次変換で $0.050A$ となり制限抵抗 130Ω 設定で VR_4 に $6.5V$ 低下が発生する。この一連から $V_{idn} = 24 - 6.5 = 18V$ となる。

V_{out} 出力電圧の設定であるが回路構成 50% duty の発振回路となるため出力電圧の制御動作は絶縁トランスの巻き数比率 n_2/n_1 以外には持てない。

Fig2.4.4.1 の例では $n_2/n_1 = 2$ (L 比 $4m/1mH$) で $V_{out} = 24V - V_f - V_r = (23.7V - V_r)$ 理論値となる。 V_f は 2 次整流ダイオードの順電圧、 V_r は回路で損失の低下電圧である。

○ LTspice によるジェンセン電源動作時の各部波形解析

Fig2.4.4.6 に動作時の各部の時間解析波形を示します。なおドライブトランスの回路図上の L 指定は $flux = (8.5m - 0.1u)limit * (x - 25.05m / 25.05m) + 0.1u * x$ となる。

$8.5mH$ は $AL4200nH * 45t^2$ ($AL * n^2$) から得る。 $25.05mA$ は±飽和時電流である。 $18V$ 印加時 $51mA$ 幅 ($\pm 25.01mA$) $8.5mH$ に流れる電流変化が $T25\mu S$ ($20kHz$) という指定であり式 (244-2) の等価である。

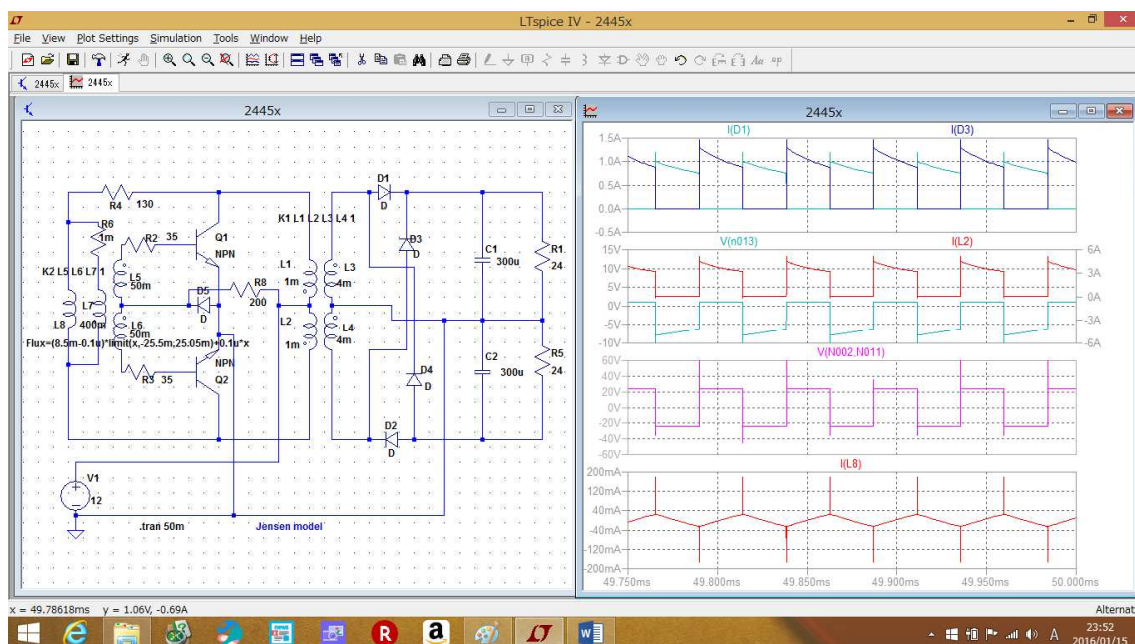


Fig2.4.4.6 (2445cct)

波形は下段からドライブトランスの励磁電流、下から 2 段目 同トランスの一次巻線端子電圧、3 段目 Q_2 の V_b と I_c 、4 段目絶縁トランス 2 次のダイオード D_3 D_4 の電流波形である。解析された周波数は $19kHz$ と式(422-2)に一致している。

ここでドライブトランスの飽和波形とトランジスタドライブ波形をの関係を拡大波形 Fig2.4.4.7 で確認しておく。

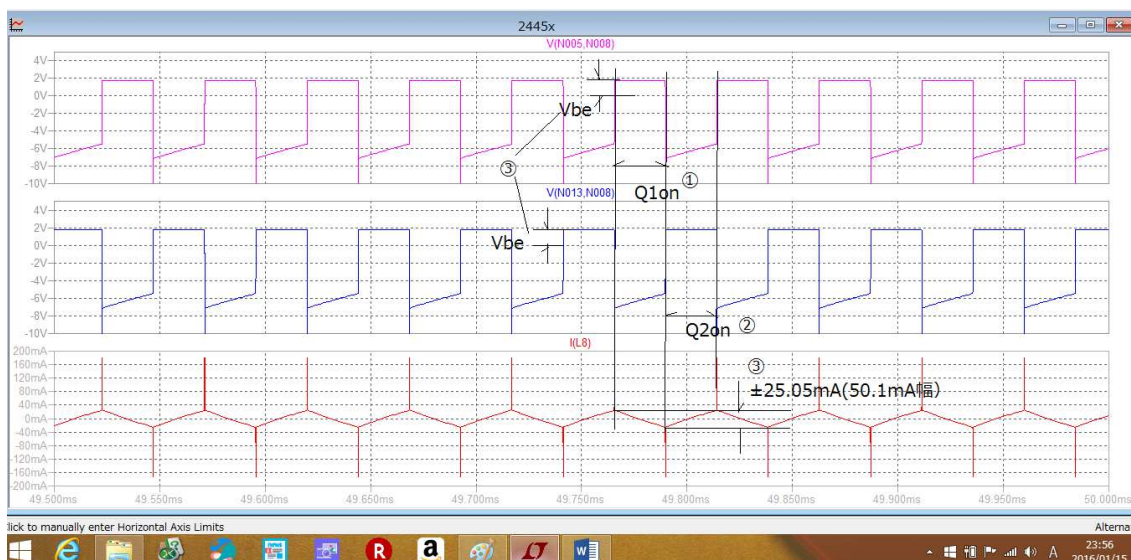


Fig2.4.4.7

③はドライブトランスの励磁電流飽和ポイントの 25.05mA , -25.05mA をしめしている。Q1ON、Q2ON はその飽和のタイミングに対応してドライブトランス 2 次に発生するドライブパルスでの Q1 Q2 の ON を示す。①②は Q1 Q2 の ON 時の Vb である。

○トランジスタ特性とジェンセン回路の動作波形

ジェンセン回路はバイポーラ npn のを用いた自励発振であるため npn の特性により動作が影響される。この影響はスイッチング周波数設定が高いほど大きく周波数は 20khz 以下に選定するのが妥当である。

この影響を npn 特性を下記 3 種選んでジェンセン回路(fig2445cct)の動作を LTspice で解析してみる。

3 種は fig2.4.4.8 理想 npn モデル (hfe 100 高速)

Fig2.4.4.9 高速で hfe の高い npn、(hfe 200 中速)

Fig2.4.4.a 低速で hfe の低い npn (hfe 50 低速) の 3 種でそれぞれを用いた動作波形である。

また各々の波形は下段から npn 単体での基本動作波形

ジェンセン回路上の npn の I c

npn Ib

npn Vbe

npn Vc

可飽和ドライブトランスの端子電圧と IL8 である。

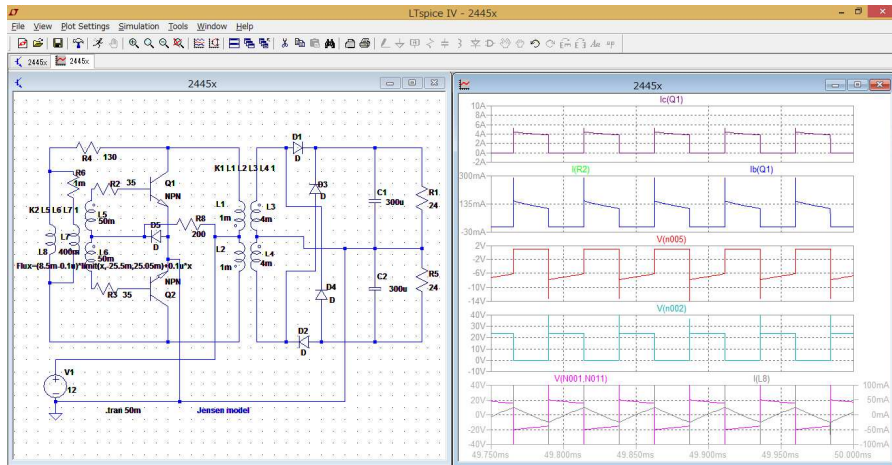


Fig2.4.4.8

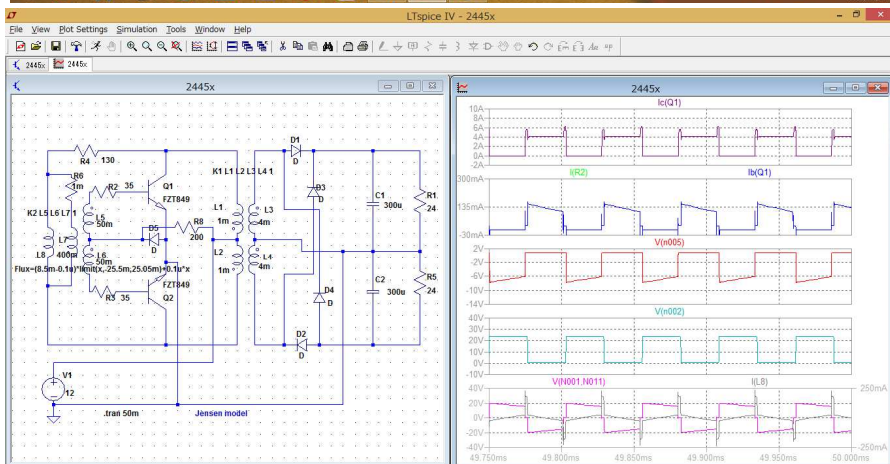


Fig2.4.4.9

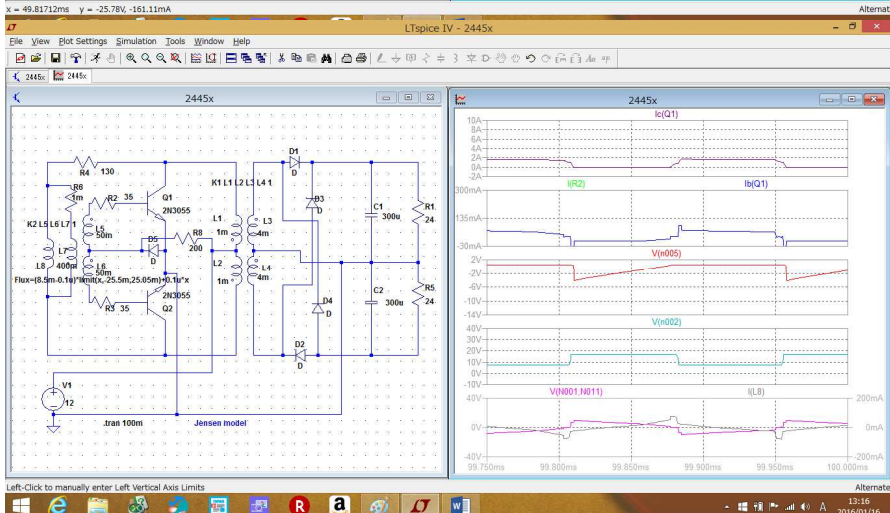


Fig2.4.4.a

fig2.4.4.9 では速度不足で貫通電流がみられる。

Fig2.4.4.a では Hfe 不足でスイッチングできていない、

自励操作の回路なのでトランジスタの特性とマッチした設計が必 ty になる。

◇2.4.5 双方向 / Bi-directional 型 (絶縁 on-on 50% duty)

○LTspice 回路図

双方向型とはポロジータンにスイッチング電源であるが用途は定電圧電源ではなく省電力システム構成の中で電力ラインと蓄電池間の充放電を担うものである。

電力に余裕がある期間は蓄電池に電力保存し、電力がタイトな時蓄電池から電力ラインに電池電力を放電するものである。代表的な仕様例では省電力システムの電力バス 400V と蓄電池 48V 間を電力事情に応じ自動で充電(力行)と放電(回生)行うものがある。回路構成は電力バス側からブリッジ型 SW 回路とトランス 1 次、蓄電池側からブリッジ型 SW 回路とトランス 2 次、1 次 2 次トランスが中央で結合するものであり。各ブリッジ回路は同期して動作し力行時は 2 次側ブリッジが同期整流として動作、回生時は 1 次側ブリッジが同期整流として動作する。またトランス 1 次 2 次巻き数比率は電力バス電圧と蓄電池電圧の比率とする。

LTspice での回路構成を fig2.4.5.1 に示す。

Fig2.4.5.1 ではバス電圧 320V 蓄電池 50V として解析している。

絶縁トランスの設計は次項にまとめますが ON-ON 型に属する電源のトランスは電力に比例した磁路断面積を要求される。

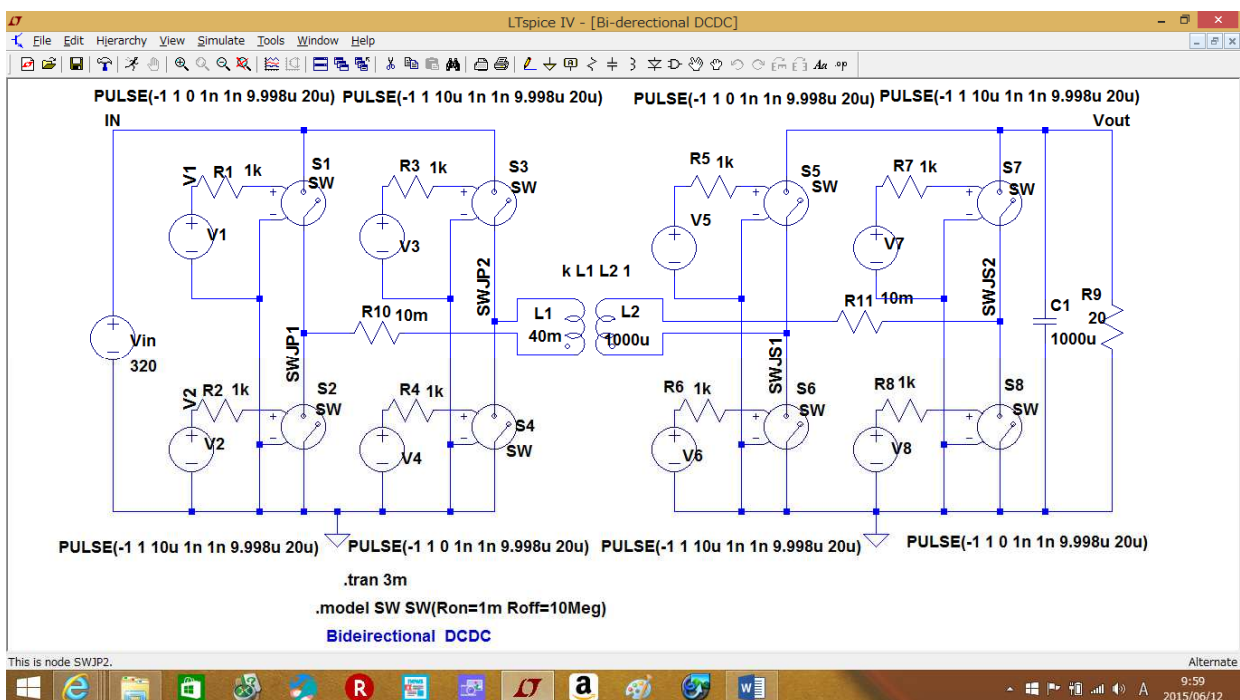


Fig2.4.5.1 (2451cct) 双方向電源電力交換部

○動作説明と特徴

双方向型であってブリッジ部をフルブリッジで構成した例でステータごとの電流の流れ

を fig2.4.5.2 に示す。

ステート 1 とステート 2 は 1 次ブリッジの V_{in} が 2 次ブリッジの V_{batt} より高く 1 次側から 2 次側に電力が移行するステート（以下力行と呼ぶ）でありステート 1 とステート 2 の時間比率は 50% duty である。

ステート 1 では 1 次ブリッジの S1,S4 ペア on と S2,S3 ペア off に対し 2 次ブリッジの S6,S7 ペア on と S5,S8 ペア off が同期して動作する。

ステート 2 では 1 次ブリッジの S2,S3 ペア on と S1,S4 ペア off に対し 2 次ブリッジの S5,S8 ペア on と S6,S7 ペア off が同期して動作する。

1 次側がブリッジがインバータ動作、2 次側インバータが同期整流の動作である。

トランスの巻き線比率は $n=V_{in}/V_{batt}$ である。

ステート 3 とステート 4 は 1 次ブリッジの V_{in} が 2 次ブリッジの V_{batt} より低く 2 次側から 1 次側に電力が移行するステート（以下回生と呼ぶ）でありステート 3 とステート 4 も 50% duty である。

2 次側がインバータ動作、1 次側が同期整流動作である。

各ブリッジは同期整流時にはソースからドレインに逆方向電流処理が要求されるため MOSFET でスイッチ化する必要がある。

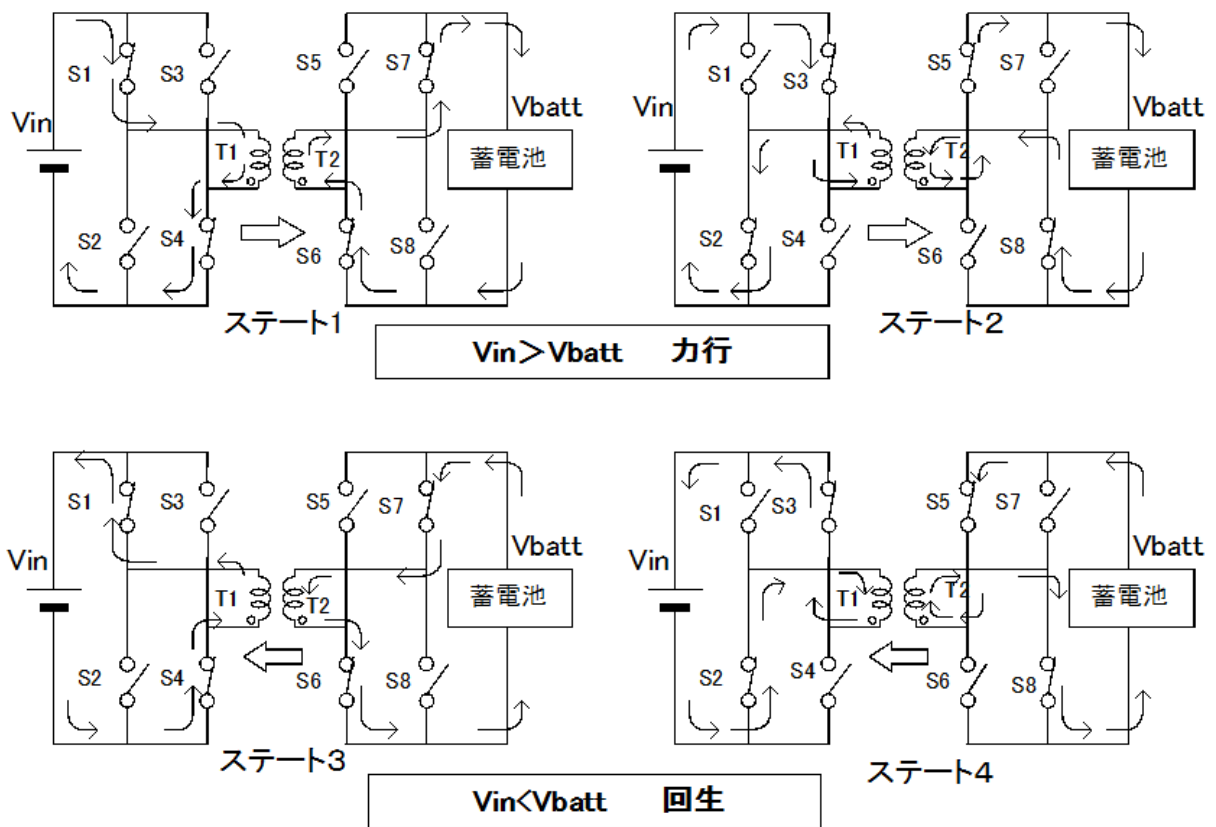


Fig2.4.5.2

以上の動作を LTspice の回路動作解析で fig2.4.5.3(力行)の動作と fig2.4.5.4(回生)の動作で示す。波形画面は下段からドライブパルス、S1 電流、S5 電流、Vinto と Vout である。

Fig2.4.5.3 の力行では S1 電流が (+)で MOSFET の順方向動作 S5 電流が (-) で逆方向動作 (同期整流) であることが見える。

fig24504 の回生では、S5 が (+) 順方向動作で S1 が 電流 (-) で同期整流である。

S1 電流の TOP の電流傾斜はインダクタンスの励磁電流が解析されている。

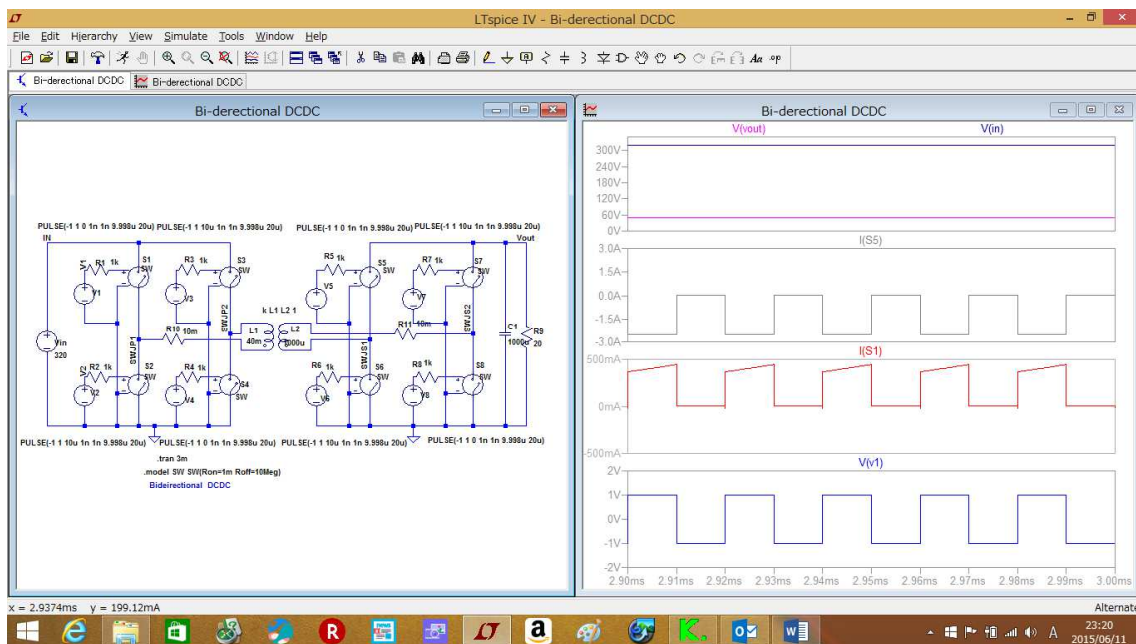


Fig2.4.5.3 (2451cct) 力行

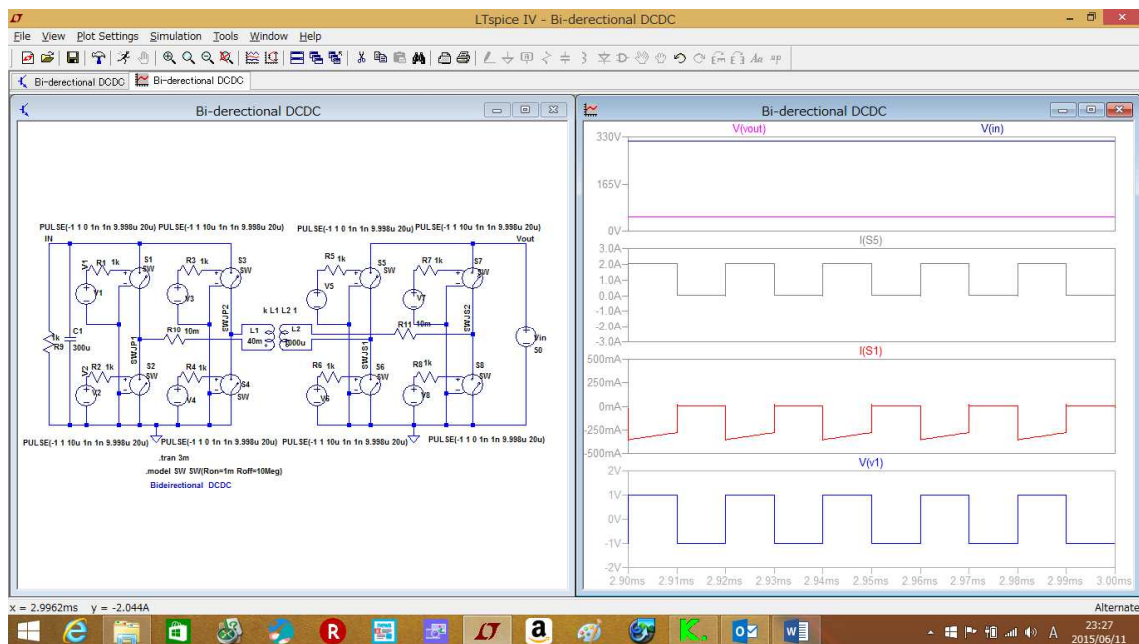


Fig2.4.5.4(2451cct+) 回生 +は(2451cct)の1次側抵抗2次側電源にしている

また力行と回生間は V_{in} と V_{out} 上下関係で自動的におこなわれ、切り替え制御はいらない。

この様子を fig2.4.5.5 に示す。

回路は力行で 2 次側の容量波形画面は $C1(1F)$ を V_{out} 電圧 $320 * \sqrt{1m/40m} \doteq 50V$ に充電ほぼ充電完了の 250ms で V_{in} を遮断して $C1$ 電力を一次側に回生するものである。

波形は下段からドライブパルス、 $S1$ 電流、 $C1$ 電圧、 V_{in} 点電圧、 $L3$ 電流である。

250ms(波形画面時間軸中央)の V_{in} 遮断とともに自動に力行から回生に移動しているのが $S1$ の (+) 電流から(-)への変化、 $L3$ の (+) から(-)への変化で読み取れる。

この双方向構成では一時 320V から 2 次 50V に力行し、2 次から 1 次に回生すると回路損失分回生された一次バス電圧 (下から 4 段目波形) はわずかに低下する。

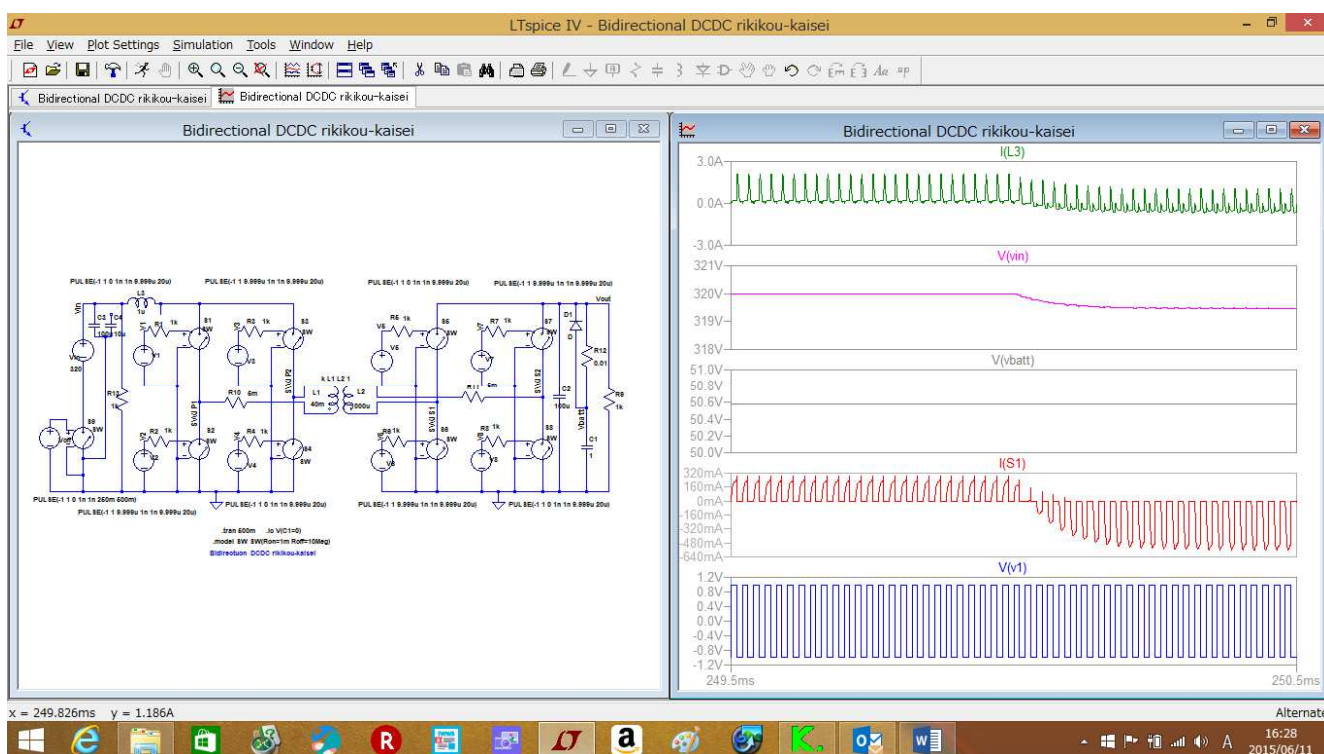


Fig2.4.5.5 (2455cct) 力行から回生に自動遷移

次にブリッジ部の構成であるが上の例のフルブリッジに限定されることはない。インバータと同期整流を電流の方向によって対応できる回路であれば対応できる。その組み合わせを fig2.4.5.6 に示す。

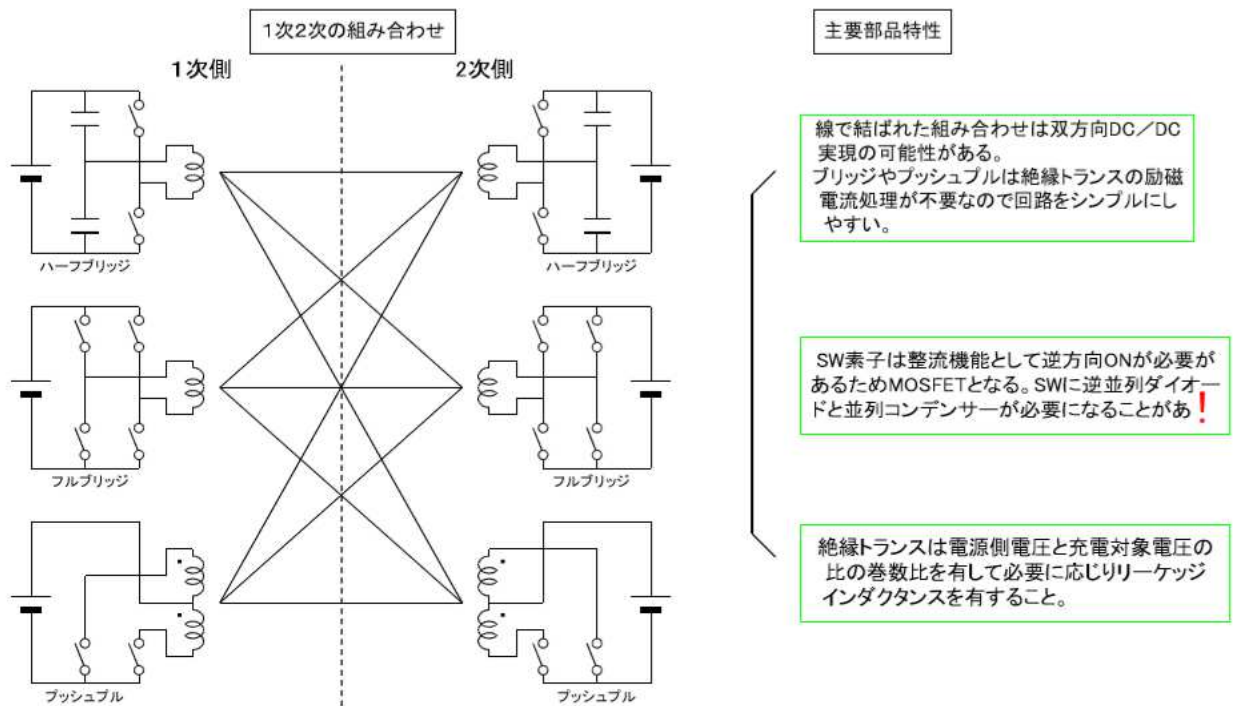


Fig2.4.5.6

○電圧変換の理論設計

双方向型電源の基本回路は電圧安定化の制御は持っていない。

AC トランスの巻き数比による電圧変換をと同様パルス電圧で替えたものと考えれば理解しやすい。

双方向型電源のトランスも巻き数比 n 、 V_{in} 、 V_{out} の関係は

1次回路電圧損失 V_{l1} 、2次回路電圧損失 V_{l2} とすれば

$$(V_{in} - V_{l1}) / (V_{out} + V_{l2}) = n \quad (245-1) \text{ となる。}$$

Fig2.4.5.1 の回路の力行の動作では

$$(320-1) / (V_{out} + 0.5) = \sqrt{(40\text{mH}/1\text{mH})} = 6.32$$

$$V_{out} = 50.5\text{V}$$

(ただし $V_{l1}=1\text{V}$ 、 $V_{l2}=0.5\text{V}$ としたとき)。

回生時は $V_{out}=50\text{V}$ と同様巻き数関係を用いれば

$$(V_{in} + 1) / (5.5 - 0.5) = 6.32$$

$$V_{in} = 315\text{V}$$

基本的な双方向型では回生された電圧は力行時の V_{in} からわずかに低い電圧が回生される。精度ある回生電圧が必要な場合は何らかの付加的な安定制御が必要となる。

○共振回路化について

双方向型では同期整流動作が要求されるため SW に逆電流処理が可能な MOSFET が使用される。

MOSFET による高電圧スイッチングでは C_{oss} のショート損失電力が大きくなり何らかの共振による損失低減が必要になる。

C_{oss} ショート対策回路構成と処理入力 V_{in} が近似している LLC の電流、電圧共振の利用のソフトスイッチングが考えられる。

LLC の基本は周波数変調の電圧制御であるが

双方向への利用に関しては LLC の電圧変換制御は必要なく電流共振のみでトランス電圧変換が巻き数比 n に固定できる LC ($L3, C9$) 直列共振の周波数を双方向スイッチング周波数と一致させた方式を採用する (制御点は LLC fig2.4.2.2. のにおける f_0 に該当する)。

この様子を fig2.4.5.7 に示す。

直列共振周波数をスイッチング周波数に一致させるということは回路の波形では電流共振の半サイクルがスイッチのオン時間にちょうどはまりソフトスイッチング波形となる。

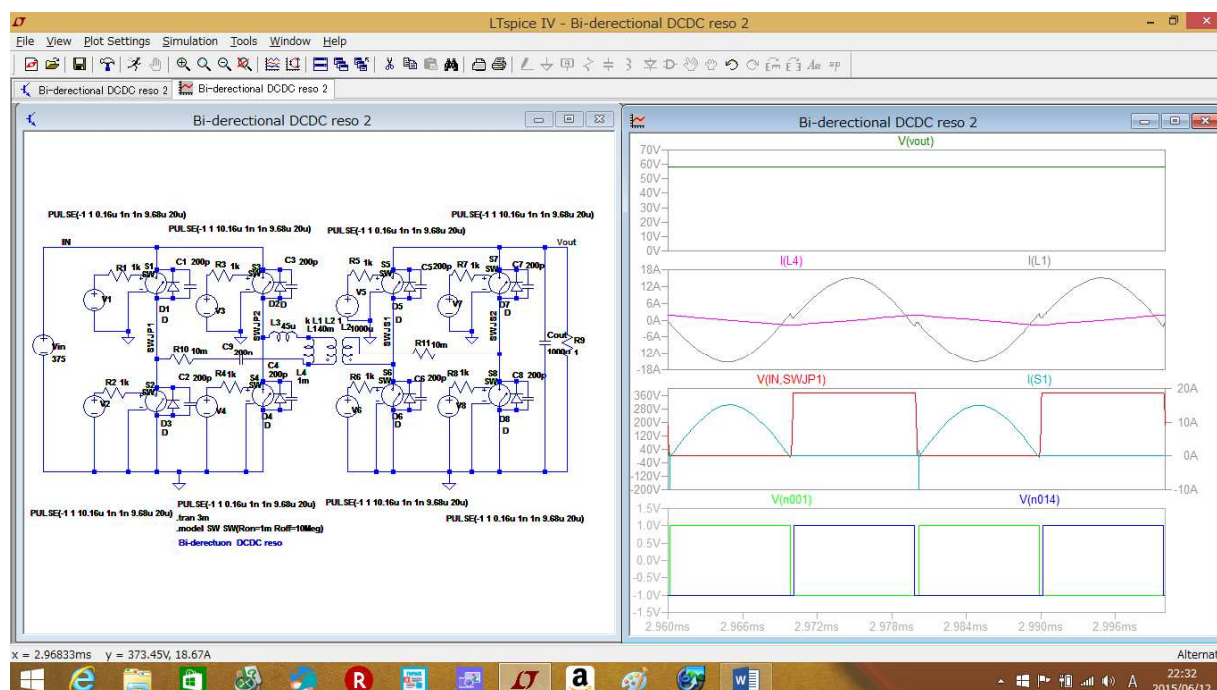


Fig2.4.5.7 (2457cct) ソフトスイッチ化

また完全なソフトスイッチには複数個の MOSFET の C_{oss} とトランスインダクタンスでの電圧共振に対応するデッドタイムが設定される必要もある。

S1 電流波形オン開始時の電流サージが (-) であることは C_{oss} のショート損失が ZVS(ソフトスイッチ)によって抑えられていることを示している。

ただし fig2.4.5.7 だけでは 2 次の MOSFET のソフト化は未確認である。

8 個の全 SW を力行、回生のあたりソフト化ば共振周波数を f_0 に定めトランスの L_{lk} 、SW 端コンデンサー、デッドタイムの設定妥協点での設計となる。

その結果一例が fi2.4.5.8(力行)と fig2.4.5.9(回生)である。

波形はともに下段から ドライブパルス、S1 電圧電流(1次側スイッチ遷移特性)、S2 電圧電流 (2次側スイッチ遷移特性)、出力側電圧である。
 電流共振部については L3、C9 の共振が力行、回生の両方向に寄与するが 2次 SW のデッドタイム期間の電圧共振部については Llk が寄与せず ZVS 条件が異なり方向ごとの設計が必要となる。Fig2.4.5.8 と fig2.4.5.9 では1次2次別にデッドタイムを調整している。

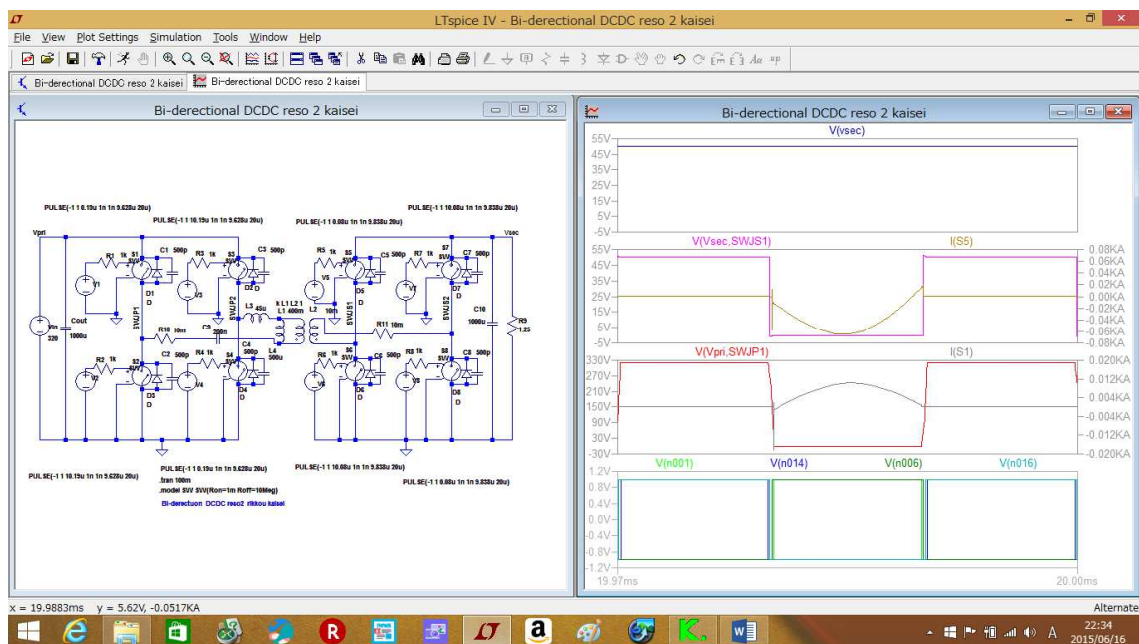


Fig2.4.5.8 (2458cct)共振適用(力行)

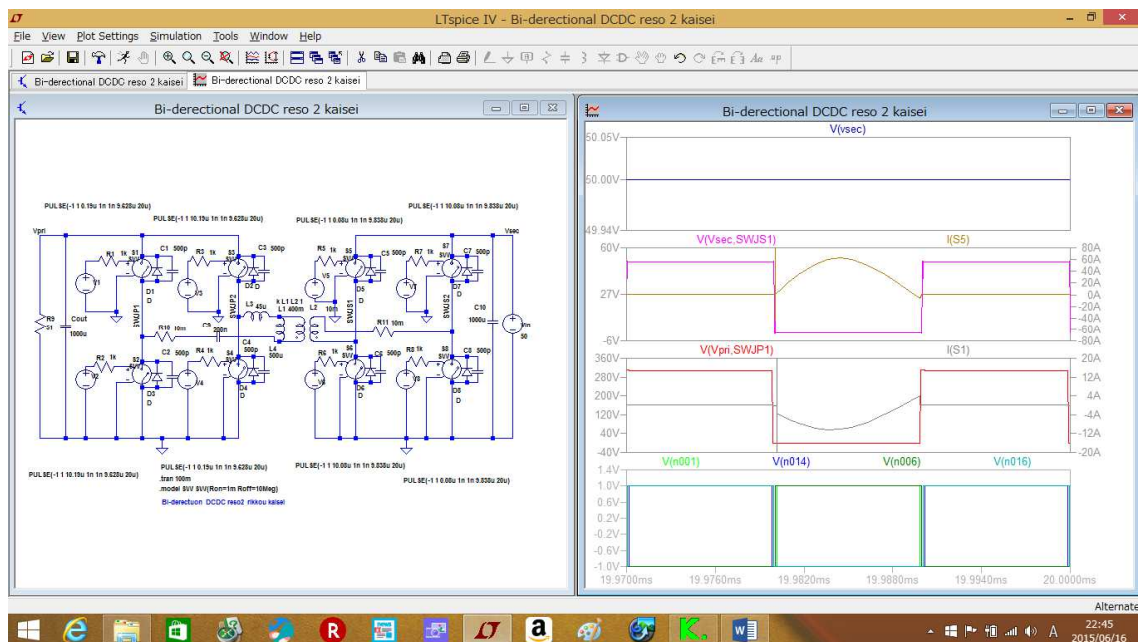


Fig2.4.5.9 (2458cct+) 共振適用(回生) +は(2458cct)の2次に電源設置

2.5 スイッチング電源 (非絶縁 ヒステリシス型)

ヒステリシス型 (bang-bang) (非絶縁 フィードフォワード)

これまで紹介したトポロジーでは負帰還制御を利用していた。負帰還制御では出力電圧を目的電圧と比較して発生する誤差電圧を用い制御部に戻すため制御に遅れや、負帰還回路周波数特性により高速な外乱に対する応答には限界がある。

マイコンなど信号処理用デバイスからはその高速信号による電力消費から、電源に対し高速な安定電圧への高速な収束が要求される。

このため高速安定化を目的とした制御にはフィードフォワード(予測制御)が併用される。フィードフォワードを用いた制御は bang-bang 制御やヒステリシス制御と呼ばれる。その一例を Buck 型 DCDC で紹介する。

○LTspice 回路図

基本電圧変換トポロジーは Buck 型の同期整流回路を用いる。フィードフォワードでは PWM のような duty のイメージがなく制御部と変換部の一体であるので電源全体の回路図で示す。Fig2.5.0.1

制御部の構成主要素子は平滑コンデンサの ESR 抵抗、ヒステリシス特性を持つコンパレータからなる。

出力電圧の負荷変動応答 (2.5W から~27.5W) を解析できる負荷回路を具備した

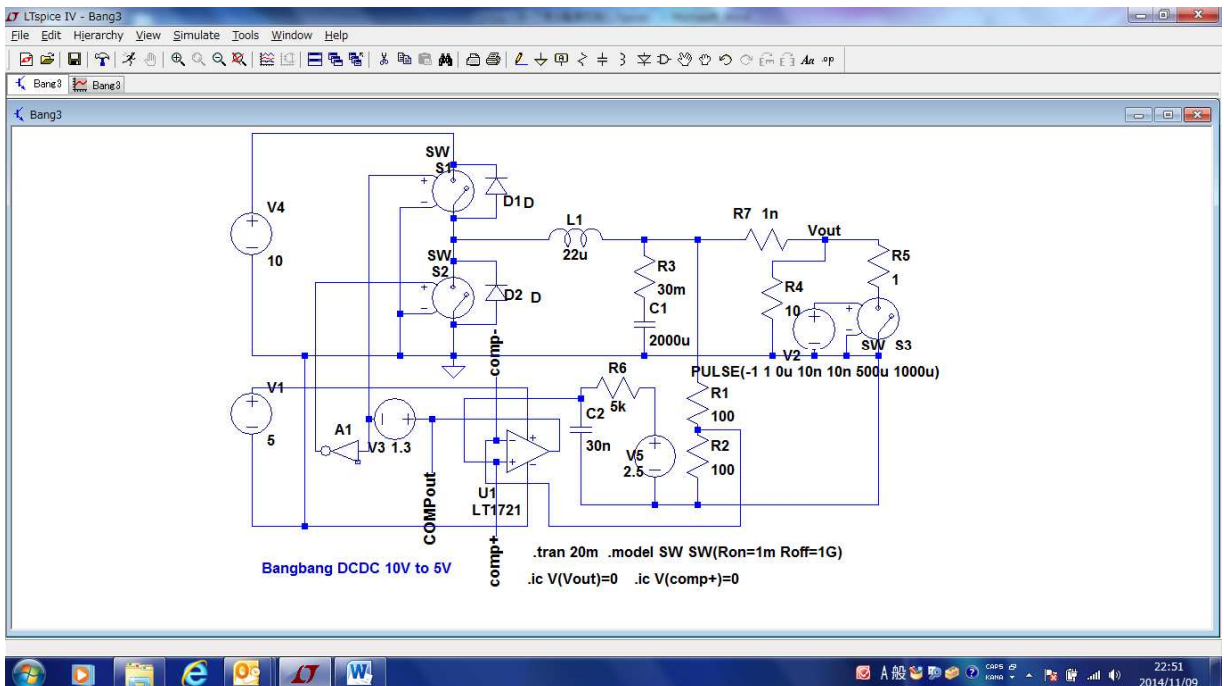


Fig2.5.0.1 (2501cct)

○回路動作説明

回路構成は基準電圧と出力電圧を用いる点は負帰還と似ているが、この二つの電圧はヒステリシスを有するコンパレータで比較される。

比較結果は2値に置き換えられ直接SWをドライブする構成である。

比較結果の極性とSWへの接続は fig2.5.02 のようになる。

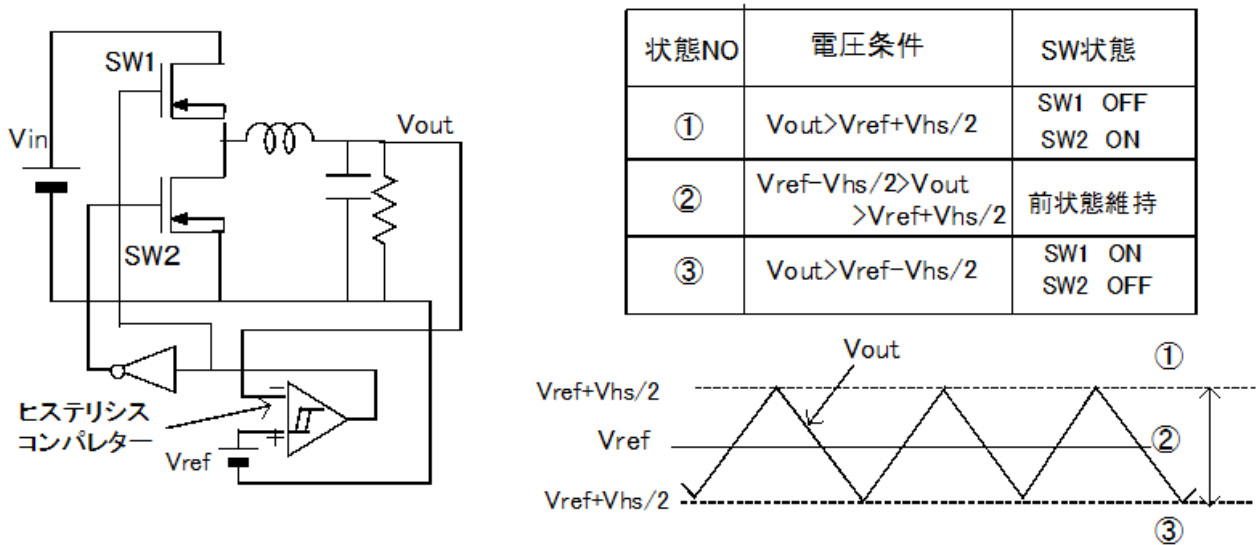


Fig2.5.0.2

この極性と接続状態で

負荷が急増して V_{out} が下がったとすると③の状態が長く継続することになり SW1 の On (T_{on} 時間) が長くなり V_{out} を上げる方向が生まれる。

負荷が急減して V_{out} が上がったとすると①の状態が長く継続することになると SW2 の On (T_{off} 時間) が長くなり V_{out} を下げる方向が生まれる。これを fig2.5.0.3 に示す。

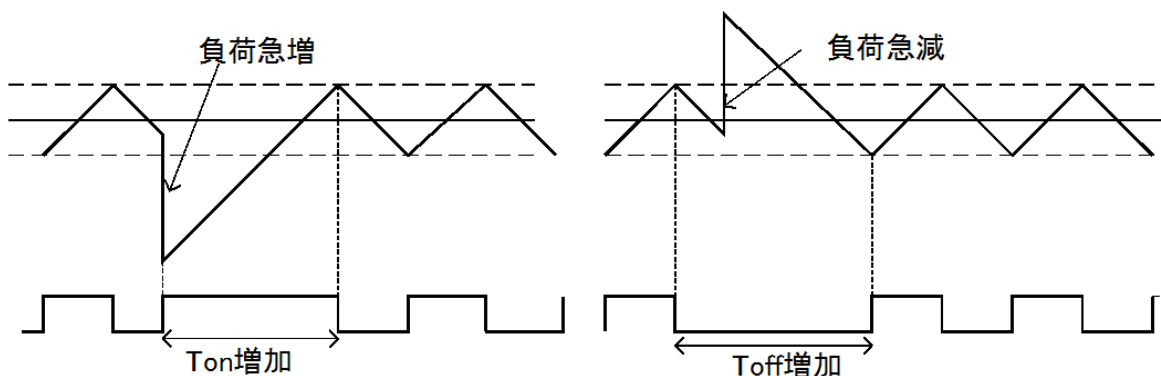


Fig2.5.0.3

PWM と異なるのは誤差増幅や PWM を通さず直接 SW on, off を変化させることである。その T_{on}, T_{off} 幅は PWM でなく単なる比較 (fig2.5.0.2 の①②③) で行うことある。

単に負荷が増えたから T_{on} を増せば V_{out} が上がるという予測、上がり過ぎれば T_{off} が増し下がるとの予測を簡単な回路に持たせただけなのです。

この簡単な構成での予測で V_{out} を制御しますので負帰還と比べ高速な V_{out} の目的値への復帰が可能となります。このような動きを予測制御、フィードフォワード制御という。また 2 値 (①③状態)の間を跳ね返る擬音から bang-bang 制御ともまた②のヒステリシス幅を利用することからヒステリシス制御ともいう。

○ 電圧変換理論と注意点

まずイメージ的な説明から始める。

Buck 型ではチョークコイルに T_{on} 、 T_{off} 期間に互いに逆傾斜の電流が平滑コンの ESR でリップル電圧となって V_{out} に重畳しています。

リップル電圧は V_{out} 中心値を挟みピークとボトムがありこのピークとボトムの幅あるいはその比例幅が前期①②③のようにヒステリシス幅値に制御されるわけである。

リップル電圧が大きいほど と コンパレーターのヒステリシスが小さいほど 比較の感度は上がりますまたスイッチング周波数は上昇します。。

したがって高速な V_{out} の目的値への応答は下の条件で向上することになります。

- チョークによる電流傾斜が大きいこと・・・チョークのインダクタンス小さいこと
- 平滑コンの ESR が大きいこと
- コンパレーターのヒステリシスが小さいこと

チョークの条件と平滑コンの条件は電源の基本条件の効率には好ましくない方向にあることは要注意であります。これらを考慮すればヒステリシスが安定して小さいコンパレーターを用いると効果があります(本項で使用している LTC1721 コンパレーターのヒステリシス幅は 3.5mV 仕様である)。

これらから理論式で fig2.5.0.1 の定常時のスイッチング周波数を導けば

$$(C_{div}) * \{(V_{in}-V_{out}) / L\} * T_{on} * Resr = V_{phys} \quad (250-1)$$

$$f = 1/T = 1 / \{T_{on} * V_{in} / (V_{in}-V_{out})\} \quad (250-2)$$

ただし fig2.5.0.1 から C_{div} : 帰還抵抗分圧比 1/2

$V_{in}-V_{out}=10-5=5$ $L=22\mu H$ $Resr=30mV$ $V_{phys}=3.5mV$ とすれば

$$f = 1/T = 1 / (T_{on} * 2) = 1 / 2.06\mu \approx 500kHz \text{ となる。}$$

また負荷変動点の周波数は fig2.5.0.2 のように短期間 T_{on} 連続か T_{off} 連続期間が発生します、極端に低いスイッチング周波数に発生とも言えます。

上条件回路で V_{out} に (-) V_x の低下が起こるとすれば

$$\{(V_{xm}V / 2 + 3.5/2) / 3.5\} * T_{on} \approx 74\mu S \quad (250-3)$$

の Ton 連続期間が発生することになる。

○LTspice での各部波形の解析

・ 定常動作

Fig2.5.0.1 の 27.5W 定常期間の時間解析を各部の波形とともに fig2.5.0.4 に示す。

波形は下からコンパレータ±入力電圧、同入力電圧の差、ESR に発生するリップル電圧、コンパレータ出力 (SW1 ドライブパルスタイミング) である。

コンパレータ入力電圧波形は fig2.5.0.3 波形に該当する (+入力が基準 V5 の 2.5V からずれているのは基準電圧とコンパレータ間の 2k にコンパレータ漏れ電圧が発生のため)。

コンパレータのスイッチ動作点は±電圧の差が (ヒステリシス電圧) / 2 = 約 3.5/2mV = 1.75mV 点である。

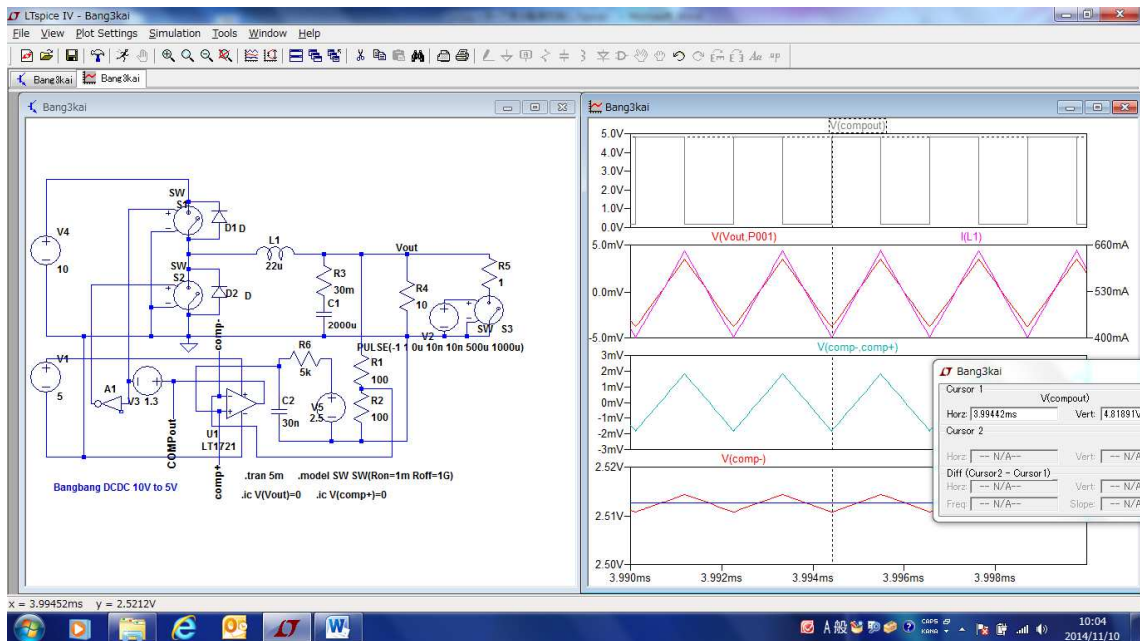


Fig2.5.0.4 (2501cct)

・ 負荷急変部のトランジェント時の動作

次に負荷変動を与えた時 (2.5W→17.5W) の変化点の波形を解析する。波形画面の中央で負荷の急増が行われている。

Fig2.5.0.6 は動作説明回路 fig2.5.0.1 の負荷急増遷移点に該当するものであるが増分が大きいため Ton パルスはオン状態が連続で対応している (チョークの設計時 連続 Ton 幅での飽和がないような確認が必要である)。

負荷急減時は急増と逆に Toff 連続で動作することになる。

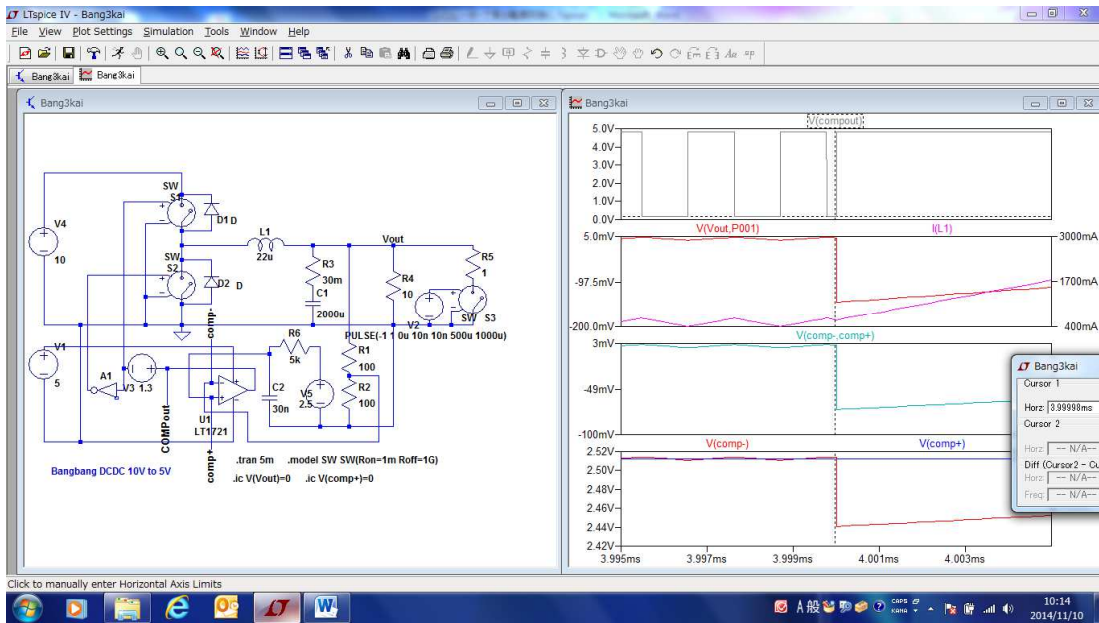


Fig2.5.0.5 (2501cct)

・ 負荷急変の全体動作

負荷急変の V_{out} 、 I_{out} に生ずる動きの広範囲解析をしたのが fig2.5.0.6 である。

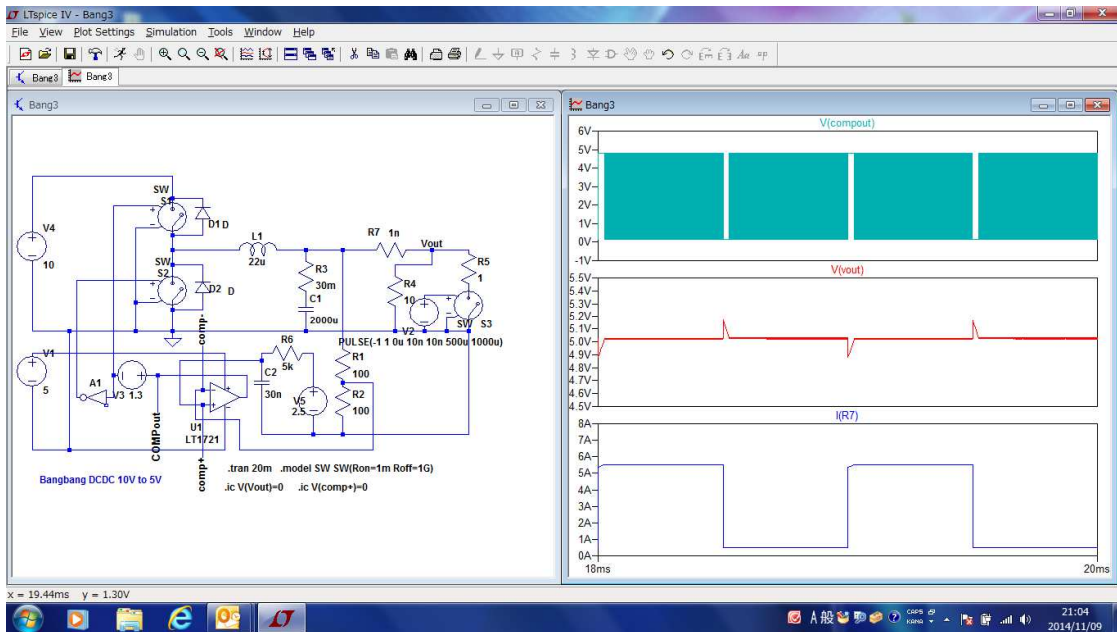


Fig2.5.0.6 (2501cct)

最下の波形は I_{out} 、中段は V_{out} 、上段は SW1 ドライブパルスである。

I_{out} は立ち上がり直後 数%の電流不足がみられるこれは V_{out} のデッピングによるものであり。対策方向は V_{out} (後述)で行う。ドライブパルスは負荷急変時 T_{on} 連続と T_{off} 連続がみられる。

本ヒステリシス制御では V_{out} 特性が評価のポイントとなる。 V_{out} 部のみ拡大したのが fig2.5.0.7 である。

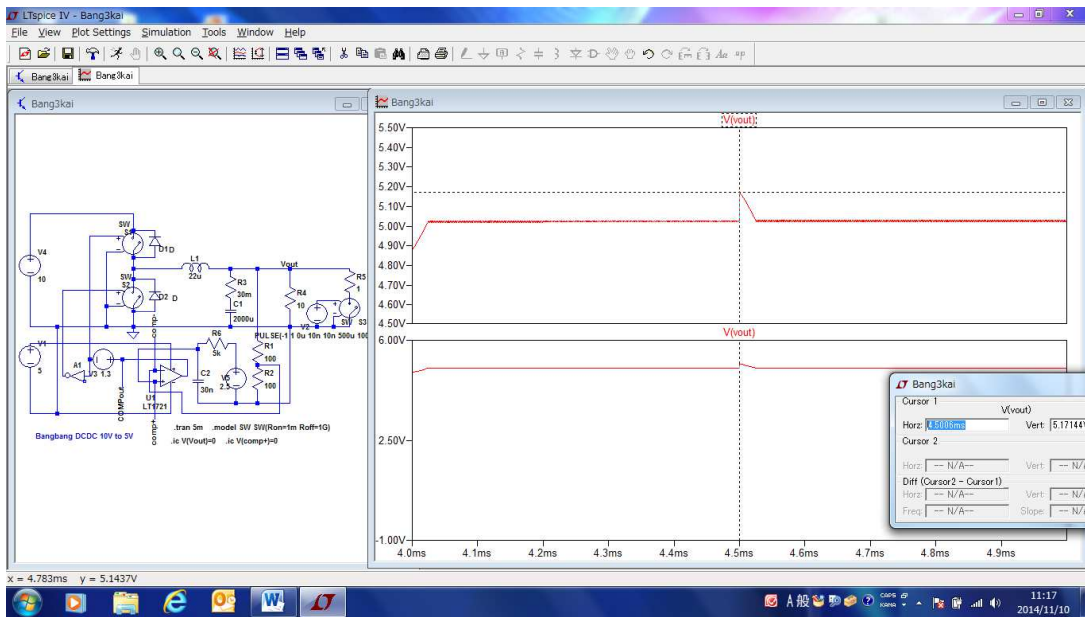


Fig2.5.0.7 (2501cct)

負荷変動トランジェント点での V_{out} 5V の跳ね上がりやデップと幅は 150mV と 25 μ S である。負帰還と比べこの変動は小さくおさえられている。

更なるで V_{out} 変化幅の縮小に関してはチョークインダクタンスや ESR の微小、ヒステリシスの微小化が必要となる。

これらの微小化は対ノイズマージン低下、スイッチング周波数の上昇によるスイッチング損失との関連があるので慎重に評価する必要がある。

Fig2.5.0.8 に チョーク 30 μ →10 μ ESR 30m→10m の変更を行った V_{out} 変動を示す。電圧変化 50mV 幅 15 μ S が解析される。

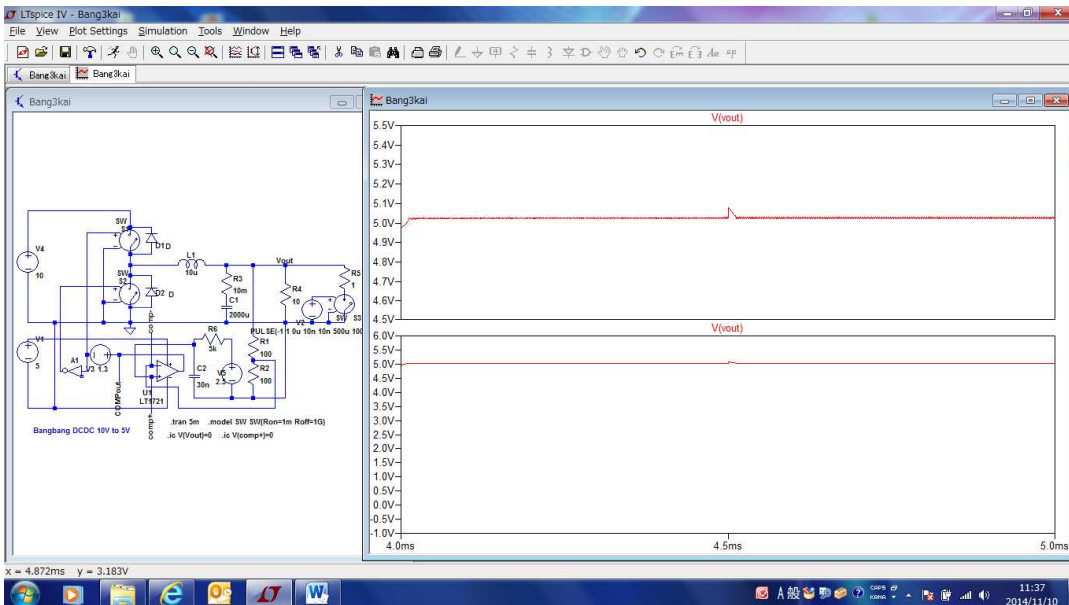


Fig2.5.0.9 (2501cct+) チョーク L,ESR 変更 +は(2501cct)の L と ESR 変更

2.6 特殊電源（非接触型、スイッチドキャパシタ）

◇2.6.1 非接触給電（絶縁 周波数共振）

○LTspice 回路図

非接触型は電源というジャンルには直接当てはまらない部分があるが電力処理(給電)という意味で注目されるものである。

Fig2.6.1.1に送電コイルと受電コイルで構成される非接触給電のトポロジーをLTspiceの回路で示す。

送電コイルと受電コイルは必要な距離を持って配置されるため結合係数が非常に小さいものとなる。

回路上は疎結合結トランスとして扱われる。

トランスとしての設計は主に巻き線線材（線間耐圧、抵抗）、形状（コイル巻き径、面積）が主点になる。多くは磁性材を使わない、空芯の場合ケースが磁気飽和は不要である。

大電力の非接触給電ではV1発生部にインバータによる50% dutyのパルスがあてられるこのインバータ部分にはスイッチング回路が用いられる。

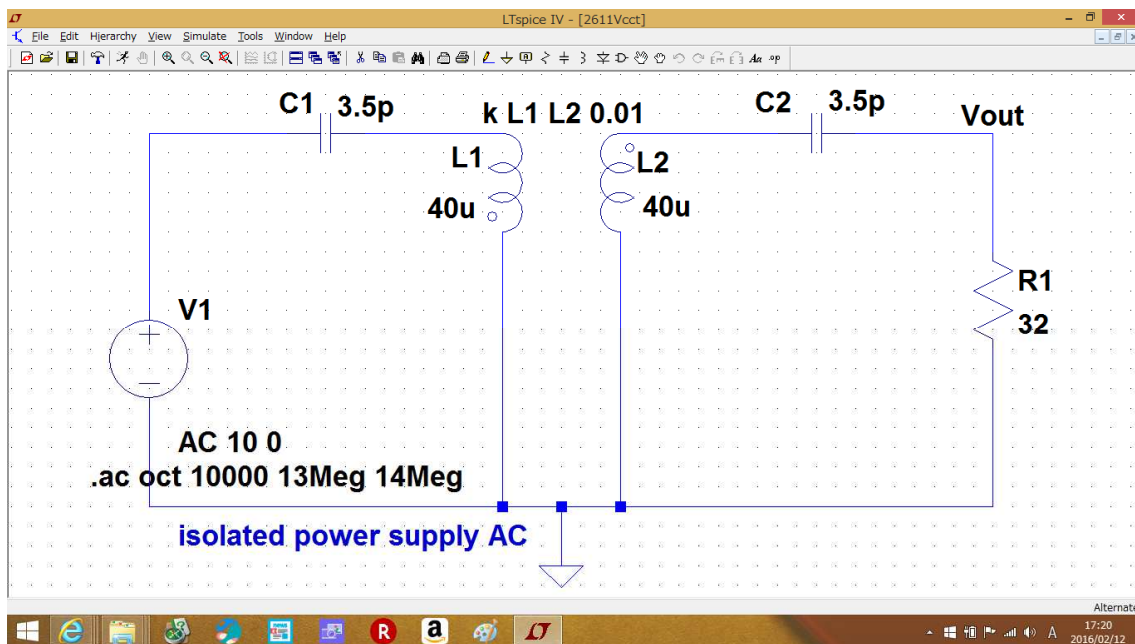


Fig2.6.1.1(2611cct)

○動作説明 と 特徴

非接触型はコイルの結合kを通して電力伝達が一般である。

コイルの結合kはコイル間の距離のによって大きく減少する他コイル形状など多くの要素が影響する。

多くの実験報告では距離 10mm で $k=0.2\sim 0.1$ 100mm で $K=0.01\sim 0.005$ 程度（直径 10cm 程度の平面コイルにて）となっている。

k とコイル間を電伝達する電力を LTspice で解析すると fig2.6.1.2 となる。

直列 L2 と R1 のカットオフ帯域内では抵抗端に受電される電圧 V_{out} は $V_{in} * k$ となる。

したがって受信電力は送電電圧が V_{in} (サイン波振幅) であれば $(k * V_{in} / 1.41)^2 / R$ となる。Fig2.6.1.1 では $k=0.1$ 、 $k=0.4$ 、 $k=0.9$ の場合 出力電圧はそれぞれ 1V、4V、9V となり受信電力は 0.015W、0.25W、1.27W となる。

このことは送受信コイル間に距離が大きい非接触給電では距離に対し急激に受電量が少なくなるを示す。

ただしこの減少は k によるものであるもので効率の低下（抵抗損）によるものではなく 送信電力=受信電力の関係で送電力が減少(送電できなくなる)のである。

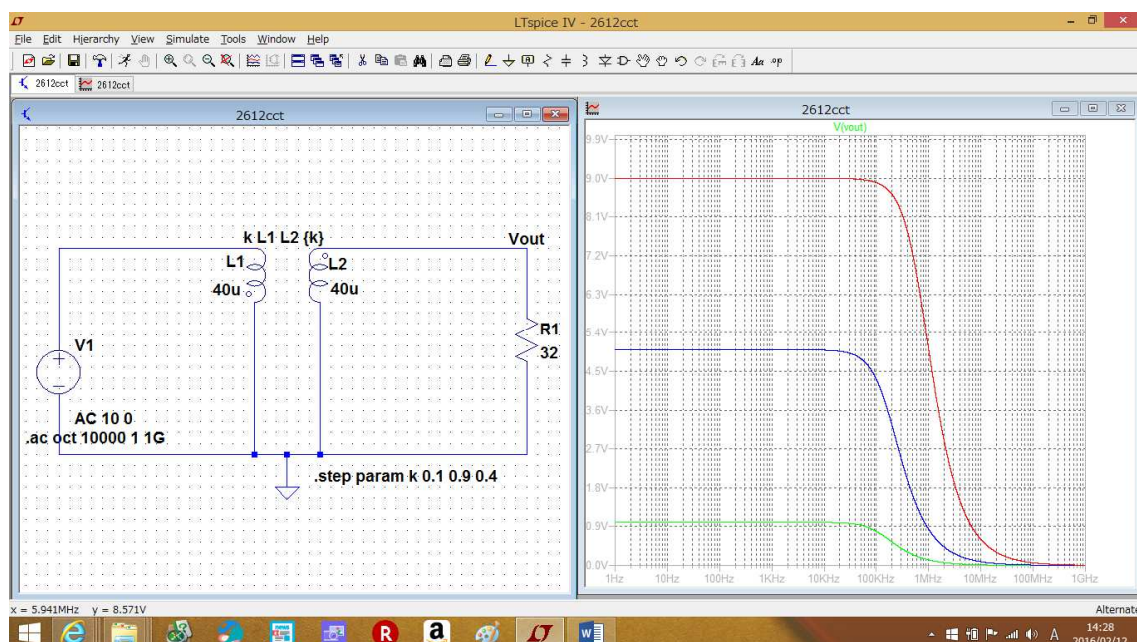


Fig2.6.1.2 (2612cct)

非接触給電では送受コイル間に適度な距離で k が低くても V_{out} に適度な電圧が得られるような工夫必要である。この構成を fig2.6.1.3 に示す。磁気結合の共振回路回路でありその主要部分である。

(磁気共鳴あるいは電磁界共鳴回路と呼ばれるものは主要部分にこの磁気結合の共振回路が用いられる)。

この磁気結合の共振回路を本項では磁気共振回路と呼び進める。

送電側はインダクタンス L_a と抵抗 R_a と共振コンデンサー C_1 で構成される直列回路を L_a と C_1 で決まる共振周波数前後の AC 電源電圧で共振させる。

受電側は L_b と R_1 C_2 の直列閉回路を構成し L_b C_2 の共振周波数を送電側の共振周波数と同じに設定する。この状態で L_b を L_a と疎結合 (低い k) させ送電側の共振で L_b C_2

の共振を起させ流れる共振電流で受電負荷 R1 に電力を得るものである。

Fig2.6.1.3 に LTspice の AC 解析 (.ac) で求めたも R1 端の電圧を示す。

k=0.01 と小さく共振なしでは V1(AC 振幅 10V) に対し Vout は V1/100 (100mV) になるが複共振では共振周波数を用いれば V1 の 10V 以上が 2 次コイル Vout 得られる。

このことは磁気共振回路トポロジーは小さな k であっても送電側 V1 電圧に近い電圧が Vout に得られ k の低いコイル間に非接触で電力供給できることを示している。

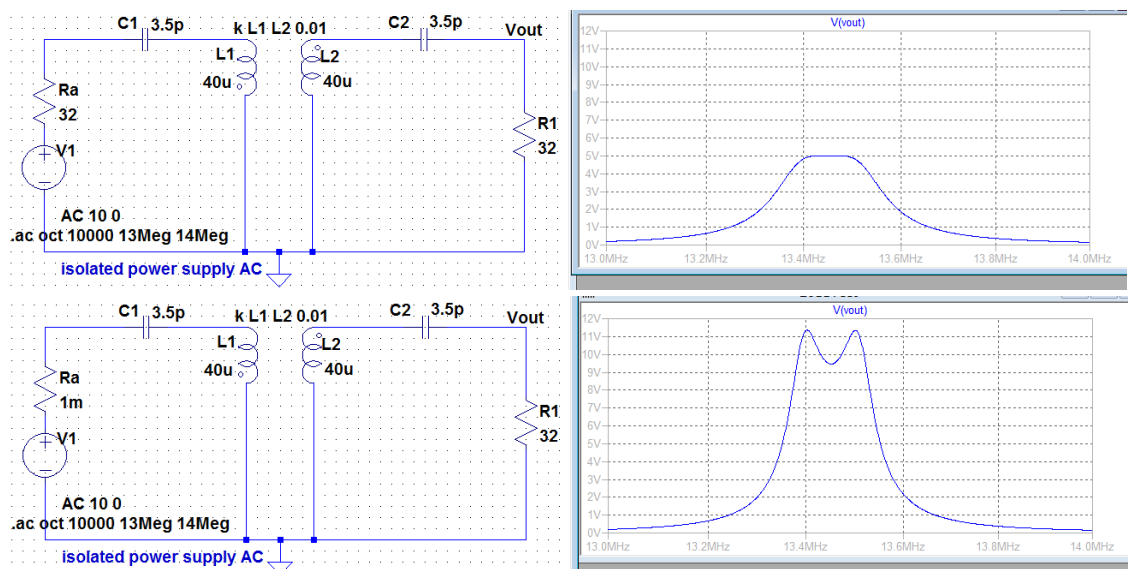


Fig2.6.1.3 (2611cct+) +は (2611cct) に Ra 追加

○電圧変換の理論設計

まづ磁気共振回路あっても基本は k が大きいことが好ましい点は変わらないので k がと
りやすい送電側コイルと受電側コイルは一般には同形状同巻き数で行われる。

Voutmax (曲線ピーク) ≒ Vin に近いが得られる条件は下記から求める。

- ・送受側が同じ共振周波数である $f_{r1} = f_{r2} = 1 / (2\pi \sqrt{C1 * La}) = 1 / (2\pi \sqrt{C2 * Lb})$ — (261-1)
- ・各送受側の回路特性 $Q1 * k$ 、 $Q2 * k$ の積 $(k^2) * Q1 * Q2 = 1$ 以上 — (261-2) (*6)

$$Q1 = (1/Ra) * \sqrt{(Lb / C2)} \quad Q2 = (1/R1) * \sqrt{(Lb / C2)} \quad \text{--- (261-3)}$$

なお送信側電源に $k * Q1$ 、 $k * Q2$ が等しい場合は出力曲線は単峰、 $k * Q1 > k * Q2$ の場
合は双峰特性となる。fig2.6.1.3 の LTspice 解析結果からは

送信側の Ra が 32 Ω にし時は Voutmax 5V(単峰)

Ra を 0 (解析 1m Ω) にした時は Voutmax ≒ 10V (上 R32 Ω から +6dB で軽い双峰)
と解析される。(実用上送信電源が零インピーダンス時は Ra = 0 で利用可能である。)

共振回路としての特性定数は $f_{r1} = f_{r2} = 1 / (2\pi \sqrt{3.5p * 40u}) = 13.5\text{Mhz}$ $k = 0.01$

$Q = (1/32) * (\sqrt{40u/3.5p}) = 103$ $K * Q = 1.03 (\approx 1) @ R32 \Omega$ 、 $K * Q = 31 @ R0$ のである。

(*6 参考資料 グリーンエレクトロニクス no.6 7-4 内山・山本氏)

なお非接触給電で電力のあるものは工業周波数 (ISM バンド) を考慮した設計が必要と
なる。Fig2.6.1.3 はすでに ISM バンド対応で素子定数を設定している。

$k * Q = 1$ ということは k が小さければ大きな Q が要求される。それは回路の中で処理される電圧が入力電圧の Q 倍の振幅で処理されることを意味する。共振回路の素子 C の耐圧コイルの端子間巻き線間耐圧には注意が必要である

波形は下段から V_{in} 、 V_{out} 、 $C1, L1$ 電圧 $C2, L2$ に発生する kV 単位の電圧波形である。

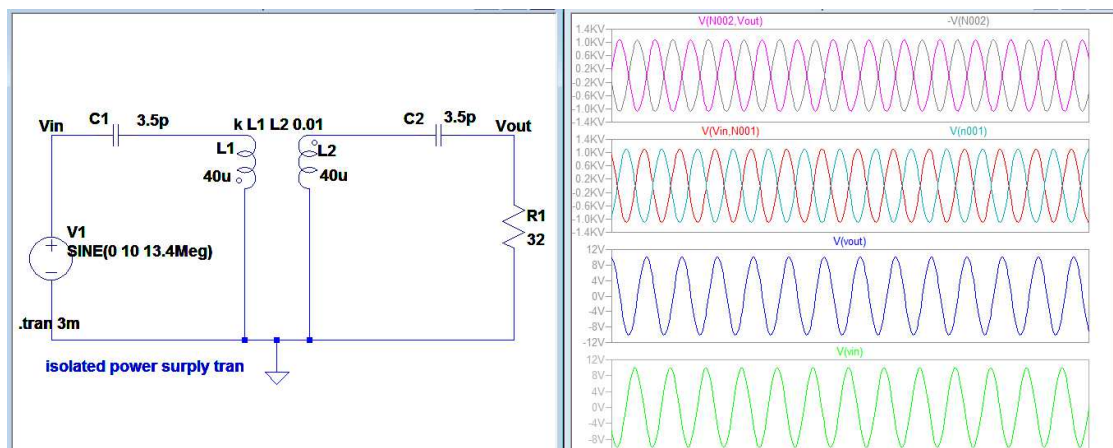


Fig2.6.1.4(2611cct+)回路内発生電圧 +は(2611cct)の 13.4Mhz .tran 解析

○実用化に向けて

・負荷変化対応への工夫

$K * Q$ を使って必要な V_{out} が得られることは上で述べたが Q 自体負荷抵抗の関数であり負荷変化時共振周波数における V_{out} の維持が困難である。

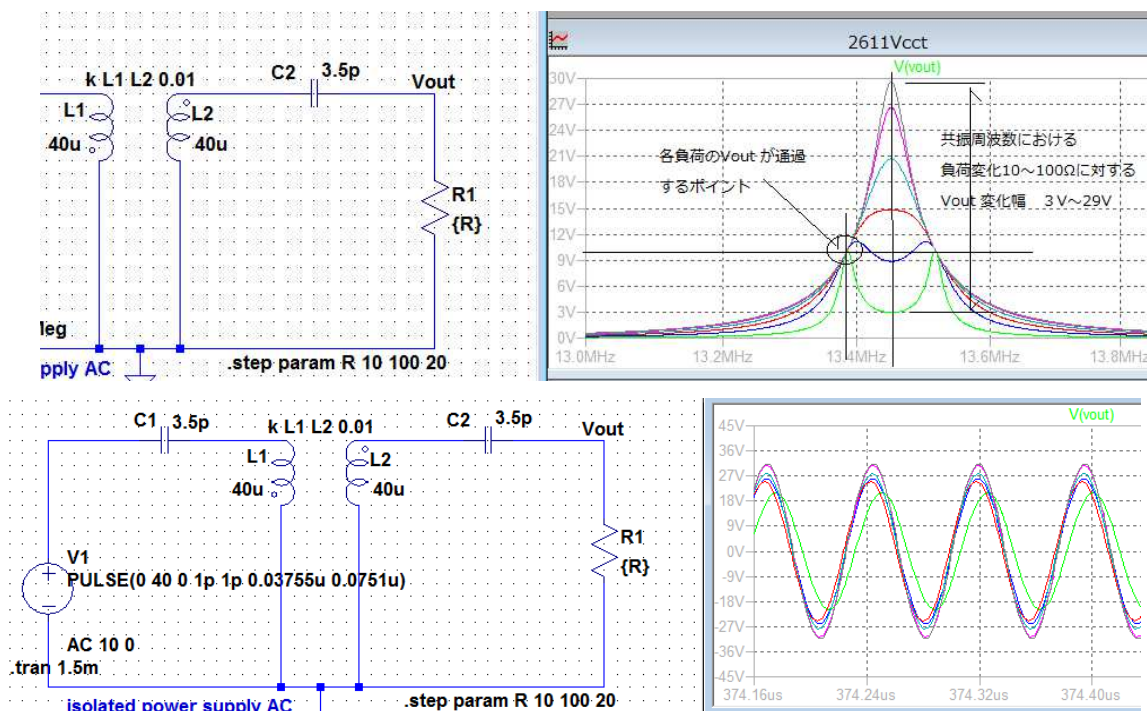


Fig2.6.1.5 (2611cct++) V_{out} 検出周波数 ++は(2611cct)を負荷変化の .ac と○部周波数での .tran

Fig2.6.1.5 の上部の波形は負荷変化による V_{out} 変化の様子、下部は V_{out} 検出周波数を共振周波数からオフセット（前負荷の V_{out} が通過するポイント）で行い、負荷変化に対し一定 V_{out} 出力を工夫した例である。

(LTspiceでは.acと.tranの解析はアルゴリズム上周波数がshiftする。Fig2.6.1.5の上段.acの○周波数は13.39Mhzであるが下段.tran解析は1/0.0751uS 13.33Mhzで解析している(shift量は約60khz))。

・送受コイル部分の絶縁化

磁気共振回路であっても給電の重要部分は送受のコイルの結合であることは変わらない。いくつかの技術報告でコイルは50cm近い直径であり高いQと高いQに伴う高圧、高耐圧を可能とするための低抵抗金属パイプを用い、コイルを最大数メートルで結合させている例が報告されている。この大型の送受コイル部を特に共鳴部分と言っているようである。

そんな場合は共鳴部分は調整や設置、感電防止観点から送信用電源や受信部の整流部分は絶縁分離する必要が生ずるはずである。

Fig2.6.1.6はこれらを前提とした電源部と送電共鳴部、受電共鳴部と整流部を絶縁トランス（カプラ）で絶縁したシステム化した例を解析したものである。

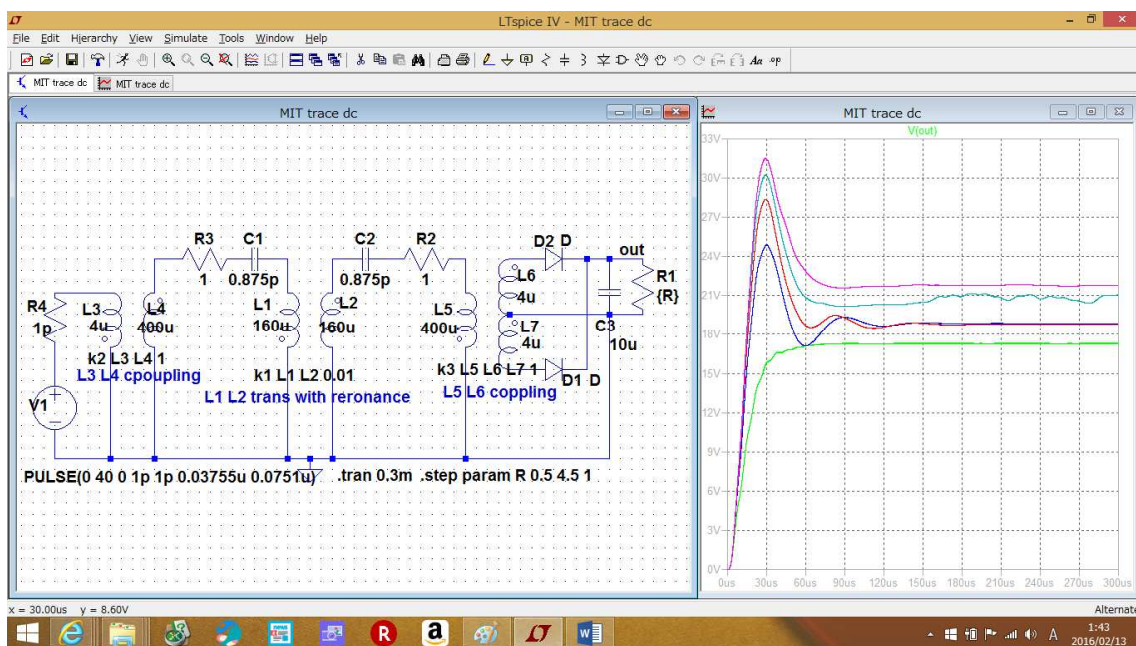


Fig2.6.1.6 (2616cct)

40Vの13.33Mhz 矩形インバート波形電源から負荷（変化幅0.5~4.5Ω）に20VDC出力を給電する例である。

実用に向けての項は実用化したものでなく例（LTspiceによる解析）である。非接触給電は今後の利用が拡大が予想されるがで中大電力クラスの給電においては課題が多い。

今後の開発が期待される分野である。

◇2.6.2 スイッチドキャパシタ

○LTspice 回路図

スイッチドキャパシタは小型機器に用いられ入力電圧 (V_{in}) からその電圧の算術的な値の出力 (V_{out}) を発生する小電力電源に用いられる。

インダクターを使用せずにスイッチと容量のみで構成できる点にスペースや価格メリットがある。

動作は2つのステートで構成されステート1では入力 V_{in} をスイッチで並列したコンデンサ (キャパシタ) またはスイッチで直列したコンデンサに充電する、ステート2でスイッチの切り替えを組み合わせ充電されたコンデンサの電圧を組み合わせ出力 V_{out} を作成するものである。

この組み合わせの例を Fig2.6.2.1 に示す。

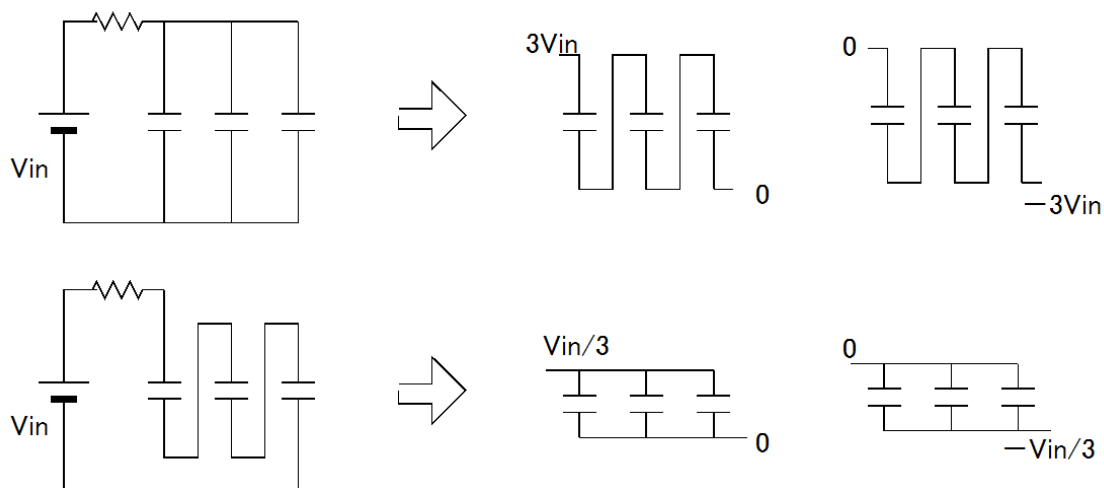


Fig2.6.2.1 (6231cct)

Fig2.6.2.1 の上段は3個コンデンサをステート1で並列に充電した後ステート2で直列にして V_{out} を得たものであり直列個数で V_{in} から $n * V_{in}$ (例では $n=3$) までの昇圧が可能になる。グラウンドの位置を選べば $-n * V_{in}$ (反転出力) も発生できる。

同図下段はステート1で直列に充電するものでステート2で $V_{in}/3$ から $-V_{in}/3$ までの降圧が発生できる。

V_{out} は上記のように n やコンデンサ直並列の工夫で細かい電圧も作れるが連続的な細かい出力 V_{out} は得られない。

連続的な電圧を安定するには電位の異なるコンデンサ間での電荷移動がありコンデンサ一間の大きなショート電流損失が発生する。このことは効率の低下をきたす。

この理由から実用化されているスイッチドキャパシタではステート1ステート2間では電荷の動き少ない電位のわずしか変わらないコンデンサ間での電荷移動と並び替え方式が利用される。

Fig2.6.2.2 に 15V から-15V の反転出力の回路変換電源を.tran 解析をして示す。

ステート 1 では V1 電圧をスイッチ S1,S3 オンでコンデンサーC1 に充電している。
 ステート 2 では C1 電圧をグラウンドを高電位端子とするコンデンサーC2 に S2,S4 をオンして充電して反転出力 $-V1$ を得ている(fig2.6.2.3の上段でn=1で反転のケースである)。

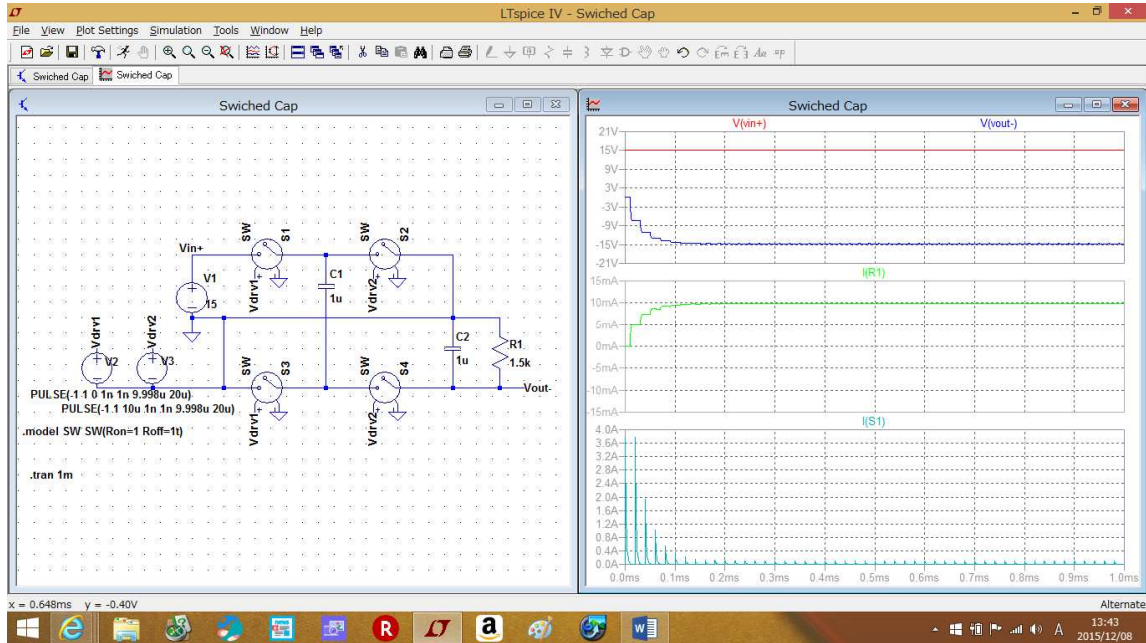


Fig2.6.2.2 (2622cct) 反転出力

次に Fig2.6.1.3に fig2.6.3.1 の下段のケースを示す(Vin 10 V から Vout 5Vに降圧)。
 ステート 1 で V1 電圧を C1 と C2 の直列にスイッチ S5,S4 をオンしてに充電、ステート 2 で S1,S2, S3 をオンさせ C1 と C2 を並列にし V1/2 電圧を出力している。

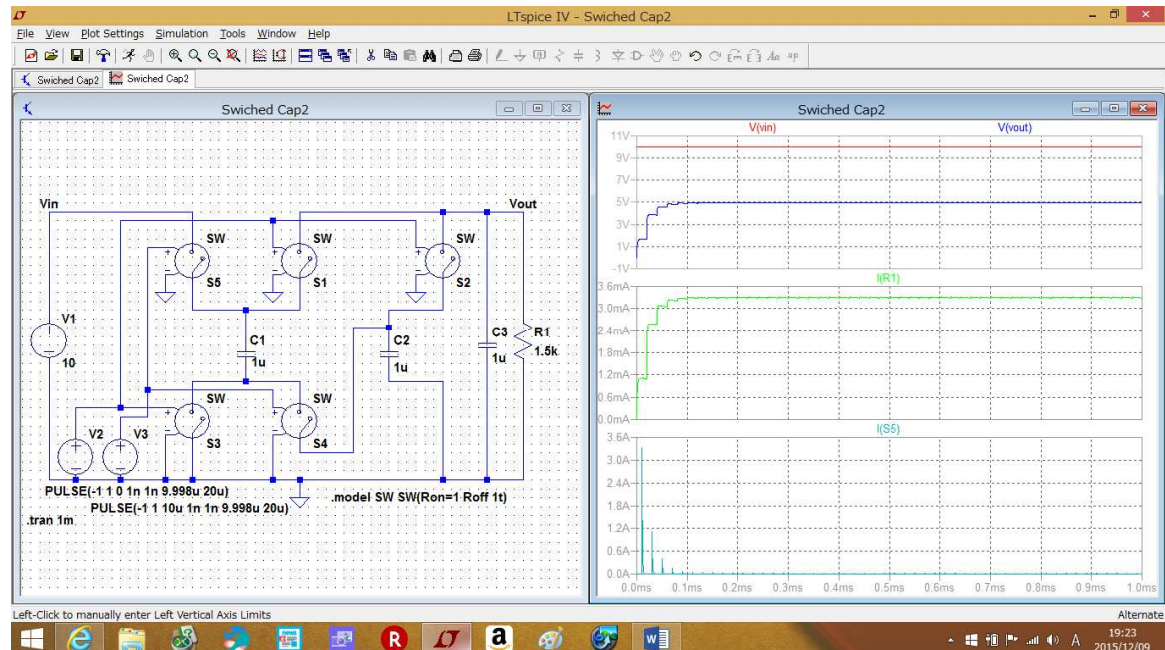


Fig2.6.2.3 (2623cct) 降圧(整数分圧)

第3章 スイッチングトランスの解析と設計

3.1 絶縁トランスの等価回路

◇3.1.1 理想トランスとスイッチングトランス

入力 n_1 に印加する交流周波数、電圧にかかわらず巻き数比率 n に従った入力電圧の $1/n$ を n_2 するトランスを理想トランスという。

理想トランスとして扱えるのは入力 n_1 のインダクタンスが無限大であり、 n_1 と n_2 の結合係数が 1 の時である。

商用 AC トランス等では簡易的に理想トランスとして扱われることがあるがこれは n_1 のインダクタンスが非常に大きく結合係数がほ 1 に近いことによる。

スイッチングトランスは小型であり有限なインダクタンスで実現するため有限なインダクタンスのトランスとして扱う必要がある。

◇3.1.2 スイッチングトランスの等価回路

・トランス 1 次 2 次の結合が密 ($K \approx 1$) な場合

スイッチングトランスの等価化回路の理解に先立ちトランス内に発生する現象を考察する。磁性体を用い意図して結合を疎に設計しない限り $k=1$ の密結合として扱う。

まずトランスが動作するにはトランスを構成する磁気回路内の磁束が変化しなければならない、この磁束変化に関連するのが励磁インダクタンス L_m であり、トランス 2 次をオープン状態で測定した n_1 (一次) インダクタンス L_p であり L_m に等しい。 L_m に流れる励磁電流による磁束密度の値が磁性材料の規格値を超さないように設計しないとトランスは磁気飽和をおこしトランスとしての動作はしなくなる。

磁気飽和のない L_m 値を設計するには L_m に流れる励磁電流のみを測定する必要がある。

トランス出力側に電流消費する負荷がある場合、1 次 (n_1) 巻き線には 2 次 (n_2) に出力される電流の $(1/n)$ が励磁電流とともに流れ励磁電流だけ測定には工夫が必要になる。

この工夫がされた等価回路として L_m と 2 次への電流用巻き線を分離した L_m 分離型として用いられる

これを fig3. 2. 1. 1 上部に L_m 分離型として示す。一方 L_m が飽和しないことが確認済みなら一体型等価回路でも支障ない同図の下部に示す。

Fig3. 1. 2. 2 に分離型と一体型を同時に LTspice で解析したものを波形とともに示す。

解析波形は下段から一体型入力電圧、分離型入力電圧、一体型 1 次電流、分離型 1 次電流 (L_m と理想 1 次側分離にて)、一体型出力電圧、分離型出力電圧である。

分離型での L_m 電流（空色）と伝送分1次電流（ピンク）が一体型では n_1 に和電流（赤）で解析されている。分離型は伝送電流と2次出力電圧との波形相関がみられるが一体型では一次和電流と2次出力との相関は見づらいので注意を要する。

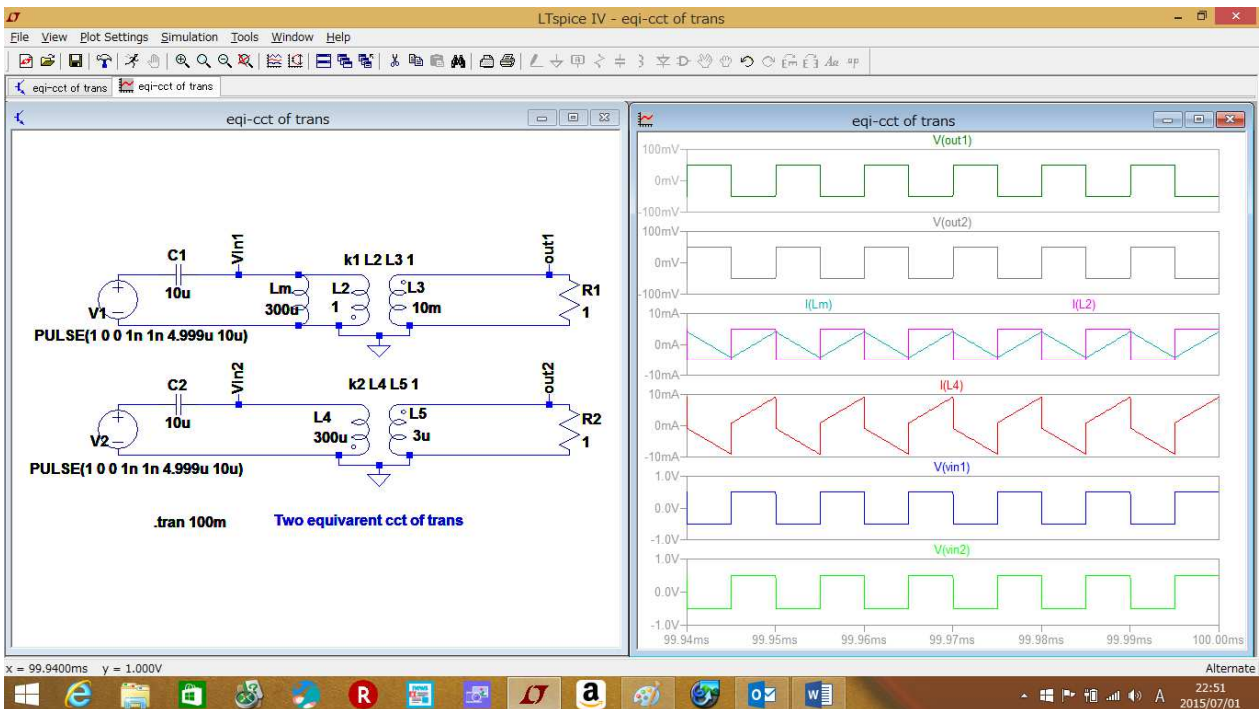
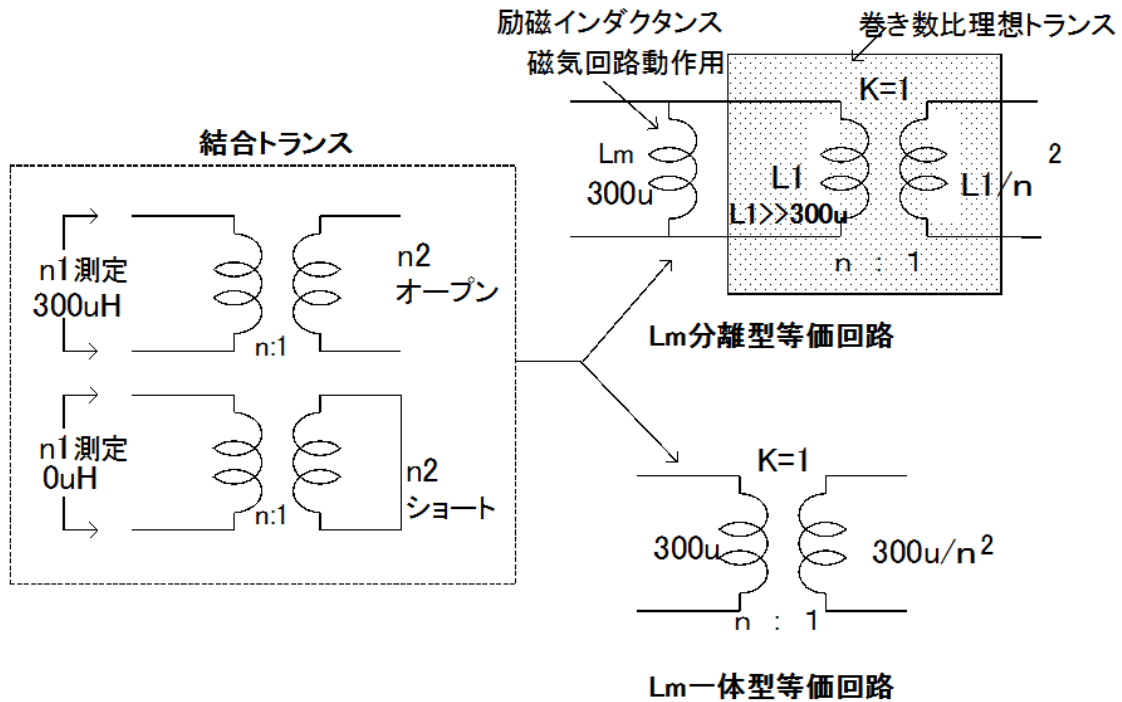


Fig3.1.2.2 (3122cct)

・トランス 1 次 2 次の結合が疎 ($K \approx 0.85 \sim 0.95$) な場合

共振を利用した電源設計するとき、意図してトランスの結合を下げリーケッジインダクタンスを有するトランスを用いることがある。

紹介済みのトポロジーではアクテブクランプ型、非対称ハーフブリッジ、LLC 型などである。これらに対応するトランスの等価化回路を Fig3.1.2.3 に示す。

疎結合トランスの結合係数を $k=0.913$ と置けば L 型等価変換から

$$L_{lk} = (1 - k^2) * L_p$$

$$L_m = k^2 * L_p$$

$$k=0.913 \quad L_p=300\mu\text{H} \quad \text{とすると} \quad L_{lk}=50\mu \quad L_m=250\mu \quad \text{となる。}$$

等価回路変換から前項密結合と比べ L_{lk} が L_m に直列に入る形になる。

L_{lk} が大きくなれば 2 次側に伝達される電圧は L_m/L_p 比率で低下することになるがこの等価回路で回路構成すればそれらの点も自動的に解析結果に入ることになる。

トランス設計に当たっては疎結合であっても L_m による磁束密度がトランス磁気飽和を起さない値に設計されているか基本条件となる。そのため共振型であっても L_m 分離型の等価回路で L_m (励磁)電流を確認しながらトランス設計されることをお薦めする。

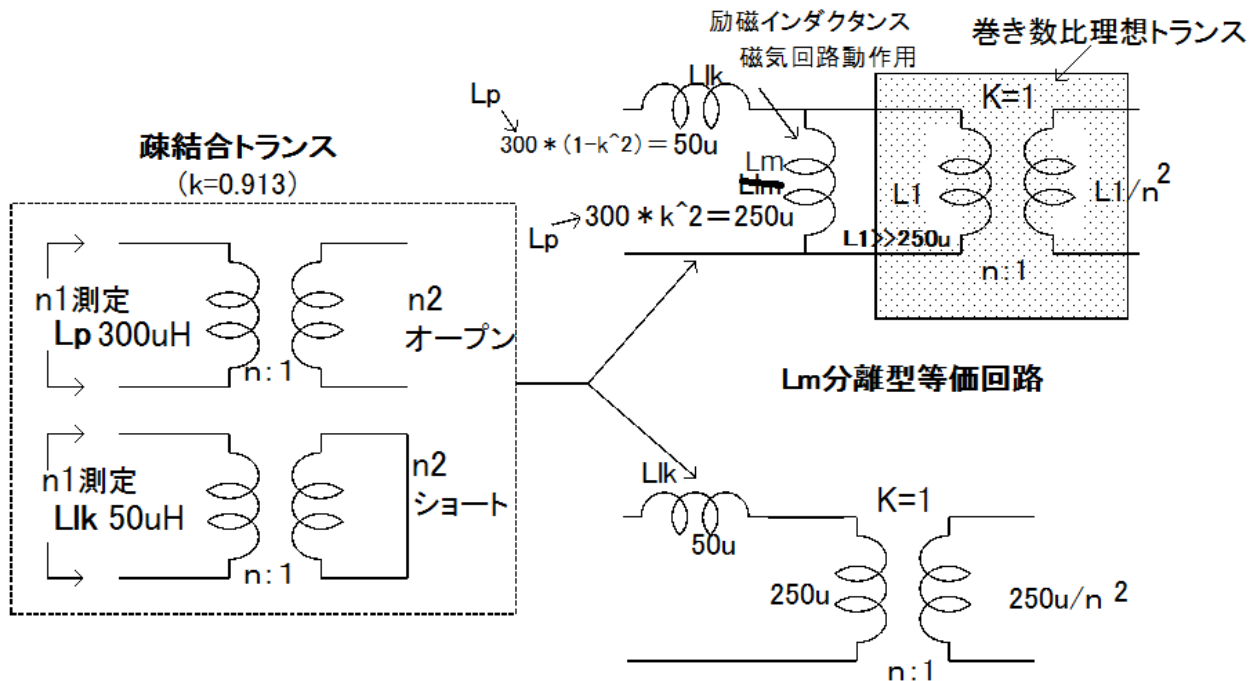


Fig3.1.2.3 疎結合トランス等価回路

3.2 トポロジー別トランス設計

絶縁トランス型スイッチング電源トポロジーにはトランスエネルギーの伝達方式の違いにより ON-ON と ON-OFF とが方式がある。

この方式間では電力の伝達法が異なるためトランス磁気設計が全く異なる。

この両方式のトランスの設計を各方式の代表のフォワード型 (ON-ON) とフライバック型 (ON-OFF) で考察する。また疎結合トランスの設計も LLC 型の例で考察する。

◇3.2.1 フォワード接続 (ON-N) のトランス波形と設計

fig3.2.1.1 はフォワード回路(回路図の上段)のトランス周辺の動作波形を示したものである。

波形は下段から スイッチ電流、トランス Lm1 電流、トランス L2 電流、2次 D1 電流、出力電圧である。波形は Lm 値 2 水準 緑が 3mH と青が 30mH に対するものである(一色は緑、青が重なっている)。

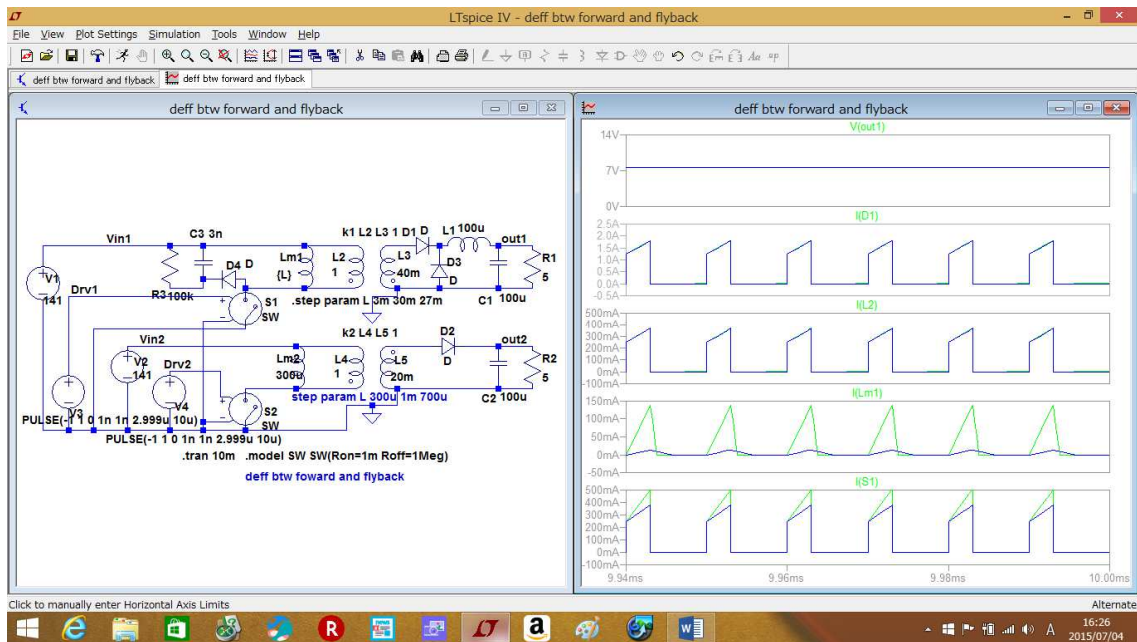


Fig3.2.1.1 (3211cct)

ON-ON のトランス要点

- ・ スイッチ電流の 2 次出力分をスイッチタイミングで 2 次に放出する。
(これはトランス入出力極性フォワード接続で自動に得られ、Lm の値には関係ない)。
- ・ 1 次電圧から 2 次に放出時の電圧を巻き数比に降圧する。
- ・ 上記を得るため Lm の励磁電流が磁性体の磁気飽和を起さない値に留める。

以上から ON-ON トランスの設計は励磁電流をトランス磁気飽和内に設計、同時に仕様の出力電圧にあった適度な巻き数比率に降圧することである。

以上をベースにフォワード型 (仕様入力 100V-200VDC 出力 5V50W fsw=100k Tonmax=4uS) のトランス設計例を下に示す。

・ N1 の設計 : 磁気飽和を起さない N1 は次式で求められる。

$$N1 \geq \{Vinmax * Tonmax / (Bm * Ae)\} * 10^9 \quad \text{--- (321-1)}$$

使用磁性体を PC47 材 EER25.5 とすると

Bm 磁性材最大磁束密度: 単位 250mT

Ae 磁気回路実効断面積: 単位 44.8mm² AL: 1920nH/n²

設計仕様: Vinmax200V、Tonmax4uS (fsw100khz dutymax0.4) 条件を(321-1)にいれ

N1 ≥ 71 (turn) が得られる。71tでの Lm (Lp) 値は 1920nH * 71²

AL=9.7mH。(フォワード型のトランス Lm は通常 mH オーダーになる)。

また N1 は(321-1)から Bm が一定であれば Ae(磁路面積)と反比例なる。

これは磁気回路の体積と反比例ではないので設計次第でトランス小型化の可能性もある。

・ N2 の設計 : N2 の設計は巻き数比率から 2 次側整流回路で設計 Vout 仕様が満たせるトランス 2 次電圧を得る設計となる。

$$N2 \geq N1 * (Vout + Vf + Vr) / (Vinmin * dutymax) \quad \text{--- (321-2)} \quad Vr: \text{抵抗ドロップ}$$

Vinmin 100V、duty_{max}0.4、Vf+Vr 0.9V、N1=72t>71t から

N2 ≥ 10.6t が得られる。

この仕様設計結果 (N1=72t、N2=11t は L1:L2 インダクタンス比で)に電源トポロジー forward 項の fig2.3.4.1 の定数を変更して Vin100-200V 2 水準で動作させた動作波形が fig3.2.1.2 である。波形下段から SW ドライブ電圧、スイッチ電流、Lm 電流、L1 電流、出力電圧である。Lm 電流(励磁電流値)はピーク 40mA と小さく抑えられている。

この 40mA は (321-1) の Vinmax * Tonmax = ILmpeak * Lm = 40mA * 9.7mH と変換すれば B の逆算は 120mT で PC47 材 Bm 250mT の 50% で磁気飽和には余裕が十分ある。

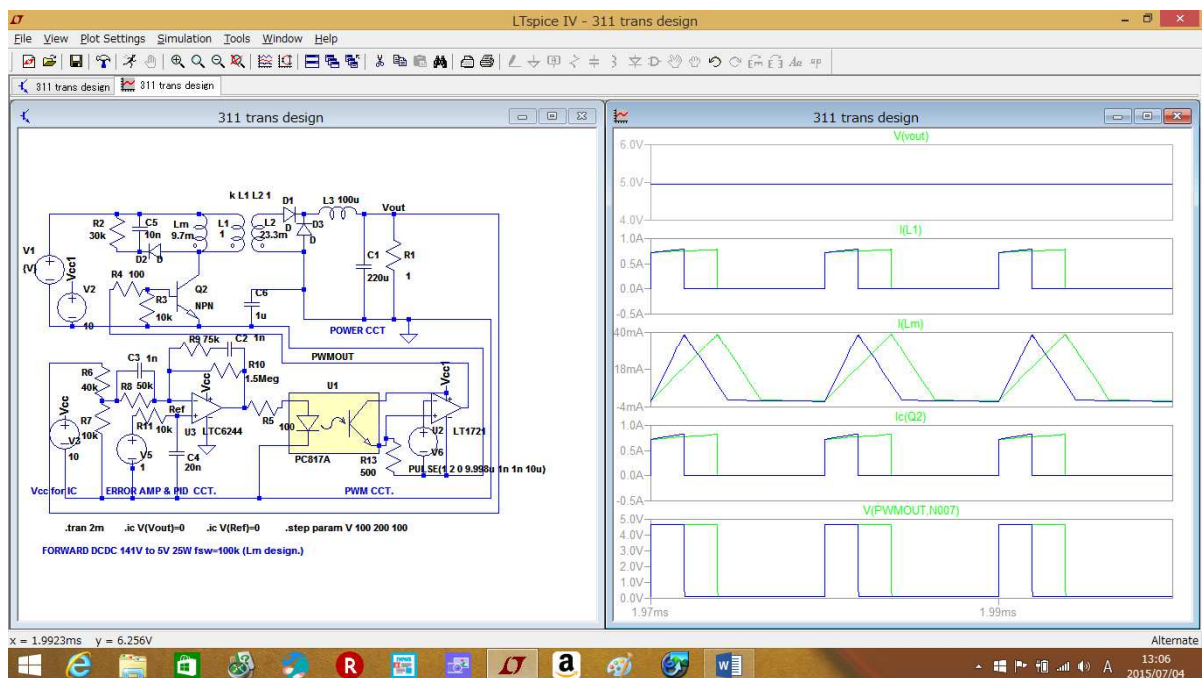


Fig3.2.1.2 (3212cct)

◇3.2.2 フライバック接続 (ON-OFF) のトランス波形と設計

Fig3.2.2.1 は回路図下段フライバック部を動作解析し動作波形を示したものである。

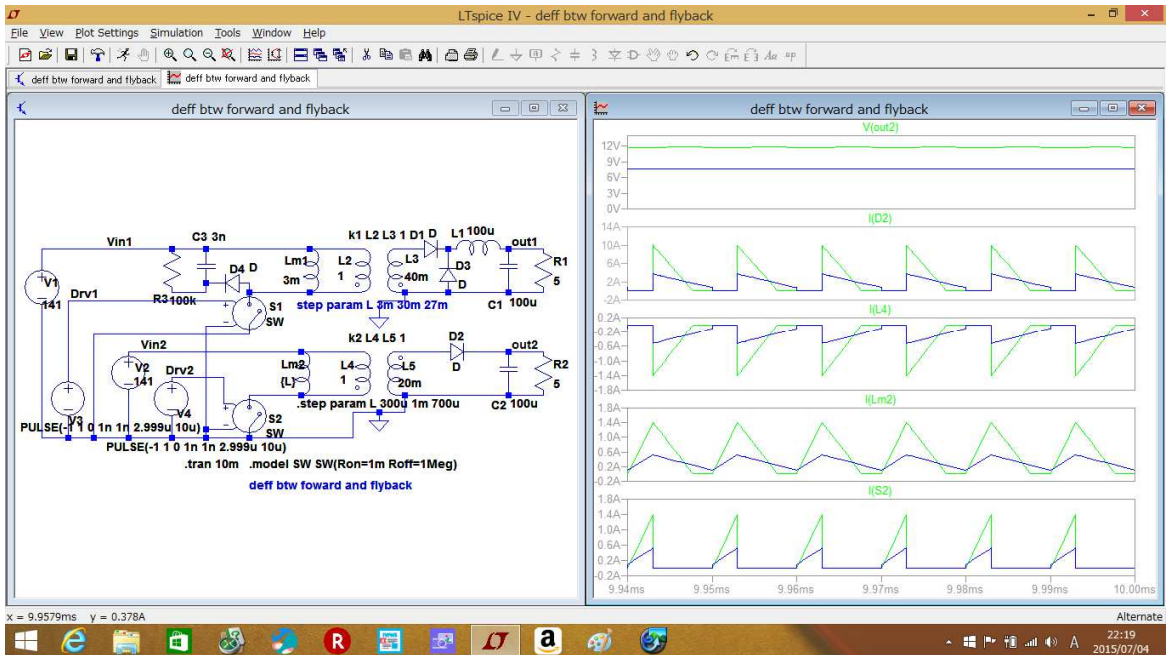


Fig3.2.2.1 (3211cct)

波形は下段から スイッチ電流、トランス Lm2 電流、トランス L4 電流、2次 D2 電流、出力電圧である。波形は緑が Lm 300uH、青 Lm 1mH に対応(1色は緑、青重なり)する。ON-OFF の要点は

- ・スイッチ電流と同タイミングでは 2 次に伝達されず、Toff タイミング伝達される。
- ・Toffni 伝達される電流は Ton 時間に 1 次電流 (Lm 励磁電流) をトランス内に蓄積し続けられたもので出力電力になるので Lm の値は出力電力に制約される。
- ・トランス飽和のない N1 の設計と N1 で Lm 制約を満たす磁気回路設計が必要。
- ・Vout の 2 次側電圧を適度に得やすい巻き数比率の設計が必要になる。

以上から設計要素を整理すれば Lm 設計 (出力設計)、N1 設計、磁気回路設計、巻き数比設計 が必要になり ON-ON の設計より多くの設計要素が加わる。

以上をベースにフライバック型 (仕様入力 100V-200VDC 出力 5V20W fsw=100k Tonmax=5uS) のトランス設計例の例を下に示す。

・Lm の設計 : on 期間に Lm に蓄積され off 期間に 2 次側に放出される電力に見合う Lm のインダクタンスを求める。トランスフェライトは PC47 材 EER25.5 とする。

トランス 1 次に入力する電力が定格出力電力 (効率考慮の) より大きいという条件から $W_{out}/\text{eff} \leq V_{inmin} * (I_{Lmpeak}/2) * \text{duty}_{max}$ (322-1)

$$I_{Lmpeak} = (V_{inmin} * \text{Ton}_{max}) / L_m \quad (322-2)$$

$$\text{上 2 式から } L_m \leq (\text{Ton}_{max} * V_{inmin}^2 * \text{maxduty}) / (2 * (W_{out}/\text{eff})) \quad (322-3)$$

Wout 20W Vinmin 100V、Tonmax 5uS、eff(効率)0.9 を入れ Lm を解けば

$L_m \leq 563\mu\text{H}$ $L_m = 560\mu\text{H}$ となる。

・ N1 の設計 : 使用のフェライトトランスが磁気飽和しない N1 の巻き数を求める。

$$N1 \geq \{V_{inmax} * T_{onmax} / (B_{mmax} * A_e)\} * 10^9 \quad (322-4) \quad \text{on-on の (321-1) に同じ}$$

$V_{inmax} \ 200\text{V}$ 、 $T_{onmax} \ 5\mu\text{S}$ から

$$N1 \geq 88.8 \quad N1 = 89t$$

この N1 89t から EER25.5 のゼロギャップ L 値 L_m を求めれば ($AL120\text{nH}/n^2$) から 15.2mH となり設計 L_m 値 $560\mu\text{H}$ は実現できません。

・ 磁気回路設計 : 89t で $560\mu\text{H}$ を実現するにはコア材に $560\mu\text{H}$ になるまでギャップを入れ $560\mu\text{H}$ を実現する。(フライバックの L_m は数百 μH オーダーが多く見受けられます)。

ギャップを入れることは磁気回路磁路長を伸ばすことであり、N1 決定の基で固定の A_e (実効断面積)に磁路長を伸ばし実質の磁気回路体積を拡大することになります。

これは ON-OFF の T_{on} 期間にエネルギーを蓄積するには大きなコア体積を必要とする理由からある。

磁性体だけで磁気回路体積の増加はコスト、小型化に限界があり、EMI や発熱による弊害と妥協してもエアーギャップでの磁路長拡大で実質体積を拡大するわけです。

・ N2 の設計 : N2 の設計は巻き数比率から 2 次 V_{out} 適合する低圧を求めるものである。

$$N2 \geq N1 * (V_{out} + V_f + V_r) / \{V_{inmin} * \text{dutymax} / (1 - \text{dutymax})\} \quad (321-5)$$

$V_{inmin} \ 100\text{V}$ 、 $\text{dutymax} \ 0.5$ 、 $V_f + V_r \ 0.9\text{V}$ 条件から

$$N2 \geq 5.25 \quad N2 = 6t \text{ が得られる。}$$

この L_m 、N1、N2 設計結果を flyback 項の fig2.3.6.5 の定数を変更して $V_{in}100$ 、 200V 2 水準で動作させた動作波形が fig3.2.2.2 である。

図の N1、N2 は数字でなく L1 と L2 のインダクタンス比率で反映しています(この反映は前記のフォワードでも同様である)。

波形下段からスイッチ電流、 L_m 電流、L1 電流、2 次ダイオード電流、出力電圧である。 L_m 電流はピーク 900mA ピークと出力に見合った値で励磁電流としては forward の 40mA とくらべて対照的である。 900mA でトランス飽和はないのか (321-4)式で確認すれば

$$N1 = \{V_{inmax} * T_{onmax} / (B_{mmax} * A_e)\} * 10^9 \quad (321-4)$$

$$\text{変形して } B = \{V_{inmax} * T_{onmax} / (N1 * A_e)\} * 10^9 \quad (321-4')$$

これに $V_{inmax} * T_{onmax} = L_{mpeak} * L_m = 900\text{mA} * 560\mu\text{H}$ $N1 = 89$ $A_e = 44.8\text{mm}^2$

を当てはめれば $B = 126\text{mT}$ となり

PC47 材の $B_m250\text{mT}$ の 50% でトランス飽和へのマージンは充分である。

V_{out} が低くめに制御されている点については帰還回路のゲイン設定が不十分である。

(ゲインでの V_{out} 調整は後述 制御設計項 を用いて読者諸君で改良されたい)。

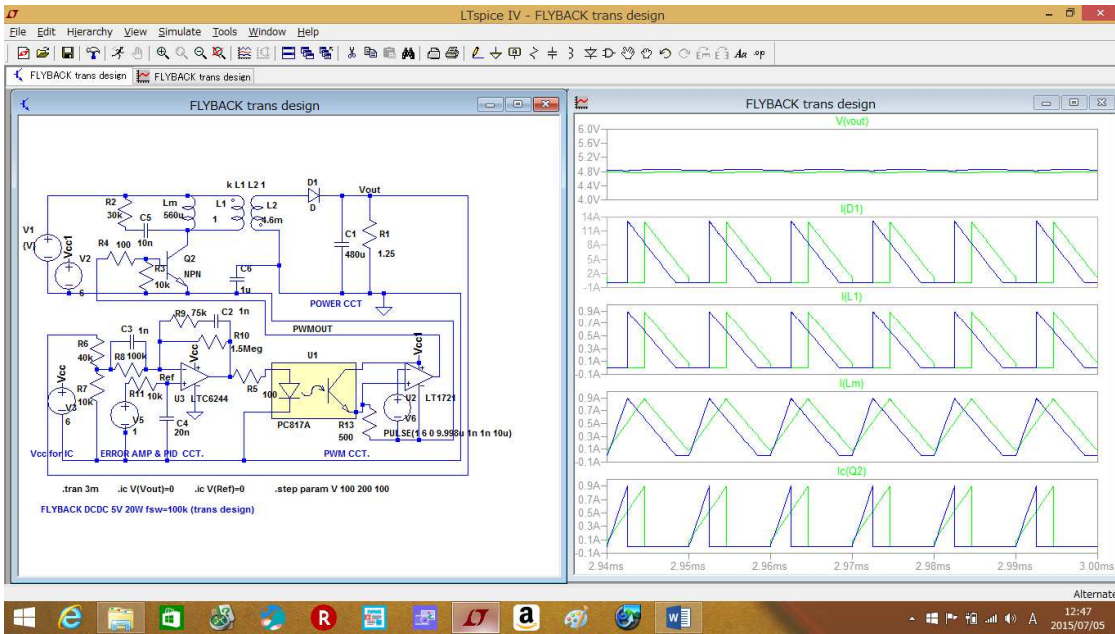


Fig3.2.2.2 (3222cct)

◇3.2.3 LLC 型適用疎結合トランスの設計

Fig3.2.3.1はFig3.2.1.3.のLm一体型の疎結合トランス等価回路で表現されたトランスで動作させたLLC型電源である。電源目標仕様 390V入力 24V100W としたものであり設計結果解析用に制御周波数を指定してVoutを得るようしてある。

回路図の右半面に本電源の周波数対Vout (LT解析波形から読み取り)をExcelでグラフ化したものである。

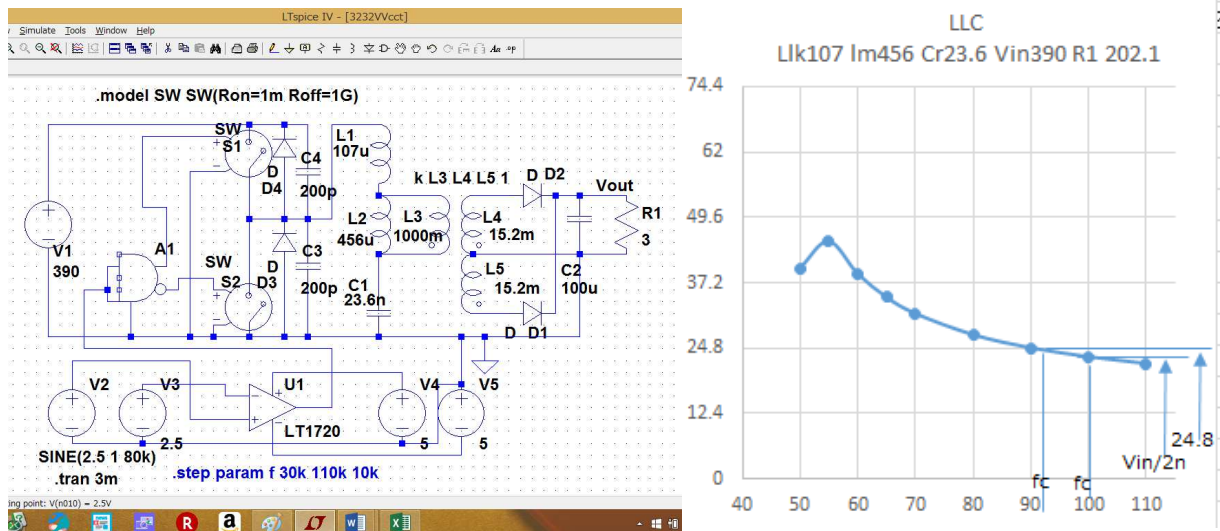


fig3.2.3.1 (3231cct)

LLC トランスを設計に当たり一般スイッチング回路で常用する T_{on} や $duty$ と $I=V \cdot T/L$ などのパルス概念から離れなければならない。
むしろ純アナログ的な共振回路の特性インピーダンス Z や 共振回路の Q 周波数

という概念に取り組む必要がある。設計に進むにあたりアナログ的で設計検証が高速で可能な (fig3.2.3.1 を単純化した) LTspice の.ac 解析モデルを fig3.2.3.2 に示す。

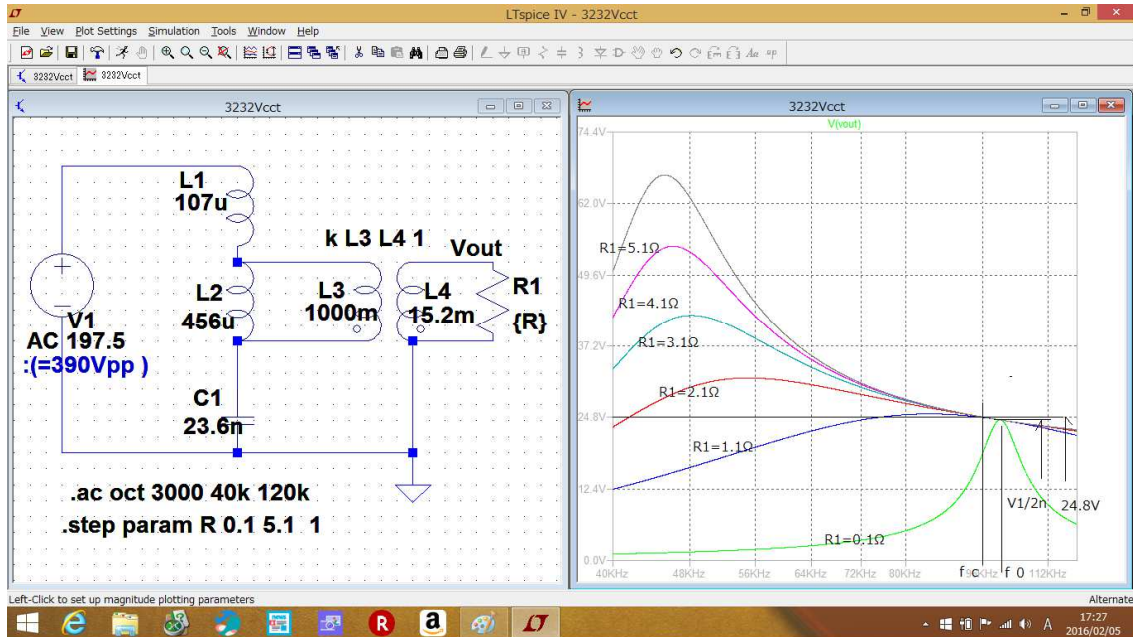


fig3.2.3.2 (3232cct)

まず L1(Llk)、L2(Lm)、C1(Cr)、L3(1次巻き線)はそのままある。入力周辺は fig3.2.3.1 は DC390V を SW でインバート交流にしたもの fig3.2.3.2 は振幅 197.5V(pp390V)正弦波を、2次周辺は fig3.2.3.1 ではセンタータップ巻き線とダイオード接続とする。

なお L1, L2, C1 は L+L+C 構成で LLC の基本共振部 (2.4.2 項) である。

実効値の異なるインバートの矩形交流と正弦波交流の違いがあるがこの詳細な変換は複雑なので省略するが fig3.2.3.1 の Vou 特性は fig3.2.3.2 単純化モデルの 3.1Ω 負荷(空色)で解析され実用可能レベルの一致が得られる。

fig3.2.3.2 の解析法は秒単位で設計解析でき LLC トランス設計には有力な tool である。

ここで共振回路の基礎となるアナログ特性 Z、Qc、f0、fc を説明する。

- Z : LCR で構成される回路の特性インピーダンスレンジ $Z = \sqrt{L/C}$ —— (323-1)
- Qc : LCR が直列時の共振電流の流れやすさを示すもの $Qc = R/Z$ —— (323-2)
(LCR が並列の時共振電圧の大きさは $Qv = Z/R$ となる LLC では Qv は不要)。
- f0 : R が 0Ω 時の共振周波数 $f0 = 1/(2\pi\sqrt{LC})$ —— (323-3)
- fc : 有限の R の時の共振周波数 $fc = 1/(2\pi\sqrt{L@R*C})$ —— (323-4)

これらを念頭において fig3.2.3.2 の波形解析結果を解説する。曲線は回路図の R1 を 0.01Ω から 5.01Ω まで振った f (40k ~120k) Vs Vout である。上の数式と関連して眺めれば Qc (323-2) 式から R の上昇に従って共振ピークが高くなるのが分かる。

(323-2)式から R の低下に従って波形ピークは低くなりその周波数は f0 に収束する。

Fc(323-3)式から R の上昇に伴い波形ピークは上昇、そのピーク周波数は f_{min} 収束する。

R1 の 3.1Ω(空色)の共振カーブに注目すれば 100kHz f_0 下近傍で 24.8V が発生していることがかる。これは LLC 動作で V_{in} に 390Vpp 振幅 187.5V の 100k-α kHz サイン波を印加すれば $(24.8^2) / 3.1 \approx 200W$ (24.8V-8 A)得られることになる。

トランスの設計はこの逆経路 Z、 Q_c 、 f_0 、 f_c から回路定数を決めることになる。

以上をベースに下記手順で具体設計を進める。

設計仕様 : V_{in} 390Vpp 正弦波 V_{out} 24.8 V (V_f 後 24)、出力 200W、 $f_0=100kHz$ 、

$k=0.9$ (k は高めほうがトランスギャップなどと箆筒構成に有利)。

1. 定格負荷抵抗の算出 $R_s = V_{out} * V_{out} / 200 = 3.08 \Omega$ ————— (323-5)
2. トランス巻き数比設定 $n = V_{in} / (2V_{out}) = 197.5 / 24.8 = 7.8 \rightarrow n = 8.1$ — (323-6)
 n を 3% 増し $V_{in} / 2n$ を 24.8 より 3% 下げ f_c を制御性の良い f_0 以下にする。
3. 負荷抵抗値を 1 次変換 $R_l = (n^2) * R_s = 202.1 \Omega$
4. Q を仮設定 初期は 2~4 選定 $Q=3$ (設計結果で Q 再調整) — (323-7)
5. 特性インピーダンス算出 (323-2) から $Z = R_l / Q = 67.4 \Omega$ ————— (323-8)
(323-1)から $67.4 = Z = \sqrt{(L_l k / C_r)}$ ————— (323-9)
6. $\sqrt{(L_l k * C_r)}$ 算出 $f_0 = 100kHz$ から $10^5 = 1 / (2\pi \sqrt{(L_l k * C_r)})$
 $\sqrt{(L_l k * C_r)} = 0.159 * 10^{-5}$ ————— (323-10)
7. $L_l k$ 、 C_r を算出 (323-9) (323-10) から $L_l k = 107 \mu H$ $C_r = 23.6 n F$ — (323-11)
8. L_m の設計 一体化トランスで $L_l k$ を作りやすいのは $k=0.9$ 以上が好ましいという観点から $k=0.9$ で設計を進める。

Fig3.1.2.3(p150)から $(1-k^2) * L_p = 107 \mu$ $L_p = 107 / 0.19 = 563. \mu H$

$$L_m = k^2 * L_p = 456 \mu \quad (\text{但し } k=0.9) \quad \text{————— (323-12)}$$

f_{min} がいくらか確認しておく $1 / [2\pi \sqrt{(L_m + L_l k) * C_r}]$ から

$$L_m + L_l k = 563 \mu H \quad \text{から} \quad f_{min} = 44 kHz (\text{参考}) \quad \text{————— (323-13)}$$

計算からは $k=0.9$ を限定すると f_{min} は決まってしまう (f_0 の 0.44 倍)

以上が $L_l k, L_m, C_r$ および n 比の設計である。

Fig3.2.3.1 fig3.2.3.2 のチャートはこの設計結果をを使って解析したものである。

9. N_1 巻き数の決定 磁気回路のトランスである限り LLC でも励磁電流による磁気飽和に対する設計、確認が必要になる。

$$N_1 \geq \{V_{inmax} * T_{onmax} / (2B_{mmax} * A_e)\} * 10^9 \quad \text{————— (323-14)}$$

トランスに土極の励磁がある LLC では+励磁異なり B_{mmax} 部が $2B_{mmax}$ となる。

PC47EER35 フェライトをを使えば $A_e = 107 mm^2$ $B_m = 250 mT$ $A_L = 2770 nH / N^2$

に $V_{in} = 197.5$ $T_{onmax} = (1/2) * 1 / 44 kHz = 11.3 \mu S$ から

$$N_1 \geq 197.5 * 11.3 / (500 * 107) * 10^9 = 41.7 t \quad (44k \text{ より高い } 70kHz \text{ に共振はずれリミ}$$

ットがかかっているならば $N1 \geq 26.2 t$ となる (323-15)

10. 総合構成の設計

ここまでで設計した 1次巻き数 42(27)t以上、1次2次巻き数比率8.1、 $Llk=107\mu H$ 、 $Lm=456\mu H$ を1個のトランス内に構成するわけである。Fig3.2.3.3はこの構成例である。

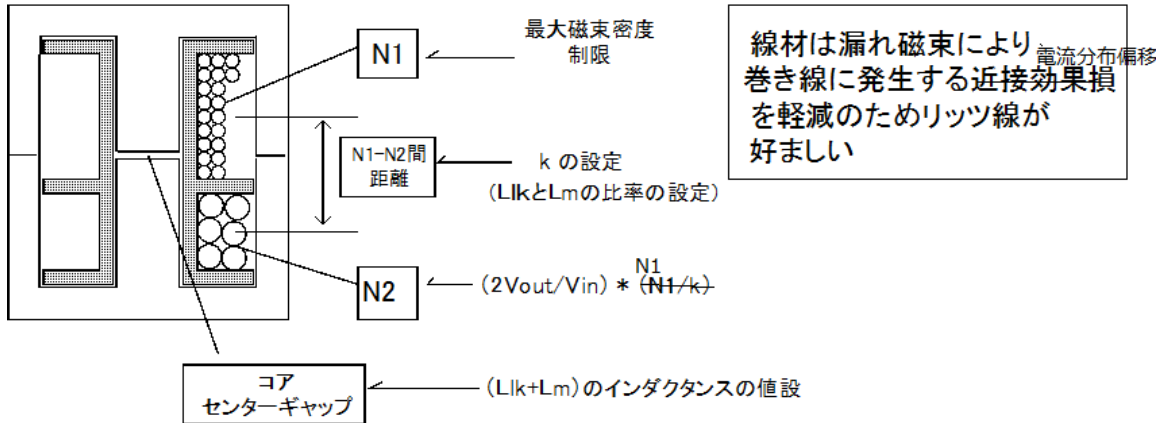


Fig3.2.3.3

大枠の構成は耐圧絶縁とリーケッジを大きくとる為の1次2次巻き線分割ボビンを用いる。フェライトコアはセンターポール間に適度なgapを設ける構成とする。

1次44(27)t以上で巻き数比率8.1付近であり $Llk=104\mu H$ 、 $Lp=547\mu H$ の±10%ぐらいまで追い込む。そのあとはLTspice .ac解析fig3.2.3.2で微調整の解析を行い実働を予測する。最終確認はLLC回路fig3.2.3.1で行えばよい。

ここで少しLLCの特異な動きを補足しておく。

- ・共振はずれ： $Vout$ の制御は共振カーブの右半分の $Vout/f$ のマイナス傾斜部で行う(周波数を上げて出力を絞り込む制御)。

負荷増加時は周波数が下がる、この時注意点はこの周波数が共振カーブのピークを超すと(左半分に入ると)傾斜がプラスになり制御がかからなくなる。これを共振はずれという。この対策はトランス側では行えない制御回路の周波数リミットやカレントリミットであるいはラッチ停止などで回路で対応する必要がある。

- ・トランス巻き数比率：LLCの基本では $f0$ 周波数以下の帯域では $Vin/2n$ 以上に昇圧される。 $f0$ から上の帯域では降圧側になるが制御カーブ傾斜が低いということ、共振波形ひずみが増加することからできれば時は $f0$ を超えない領域($f0$ 以下)での制御が好ましい。

それには定格 $Vout$ に対し $Vin/2n$ をわずかに低く(n をわずかに大き目)が好ましい。ただしあまり低いと共振電流の正弦波への近さが低下する、したがって $Vout \approx Vin/2n$ でわずかに $Vout$ (n が小さい)が大きい程度とするのがいい。

設計結果fig3.2.3.2のトランスを実装して制御回路付で動作させたLLC電源の各部波形

を Fig3.2.3.3 に示す (LLC 動作を見やすくするためにッドタイムは省略し)。波形下から Vout、2 次ダイオード通過電流、Llk 通過電流、Lm 励磁電流、M2 スイッチ電圧と電流である。注目できるのは回路内電流が正弦波に近いことである。

Fig3.2.3.4 ではこの波形を LTspice での波形 FFT でスペクトラムを解析している。第 3 高調波が対基本波から 27 dB 減衰している、低ノイズ電源が期待できる。

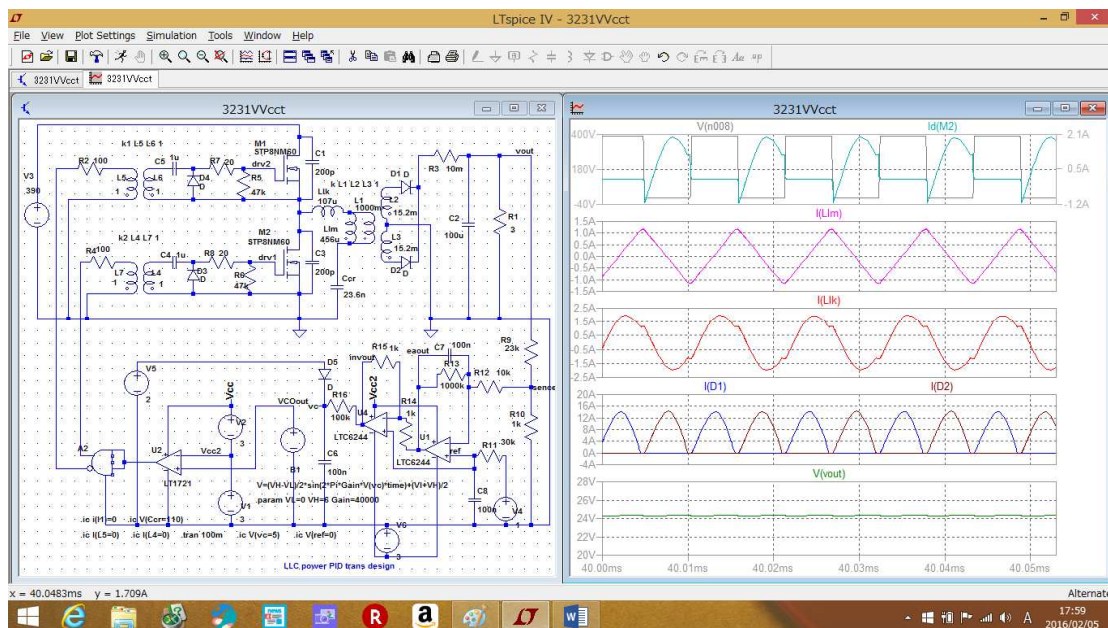


Fig3.2.3.3 (3233cct)

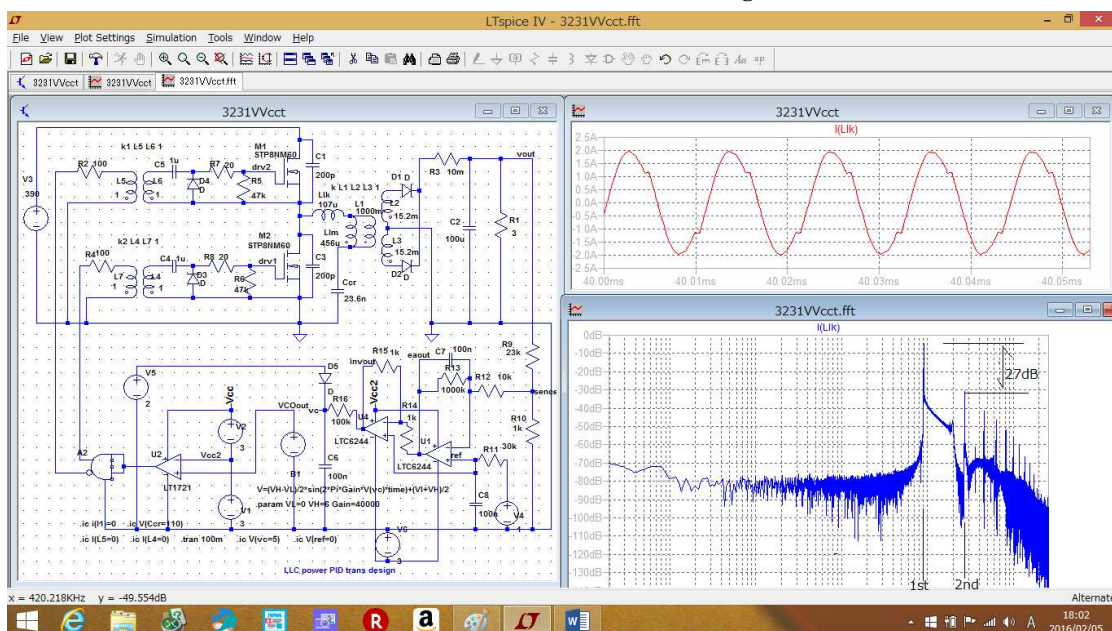


Fig3.2.3.4 (3233cct)

なお LTspice による FFT 解析操作はは該当波形画面を右クリックすると VIEW ウィンドウが表示される。view 蘭を左クリックで得られる FFT マークを左クリックで得られる。

第4章 LTspiceによる電源制御の解析

4.1 制御モード

スイッチング電源の出力電圧の安定化には出力電圧情報と基準電圧の比較を負帰還して出力電圧を制御する方法がとられている。

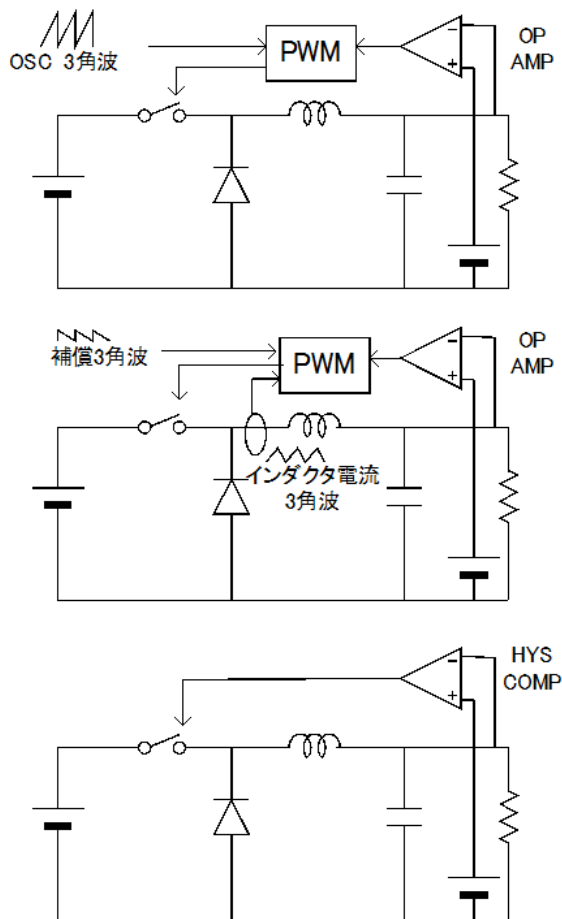
この帰還の方法として3種の方式が使われている。

それらは

- ・ボルテージモード制御
- ・カレントモード制御
- ・ヒステリシス制御

があげられる。

これらの制御構成のブロックを4.1.01に示す。



ボルテージモード

- ・オードックスで欠点が少ない
- ・各Ton毎のSW電流制限ができない
- ・位相補償に整流回路の2次ポール考慮が必要
- ・過渡応答が速くない

カレントモード

- ・各Ton毎のSW電流制限が可能 (SWの過電流保護に優れる)
- ・整流回路が1次ポールになり位相補償が容易になる
- ・スロープ補償が必要

ヒステリシス制御

- ・応答が速い
- ・回路がシンプル (アンプはヒステリシスコンパレータ)
- ・負荷急変時にスイッチング周波数が大きく振れる
- ・スイッチングリップルが出力に残留する

Fig4.1.0.1

◇4.1.1 ボルテージモード

ボルテージモードの制御ループと実回路との対応と制御理論式を fig4.1.1.1 に示す。

ブロック内の G は各ブロックの伝達特性である (伝達特性 $G(s)$ を G と省略表示している)。

G_{ea} は誤差増幅、 G_{pwm} は PWM の G_{pw} は電力操作部のゲイン、 G_b は V_{out} から誤差増幅部への帰還路の分割抵抗の場合が多い。特徴は PWM が単純な三角波と G_{ea} の ‘電圧比較’ のコンパレータで構成される点であり、処理 ‘電流’ を無視で V_{out} を制御する。

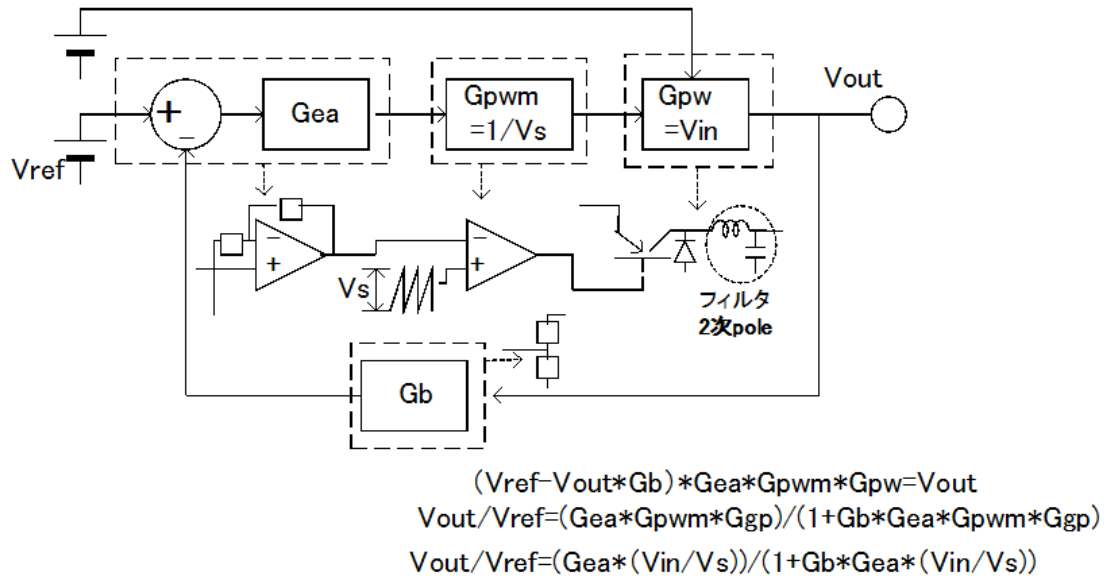


Fig4.1.1.1

理論式からは

まず周波数特性の影響のない DC 波領域で考察してみると

(G_b 入出力を直結した $G_b=1$ という条件において)

$G_{ea} * G_{pwm} * G_{pw}$ が非常に大きいという条件があれば V_{out} はほぼ V_{ref} に一致する。

但しもしこの条件が有限とすれば V_{out} は V_{ref} よりわずかに低い値となる。

次に周波数特性がある領域ではどうなのかというと制御される電圧以外の事象が発生します。

特に大きな問題は整流回路の LC 回路です。

LC 回路は共振点が 2 次ポールで位相が 180° 遅れます。すでに負帰還で 180° 遅れを有する回路でさらに 180° の位相遅れがあれば正帰還になり発振が発生します。

以上の性質から

ボルテージモード制御の特徴は

○ 制御の安定性

回路ブロックがある程度ゲインがあれば V_{out} を制御しますので扱いやすく多く電源

で採用されている回路です。但し制御ループでは処理電流については関与していませんのでスイッチの過大電流への考慮（カレントリミット回路）が必要となります。

○ 高速な応答性

精度の高い電圧制御には $G_{ea} * G_{pwm} * G_{pw}$ ($G_{pwm} * G_{pw}$ は有限なので G_{ea}) が高くなくてはなりません。

ゲインが無限大のアンプは実用上存在しませんので時間をかけて大きなゲインを得る PI (Proportion-Integration で積分時間が必要) や PID 接続の誤差増幅が必要になります。

PI、PID の性質から高速な応答には限界があり、ボルテージモードは高速な応答には限界があります。(PID は PI+Deffarential で微分で高速性を回復しますが不十分)。

○ 回路定数設計

PI や PID の誤差増幅にの設計に関しては電力段の整流平滑 LC の 2 次ポール特性 (位相遅れ大) との整合が必要になります。

適度なゲインを位相遅れが少ないように設計 (反転誤差増幅後に 180° に近い位相遅れが内起こらないよう) する必要があります。

Fig4.1.1.2 は これらを考慮してエラーアンプ部に PID 特性を持たせたボルテージモードで制御した Buck 型の回路と制御各部の波形である。

なお PID 特性は整流回路の 2 次ポールと整合させている。

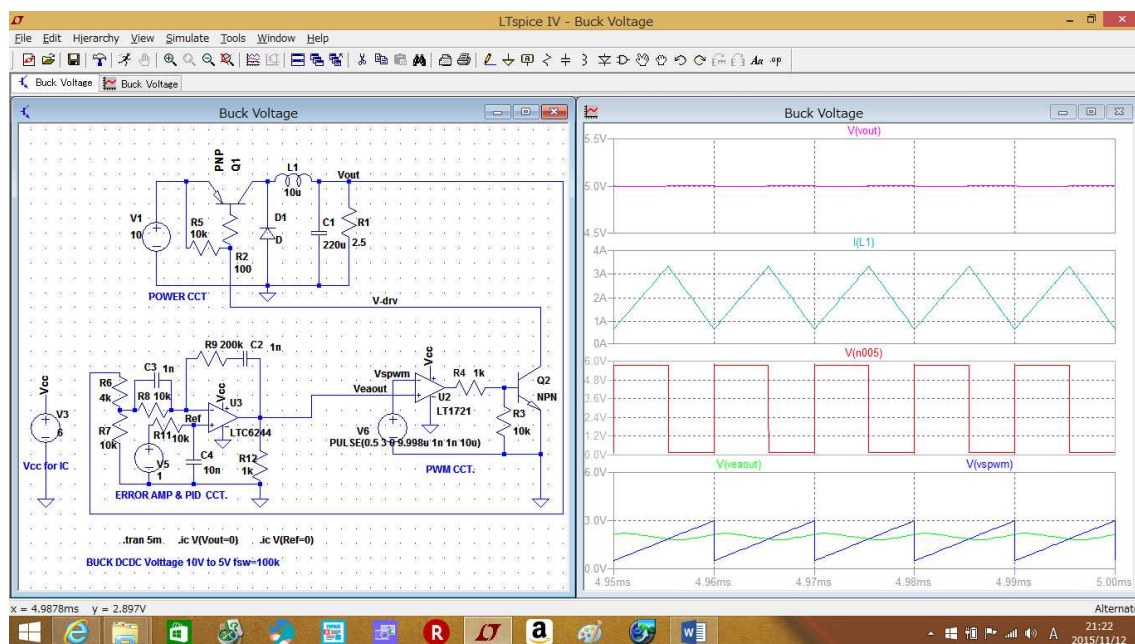


Fig4.1.1.2 (4112cct)

Fig4.1.1.3 は同回路において 5 W から 10W 間の負荷変動時の V_{out} 応答の様子である。なおリップル削減と応答向上のため $C1$ 容量とループゲインの G_{pwm} を PWM 用周波数 3 角波振幅を 2 次ポールとの相性を確認の上変更した制御ループでの解析結果である。

波形下段は負荷変動電流、上段は負荷変動に対する Vout 変動である。

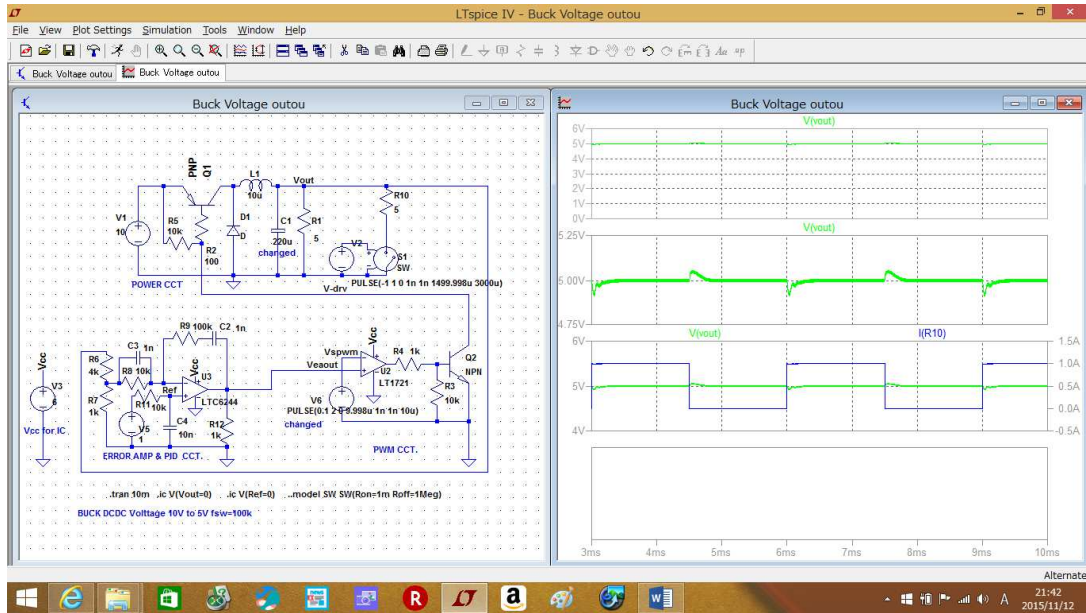


Fig4.1.1.3 (4113cct)

◇4.1.2 カレントモード

カレントモードの制御ループと実回路との対応と制御理論式を fig4.1.2.1 に示す。

ループのブロック内の G は各ブロックのゲインである。

Gea は誤差増幅、Gclp は PWM と電力操作部のカレント帰還ループのゲイン、Gb は Vout から誤差増幅部への抵抗分割のゲインである。カレントモードの特徴はカレント帰還ループ Gclpd の存在である。このループ内の‘電流検出’を PWM の要素に Vout を制御する。

この電流検出が PWM の要素に含まれることから処理電流がスイッチングごとに監視されスイッチの過電流破壊が防止される。

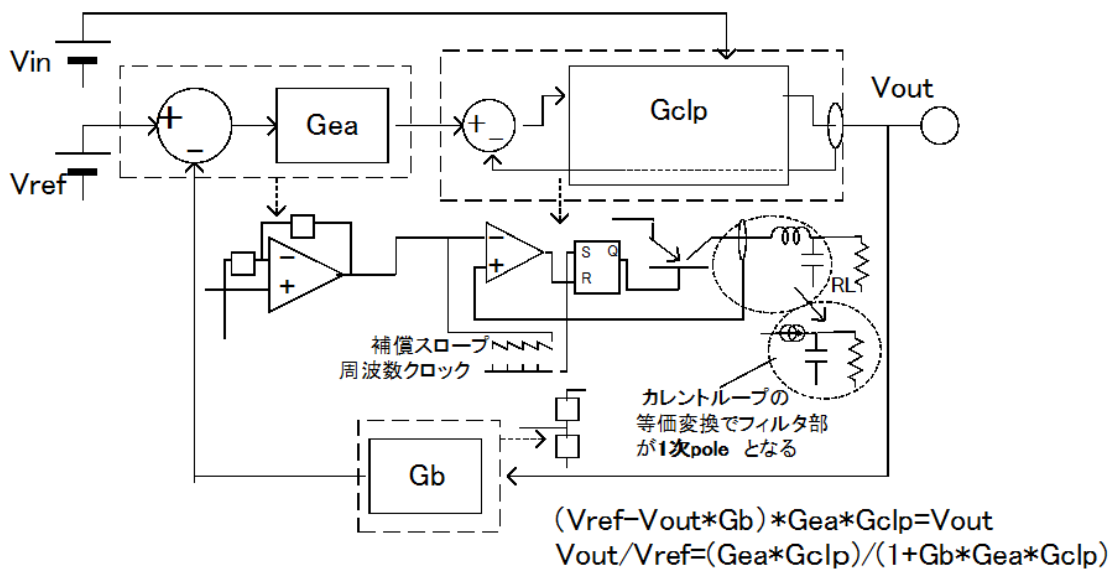


Fig4.1.2.1

理論式からは

まず周波数特性の影響の現れない DC 領域で考察してみると

(分割抵抗を省略して $G_b=1$ という条件において)

$G_{ea} \cdot G_{clp}$ が非常に大きいという条件があれば V_{out} はほぼ V_{ref} に一致する。

但しもし先の条件が大きくてでも有限とすれば V_{out} は V_{ref} よりわずかに低い値となる。

V_{out} を V_{ref} にするためにはカレントモードにおいてもボルテージモードと同じく G_{ea} を無限大に近い状態にする必要があります。

周波数特性の生じる領域を考察すると

カレントモード制御においては整流平滑 LC 回路の 2 次ポールはカレント帰還ループが構成されることで平滑の C と負荷抵抗の 1 次ポールに変わります。

すでに負帰還で 180° 遅れを有する回路に 1 次ポールの 90° 遅れが生じても電圧制御負帰還ループでは位相余裕が大きくなり安定性が増します。

カレント帰還ループではチョークの電流の電圧変換値と誤差増幅出力の一致点でスイッチドライブを off する操作がなされます。このことからカレントモード制御においてはスイッチ電流がスイッチングサイクルごとに制限されることになりスイッチ素子の異常過電流が阻止されるという利点が得られます。この電流制限はパルスバイパルスといいます。

このチョークインダクタンス電流と誤差増幅出力の一致点でスイッチドライブを off する操作は duty50%以上 (T_{on} 電流傾斜が低く T_{off} 傾斜高い) では低周波発信現象を起こします。この対策として誤差増幅出力に (－) 傾斜を付与する方法が用いられます。

これはスロープ補償と呼ばれカレントモード制御では重要な補償回路となる。

パルスバイパルスとスロープ補償のイメージを fig4.1.2.2 に示します。

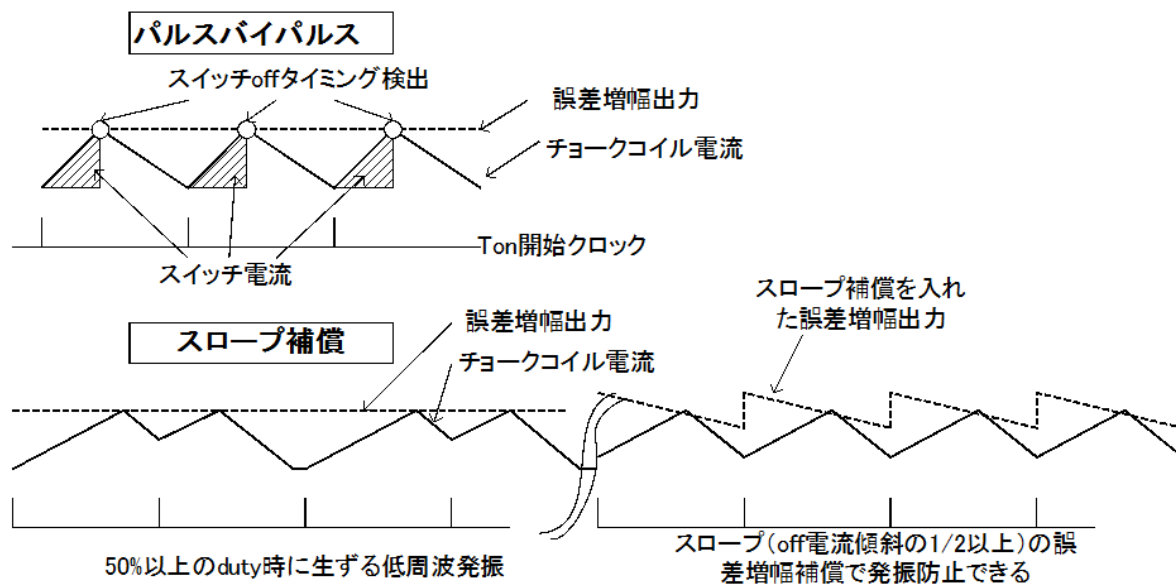


Fig4.1.2.2

以上の性質から

カレントモード制御の特徴は

○ 制御の安定性

帰還のブロックに電流帰還ループが存在して誤差電圧とスイッチ電流の比較が行われる。このループはノイズに対して敏感であり。ボルテージモードよりはノイズの影響受けやすい点考慮が必要である。

○ 高速な応答性 SW 素子の過電流保護はカレントループに SW 電流検出があるので高速である。負荷応答高速対応は下記 2 次ポールから 1 次ポールへの効果を利用した設計で改善できる可能性がある。

○ 制御回路定数設計

カレントループによるフィルター2次ポールが1次ポール変わる効果を考慮し安定性のあるゲイン帯域の設計が PI のみで可能である。ただし PI とポール位置の設定が正確でないと必ずしも位相余裕がとれるとは限らない。

Fig4.1.2.3 は カレントモードで制御した Buck 型電源の tran 解析波形である。SW 部と平滑部は fig4.1.1.2 のボルテージモードと同じにした例である。波形は下段から周波数クロック、スローブ補正付誤差増幅出力とスイッチ電流の比較、SW リセット電圧、インダクター電流、出力電圧である。インダクター電流が fig4.1.1.2 のボルテージモードのものと同じに見える。

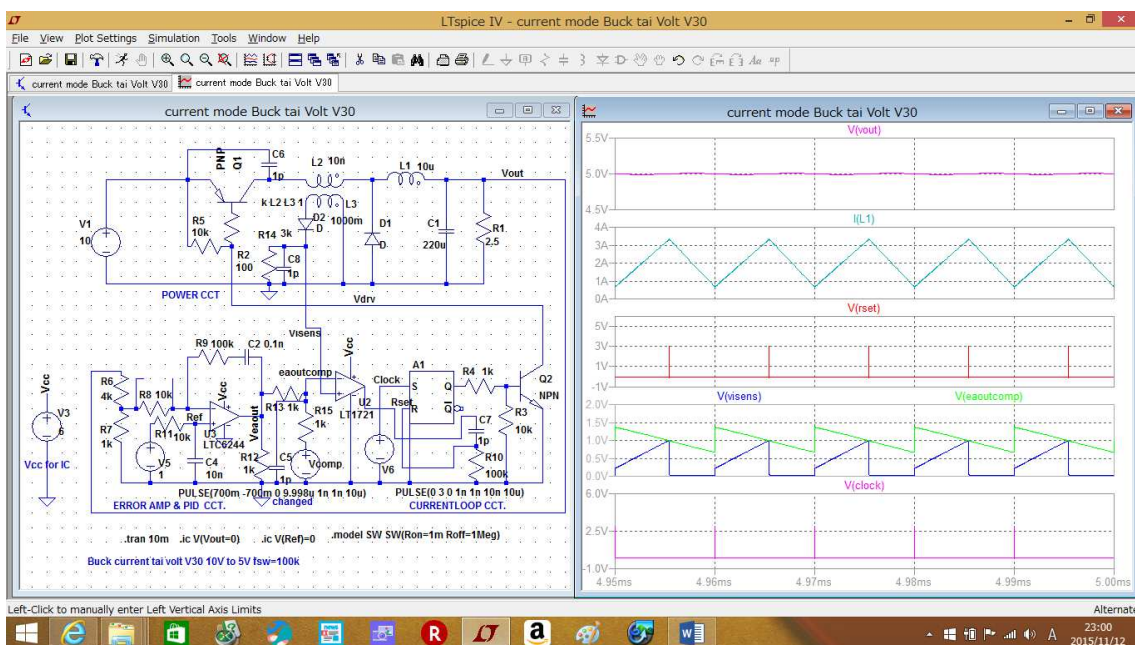


Fig4.1.2.3 (4123cct)

Fig4.1.2.4は同回路において5Wから10W間の負荷変動時の Vout 応答の様子である。

なおリップル削減と応答向上のため C1 容量とループゲインの G_{clp} を電流検出電圧、スロープ量変更で上げている。2 次ポールとの相性制限が少ないので G_{clp} の変更は大きくとっている。波形下から 2 段目は負荷変動電流、3 段目は負荷変動に対する V_{out} 変動である。

負荷変動応答は幅時間ともにボルテージモードの応答 fig4.1.1.3 からの向上がみられる。

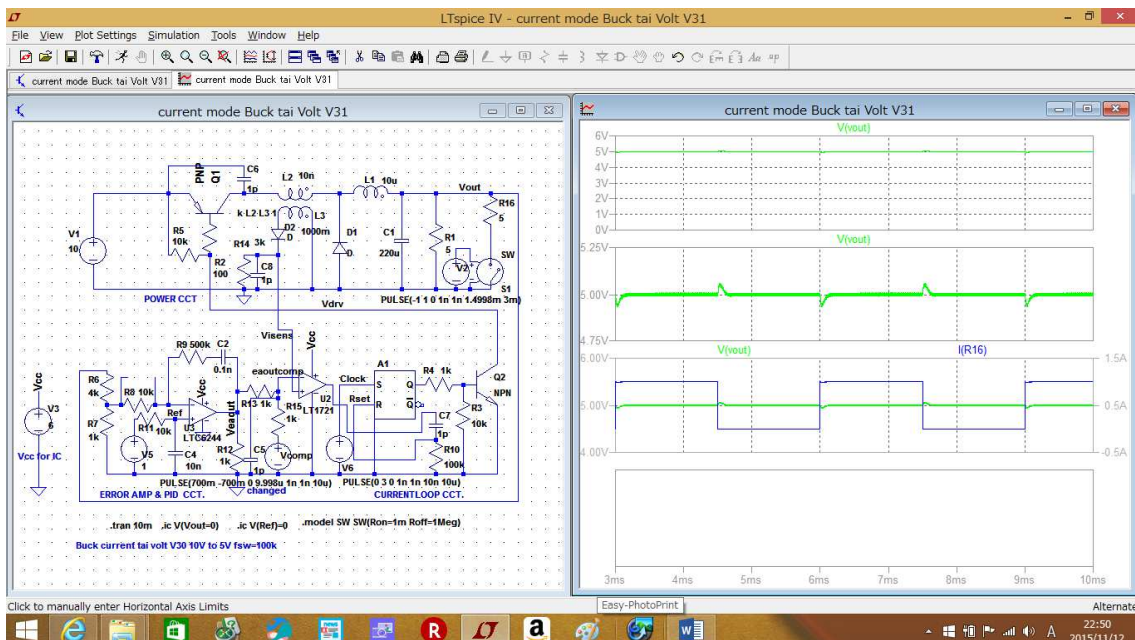


Fig4.1.2.4 (4124cct)

◇4.1.3 ヒステリシスモード

ヒステリシスモードは制御に時比率 (PWM) を用いず適度なヒステリシスを有するコンパレーでリップル残留の V_{out} (反転入力) と基準電圧 (正転入力) を比較するコンパレータ出力でスイッチ素子を on-off するものである。

単純にはスイッチ on 時間が長ければ V_{out} が上がり、スイッチ off 時間が長ければ V_{out} が低下するという予測で動作させるもので フィードフォワード の一種ともいわれる。

但しスイッチング回路として動作のための on-off が必要であり on から off 、off から on へのタイミングはをコンパレータのヒステリシス幅と V_{out} リップルで設定している。

またほかの呼称では bang-bang 制御、リップル制御 ヒステリシス制御と呼ばれる。上記の制御の特徴としては

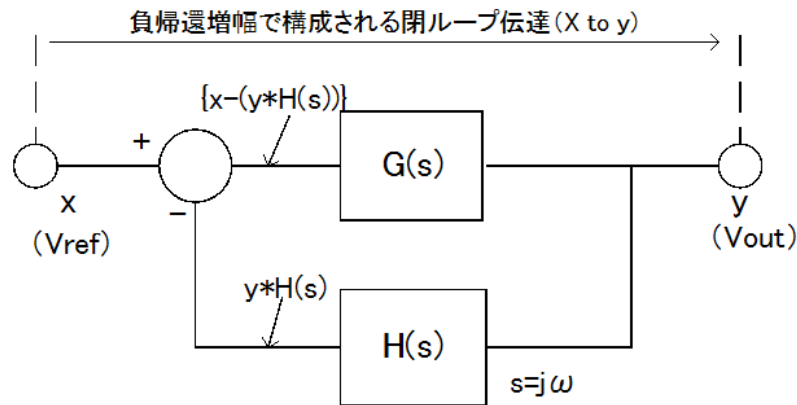
- 制御速度 制御回路の遅れがなく応答が早い
- スイッチング周波数が入力変動、負荷変動応答たいし過渡時周波数に大きく変化する。
(過渡時 T_{on} 連続 または T_{off} 連続でスイッチング休止となる)
- V_{out} リップルと効率 リップルは制御必要要素で残留し、リップル削減するにはスイッチング周波数上昇が必要とであり スwitching 損失増加との兼ね合い要考慮である。
- トポロジーとの関連 on-off 型や絶縁型に簡単に応用できない。

4.2 制御特性の解析

◇4.2.1 伝達関数と制御特性

前項では制御の荒い説明とせ制御結果を解析してきたが本稿では定量的に制御部のゲインと位相を含んで安定に制御する設計を考察してみる。

まず負帰還を用いた制御回路の基本から考える。Fig4.2.1.1 が基本回路となる。制御目標値(基準値)が x であり制御結果が y である。



伝達関数導出導出式

$$\{x - (y * H(s))\} * G(s) = y$$

伝達関数
(閉ループ伝達関数) ↓

$$y/x = G(s) / (1 + G(s) * H(s))$$

Fig4.2.1.1

○閉ループ伝達関数

この x から y への伝達関数 $T(s)$ を $G(s)$ 、 $H(s)$ を G 、 H と省略して標記すれば

$$T(s) = y/x = G / (1 + GH) \quad (421-1)$$

となる。この伝達関数は G と H と負帰還構成一体をまとめた形であり伝達部が閉じたループで構成されることから閉ループ伝達関数(索引)と呼ばれる。

電源に関してみると x が V_{ref} 、 y が V_{out} となるため V_{ref} から V_{out} の比率が

$$\text{電源の伝達関数 } V_{out}/V_{ref} = G / (1 + GH) \text{ である。} \quad (421-2)$$

この伝達関数は電源の安定時、過渡時における V_{out} 特性を示すことになる。

(421-2)が実際の V_{out} である一方単純な V_{out} の期待値は V_{ref}/H で見積もることが多い。

($V_{ref}=1V$ 抵抗 H が $1/5$ の場合 $V_{out} 5V$ と見積もることが多い)

$$\text{期待値と実際との差は } D(s) = V_{ref}/H - V_{ref} * \{G/(1+GH)\} \quad (421-2)$$

となり G が無限大の状態でのみ期待値と実際の V_{out} が一致することになる。

誤差 $D(s)$ は偏差とよばれる (H が 1 で直接帰還の時は $D(s) = V_{ref} * \{1 / (1 + G)\}$)

一般の電源では H の分割抵抗に Vout 微調用の VR を入れ偏差があっても Vout を偏差分
ずらして 5V に調整することがあるので D(s) の存在に気が付かない時がある。

そんな時は入出レンジが広い電源では Vout の制御電圧精度が低下するので G の大きさ
工夫しなければならない。電源制御では次項 PI PID 制御など行うがこの 2 つの I 部分
(integration) は G 増大を行う手段を担うものである。

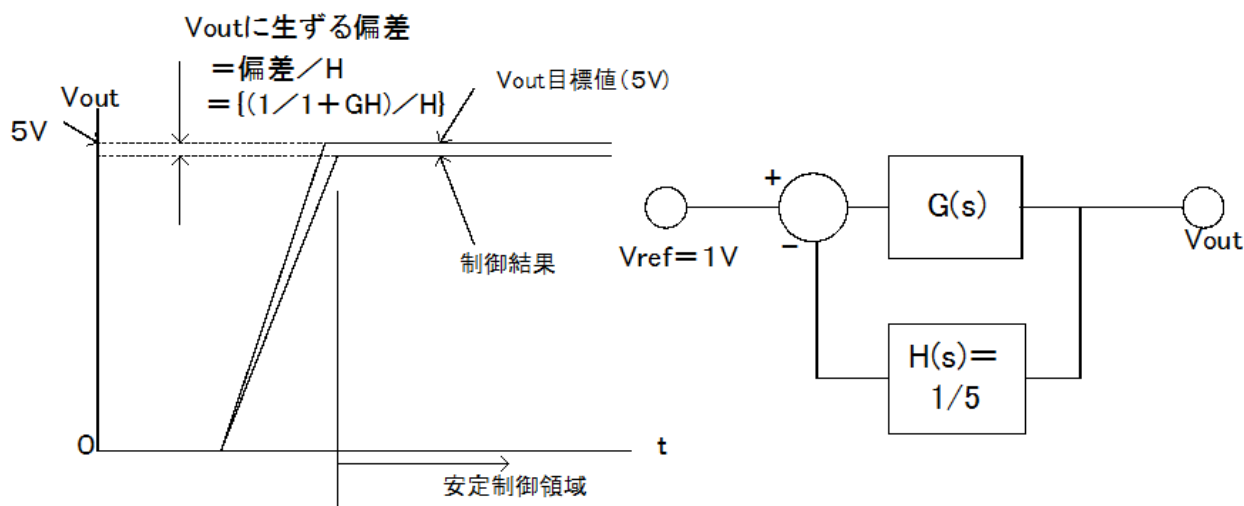


Fig4.2.1.2

○開ループ伝達関数

次に過渡時に関しては電源が外乱を受けたとき Vout への収束が行われるときの安定度と
高速性を示すものである。安定度とは制御回路が外乱を受けたとき Vout にリングングや発
振なしに速やかに目的の Vout に収束することがひつようである。

この収束の安定性は伝達関数の 分母 (特性多項式と呼ばれる) の状態で判定される。
判定は特性多項式が零 $1+GH=0$ ($GH= -1$) 状態が存在するか否かで行われる。
この GH と負帰還部分(図中の -1) をブロック図で表すと fig4.2.1.3 となる。

このブロックの GH 部分構成を開ループ伝達関数 (閉ループを切り開いたことから) と呼
ぶ。また GH に負帰還(図中の -1)を縦続したものをから一巡伝達関数と呼ぶ。

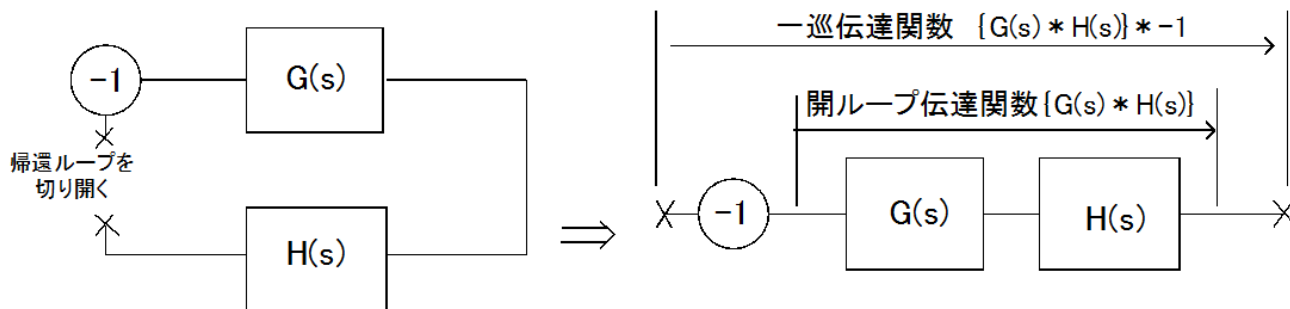


fig4.2.1.3

安定性に関する 開ループ伝達関数 GH が -1 とは GH のゲインが 1 位相が -180° ということでありこの状態を 4.2.1.4 のブロック図に入れて負帰還を加えて見る。負帰還部の -1 (位相回転 -180°) と $GH = -1$ の積からブロック入力出力間は $-1 * -1$ により ゲイン 1 の正帰還となる。

この状態は過渡期に白色トリガーノイズ存在すると $GH = -1$ に該当する周波数でその周波数を持つ発振が持続することになる。また $GH = -1$ 非常に近い状態があればリングングその周波数おリングングが生ずることになる。

この状態が開ループ伝達関数の不安定という状態である。

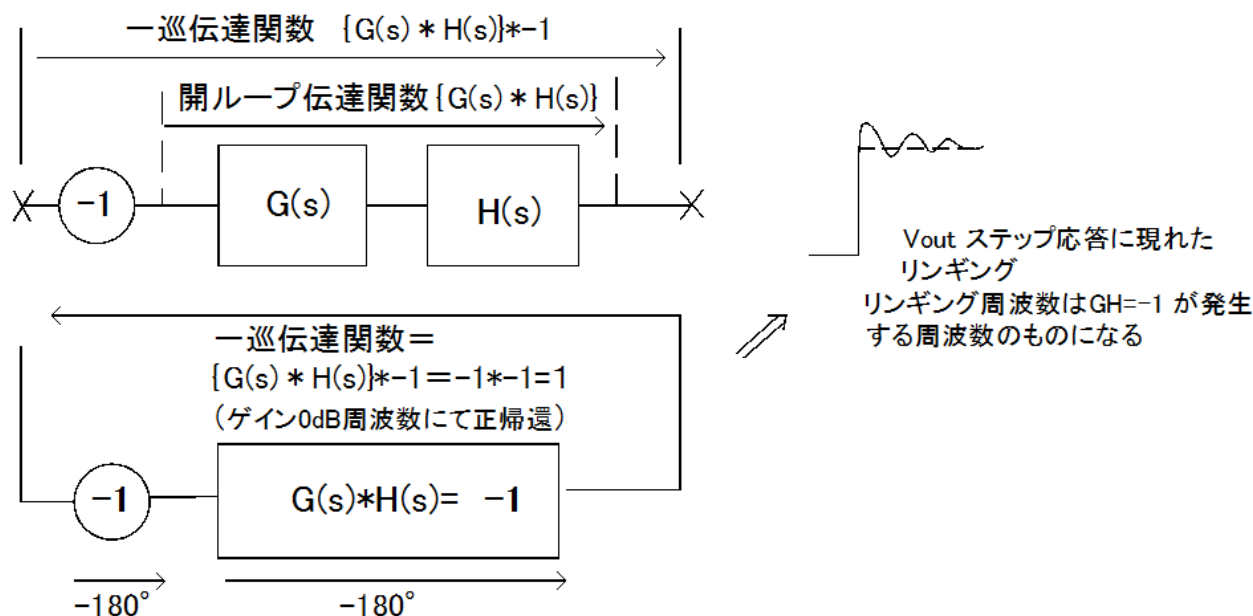


Fig4.2.1.4

◇4.2.2 ボード線図による制御性解析

○安定性判定

安定度判定は前項で開ループ $GH = -1$ の発生の有無で行えることを述べた。

$GH = -1$ の有無の判定に対応する可視的な判定法を考察する。

G, H は $G(s), H(s)$ の伝達関数形式で表されることが多いが回路を伝達関数形式に変換するのは簡単ではない。回路入出力特性を周波数を横軸にゲインと位相を縦軸にしてチャート化したものを ボード線図と呼び、このボード線図の利用は伝達関数をチャート上に可視化したことになり $GH = -1$ の有無を判定に回路技術者にとっては便利である。

LTspice の .ac 解析は回路の伝達をボード線図形式にプロットするため LTspice において伝達関数で安定性を判断するときにはボード線図による判定を利用する方法が有効である。Fig4.2.2.1 は回路特性をゲインと位相のボード線図で表しこのボード線図を GH の伝

達関として $GH=-1$ の有無を判定する例である。

$GH=-1$ の存在する状態を(a) で示す。

(a) において f_0 ではゲインが $1(0\text{dB})$ の周波数で位相が -180° であり入力 1 に対し出力は -1 となり $GH=-1$ が成立する。この状態にさらに負帰還接続で -180° 位相遅れが加わって -360° となり白色ノイズに含まれる f_0 のノイズが種となり f_0 の発振が閉ループに発生する。この状態で閉ループ伝達関数は不安定と判定される。

完全に $GH=-1$ でなくてもこの状態に近づけば閉ループにはリンキングが発生し不安定に近づく。

安定制御を確保するためには (b) のような(a)状態から開ループ伝達関数を調整して位相余裕、ゲイン余裕をとることが要求される。

位相余裕とはゲイン 0dB 周波数において開ループ伝達関数 (GH) では -180° 位相遅れに対し 45° 帰還のある一巡伝達関数にの場合は -360° に対し 45° 以上のマージンとなる。

ゲイン余裕とは f_0 の周波数において -10dB 以上である。() の位相は一巡伝達関数基準の位相値である。

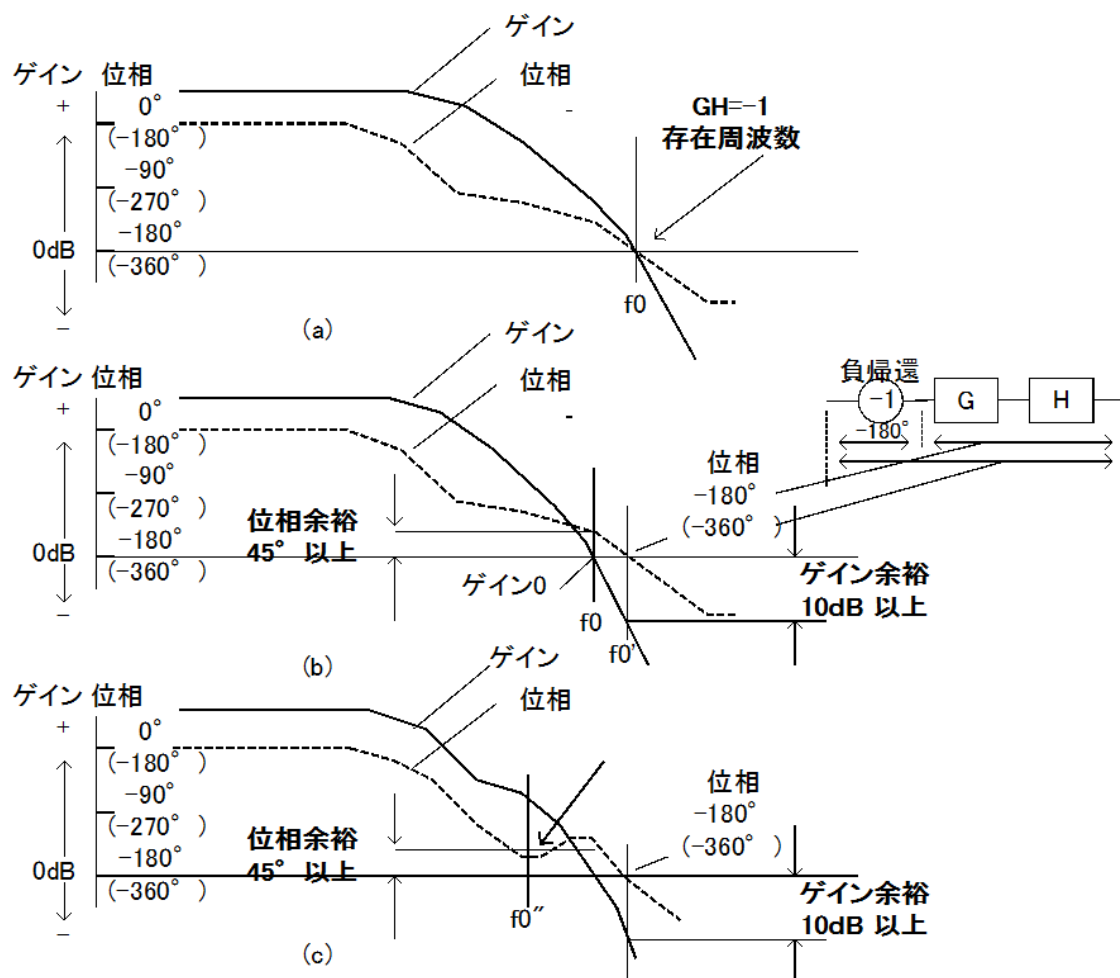


Fig4.2.2.1

ここで閉ループ伝達関数(負帰還制御回路)の不安定と現象を整理してみる。

不安定とは閉ループ伝達関数の分母(開ループ)である $(1+GH) = 0$ ということである。このことは $(1+GH) = 0$ が発生する周波数で不安定が起こることになる。

言い換えれば特定のノイズや外乱周波数(例えば特定の外乱周波数)で発生するというわけではない。

したがって fig4.2.2.1 (c) ボード線図でゲインのある周波数 f_0 (ゲインがあっても位相余裕が少ない周波数) で位相が 45° 以下になったら不安定になるかとの懸念に対しては不安定にはならないということになる。

これは閉ループ動作ではゲインがループを安定させてしまうことになるからである。

不安定はあくまでも開ループ伝達関数のゲイン 0 dB 周波数位置での判定に従う。このことは不安定接近時のリンキングの周波数が f_0 である(fig4.2.1.4)ことから示唆される。

○高速応答性判定

高速性は f_0 までの帯域がどこまで上げられるか、帯域内の GH のゲインがどこまで上げられるかで設計される。この設計に関しては後述 PID 設計で触れる。

◇4.2.3 電源の制御安定性解析

実電源の制御性の設計、判定には実回路の LTspice 応用では .ac 解析のプロットチャートを用いたボード線図での解析が効率的である。

この解析法を FRA(Frequency-Response-Analysis) という。

ここで 4.1.1 項ボルテージモードを例にして Fig4.1.1.1 を開ループにして安定性、高速性を解析してみる。

Fig4.1.1.1 の開ループブロックは fig4.2.2.2 となる。

$G(s) = Gea(s) * Gpwm(s) * Gpw(s)$ 、 $H(s) = Gb(s)$ となり

$GH = Gea * Gpwm * Gpw * Gb$ —— (422-1)

(以下 $G(s)$ など (s) を省略して表記します) となります。

したがって安定性の判定は Gea 、 $Gpwm$ 、 Gpw 、 Gb を直列接続して入出力間を .ac 解析しゲイン 0dB 周波数での位相を -180° と比較して 45° 以上あるか否かを判定すればよいことになり。

しかし $Gpwm$ と Gpw はパルス回路であり .ac 解析では対応できない。そこで LTspice では fig4.2.2.2 のように電源回路を動作 $Gpwm$ 、 Gpw 回路を動作状態にしてこのブロック通過する電力にアナログ微小信号を注入し注入後と前の信号のゲインと位相をボード線図にし安定性判定する方法を提供している。これを本書では FRA 解析 1 と呼ぶ。

FRA 解析 1 では帰還ループの一か所を開ループ (GH) + 負帰還となるように切り開き切り開いた部分に“小信号 AC”を注入して電源を動作させ小信号注入後ポイントと注入前ポイントの電圧ゲインと位相シフトで GH+負帰還の状態と判定します。この場合電源を GH+負帰還は一巡伝達関数関数となりますので -360° と比較して 45° 以上あるか否かを

判定となります。この FRA 解析 1 の方法は LTspice の他 多くのシミュレータや測定機器で利用される方法である。以下 LTspice による FRA 解析 1 の実施例を解説する。

一巡伝達関数 $GH*(-1)$

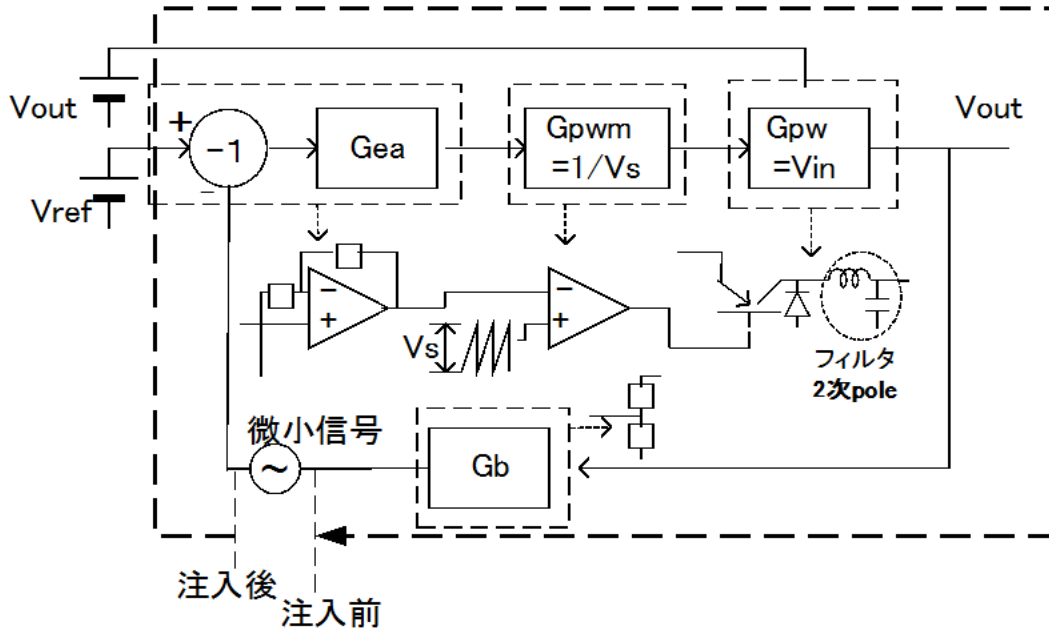


Fig4.2.2.2

◇4.2.4 LTspice による FRA 解析 1 (*7)

(*7 参考資料 LTspice による電子回路 オーム社 渋谷氏 第 11 章)

LTspice で推奨する FRA 解析 1 を Buck 型 DCDC に適用し例を fig4.2.4.1 に示す。

この例では小信号の位置を Gb の前に移動し解析している。

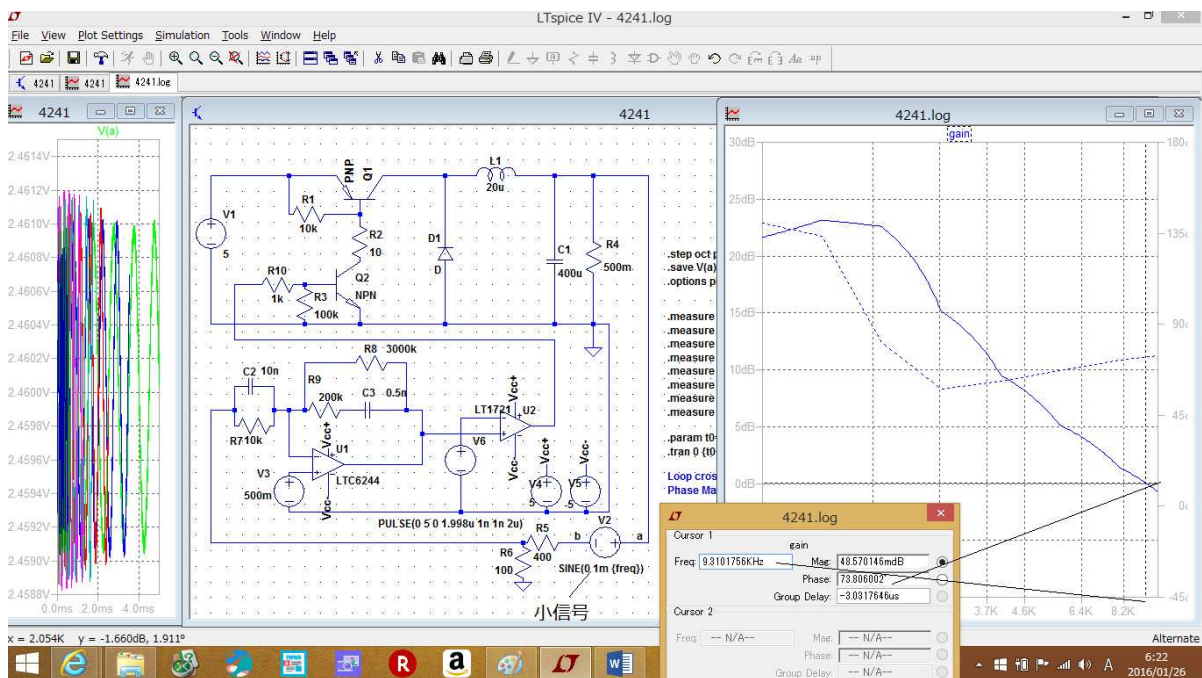


Fig4.2.4.1 (4241cct)

Fig4.2.4.1 での FRA の解析状態と判定は次の通りとなる。

図左部分は小信号への Vsout(本回路図では a ポイント電圧)で解析動作進行確認用である。

中央がコマンドを記入した回路であり

右がボード線図による位相余裕の測定結果である。

ボード線図は周波数レンジは 1kHz から 10kHz 間に小信号を 8 ポイント ステップし解析し ゲイン(実線)と位相 (点線) のポイントをつないだチャートにしている。

安定判定はゲイン 0dB の周波数 (9.3kHz) において位相余裕 74° の位相余裕であり安定と判断できる。

fig4.2.4.2 は解析に用いた spice-directive(コマンド)の記述部の拡大である。

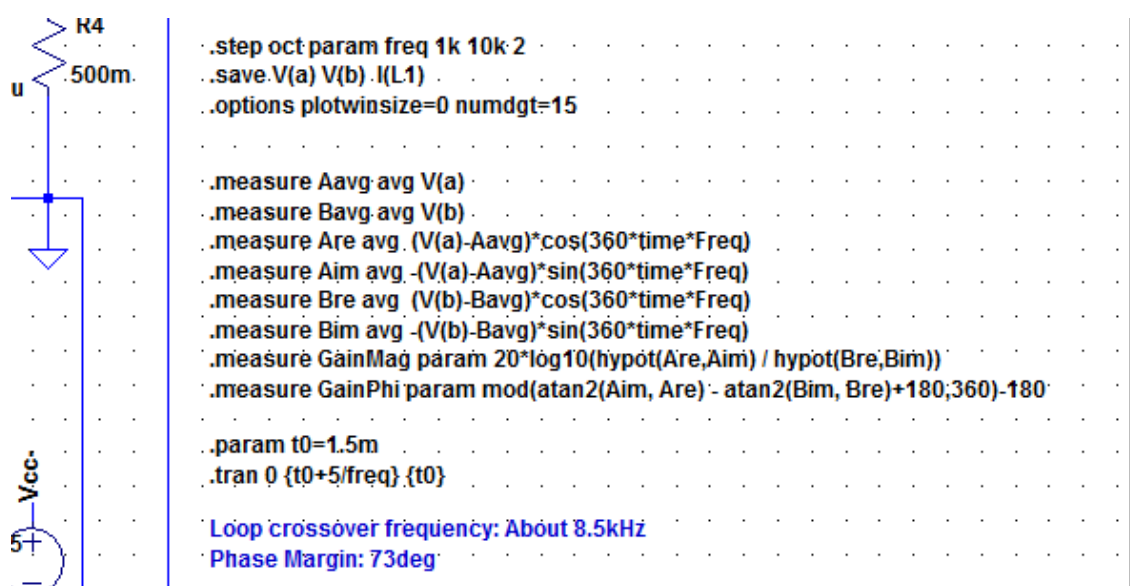


Fig4.2.4.2 (4241cct)

ここで fig4.2.4.2 の解析コマンドの意味と解析操作を解説しておく。

.step コマンドは 小信号を 1kHz から 10kHz まで 2step/oct で解析範囲の指示

(1k から 10k の決定はすでに広範囲周波数の荒い step の解析が数回行われこの範囲にゲイン 0 があることが分かっている前提である。

step 数は自由であるが 2step/oct 以上はボード線がなめらかになるがの解析時間が長くなるので注意を要する)

.save は a 点と b 点 L1 電流のみをセーブする

(FRA には Vsin b 点と Vsout a 点のデータのみ必要なので限定して解析時間の短縮

L1 はしいては必要ない)

.option は表示方式指示

.measure は計算アルゴリズム

.param は起動直後のからの不安定期間を除いての解析開始(開始待ち時間 1.5mS)指定

.tran は 小信号 5 サイクル繰り返しの期間解析持続 (標準は 25 サイクルであるが

今回は時間短縮で 5 サイクルとした。なめらかな FRA 画面には 10 サイクル以上が好ましい。この繰り返し回数で解析時間が長くなるので前記の周波数レンジを狭くするとともに必要なら解析結果の乱れを注意しながら繰り返し回数を下げるのが実用的である。
;セミコロンや青コメント は単なるコメントで解析には関係しない。

また FRA 解析の操作要領は

Simulate →Run (解析始開始で左下バーに 解析ステップが表示される。 数値読み込みが終わると表示が measure 中となり measure 処理後 表示が消える解析は終了)

メニューView内の deta error log を選択→log 画面が出るので画面上を右クリック→小窓に出る plot を選択後つぎの小窓で YES を選択→小窓空白上にある plotsetting 内の add trace を選定→空白窓に gain 文字発生→gain をクリック→FRA ボード線図発生

この手順で FRA 結果を得る。なお FRA の位相を角度 (° 数) で表現するにはタスクバー内の controle panel →windows →use measure radian in waveform expression のチェックが外れていることを確認しておく。

LTspice による FRA は解析周波数範囲(本例での 0dB のある 1k~10k)の決定のための解析が数回本解析前に行われなければならない(前記)、また本範囲の解析でも解析時間が長く解析周波数レンジ範囲を広げれば場合はさらに非常に長い解析時間を要する。(1khz から 10khz まで 2step/oct 解析で 10 分以上)。

従ってこの LTspice 提供の FRA は制御設計の過程での利用は実用的でない。

制御回路設計がほぼ完成時に仕上確認としてゲイン 0dB を含む比較的狭い周波数レンジを狙って使用することをお奨めする。

制御回路設計過程の FRA は解析時間の速い次項 4.4.2 項に述べる FRA 解析 2 を利用するのが有利である。

◇4.2.5 LTspice による FRA 解析 2.

項 4.2.4.では実電源回路制御の安定性を FRA 解析 1 で判定することを中心に解説した。しかし LTspice で提供する FRA 解析 1 は解析時間がながくかかり実用面では使用に限界がある。 安定度判定のゲイン 0dB クロス周波数で位相余裕を得るには 0dB クロスよりずっと低い周波数からのゲインと位相を組み立て必要になる。

FRA 解析 1 での上記組み立て設計は速度の点で至難である。

(広範囲の周波数解析は 時間、日 単位の解析時間を要する)。

このため高速広範囲な FRA が可能な方法が望まれる。これを可能にする FRA 解析 2を紹介する。Fig4.2.5.1 はその実施例である。

その方法を荒く解説すれば一巡伝達関数を構成する各ブロックを直列にしその入力部に小信号(スイープする)を注入して小信号に対する出力信号のゲインと位相を解析することで行う。

以下に具体ブロックをを含めて詳細を説明する。

Fig4.2.5.1 は fig4.2.4.1 の電源を FRA 解析 2. で安定性判定を行ったものである。

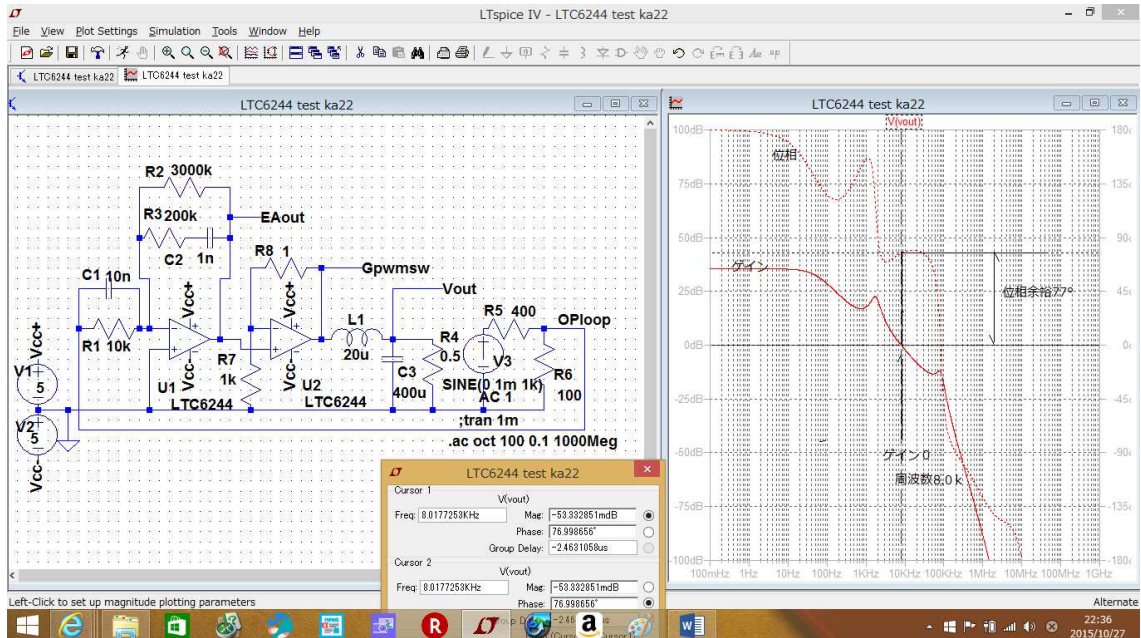


Fig4.2.5.1 (4251cct)

解析回路は 負帰還 (-1) と Gea (オペアンプ部) 、Gpwm (コンパレタの PWM 部) 、Gpw (Vin とスイッチ部)、LC (平滑フィルター部)、Gb(帰還分割抵抗)を連続したものである。帰還抵抗の前に小信号をいれフィルターVout のゲインと位相(对小信号)を解析する。

実電源では Gpwm * Gpw はスイッチングであるがアナログ化するため

$$G_{pwm}(duty) = 1/V_s \quad (V_s = \text{PWM 用 3 角波振幅}) \quad (425-1)$$

$$G_{pw} = V_1 * duty = V_1/V_s \quad (425-2)$$

Fig4.2.4.1 の回路からは $V_s = 5$ $V_{in} = 5$ であるので $G_{pw} = 1$ を該当部を gain=1 位相変化 0° のボルテージフォロワンプで構成している。

ほかの (-1) オペアンプと周辺、整流平滑フィルター ($L=20\mu$, $C=400\mu$)、負荷と接続、帰還の抵抗分割は(0.5Ω、分割 1/5)は Fig4.2.4.1 そのそのままである。

.ac での周波数解析結果はは 0dB クロス周波数 8.4kHz において 72° となって安定と判断できる。この数値は LTspice 提供 FRA 解析 1 結果 (9.3kHz において位相余裕 74°) と小差で一致している。この差は解析ポイントの粗さと FRA 解析 1 ではフィルターの Q がスイッチ素子の抵抗で下がり解析 2. では抵抗がなく Q が高いことによる。この観点から FRA 解析 2. の解析が余裕が出ずらく FRA 解析 2. で余裕があれば実質余裕マージンはその余裕数字より多めとなる。

FRA 解析 2 で解析された周波数レンジは 0.1hz から 10Ghz と広く

解析時間は LTspice の通常操作.ac 解析であり 1 秒に満たない。

解析短時間のメリットはもとよりこの FRA 解析 2. を用いれば 開ループを構成する各ブロックのゲイン位相への寄与が定量で全周波数レンジ上にボード線図で把握でき、開ループ伝達関数(或いは 1 巡伝達関数)の設計には有効な手段である。

安定度判定の 0dB 周波数での位相余裕設計はその判定周波数ポイント単独でなく該周波数上下のゲインと位相の状態との組み立てと関連し導くことが必要であり全周波数領域での把握が必須となっているからである。

一つ注意点があるブロック構成の Gb 抵抗分割と反転 Gea の接続についてである抵抗分割のインピーダンスが差増幅オペアンプの補正部インピーダンスに対し充分低くないと該抵抗がオペアンプ補正部になってしまうので注意が必要である。このことは FRA 解析 1、次項制御回路設計においてもいえる。

◇4.2.6 制御回路の設計(ボルテージモード)

○ボード線図の作成

設計に先立ってボード線図の性質を説明する。

これまでの解析結果のボード線図はゲインと位相がチャート上にシミュレーターによって描かれているがゲインと位相の間には次のような関係が存在する。

制御回路設計ではこのゲインと位相の関係持つブロック把握し接続しながら FRA で得たようなボード線図を作成し回路へ展開することになる。

Fig4.2.6.1 にボード線図上に現れるゲインと位相の関係を表にし示す。

ゲインと位相の変化点は CR 回路においては 1 次 Pole(極) と Zero(零) との 2 種がある。LC の回路においても 2 次の Pole と Zero がある。

1 次の Pole は ゲインが定常から -20dB 傾斜で下がるかあるいは $+20\text{dB}$ 上がり傾斜から定常になる 変化点であり、同時に位相は両者とも -90° (90° 遅れ) となる。

1 次の Zero は ゲインが定常から $+20\text{dB}$ 傾斜で上がるかあるいは -20dB 下がり傾斜から定常になる 変化点であり、同時に位相は両者とも $+90^\circ$ (90° 進み) となる。

2 次の Pole は ゲインが定常から -40dB 傾斜で下がるかあるいは $+40\text{dB}$ 上がり傾斜から定常になる 変化点であり、同時に位相は両者とも -180° (180° 遅れ) となる。

2 次の Zero は ゲインが定常から $+40\text{dB}$ 傾斜で上がるかあるいは -40dB 下がり傾斜から定常になる 変化点であり、同時に位相は両者とも $+180^\circ$ (180° 進み) となる。

これらを組み合わせ目標の特性を持つボード線図を組み上げるのである。

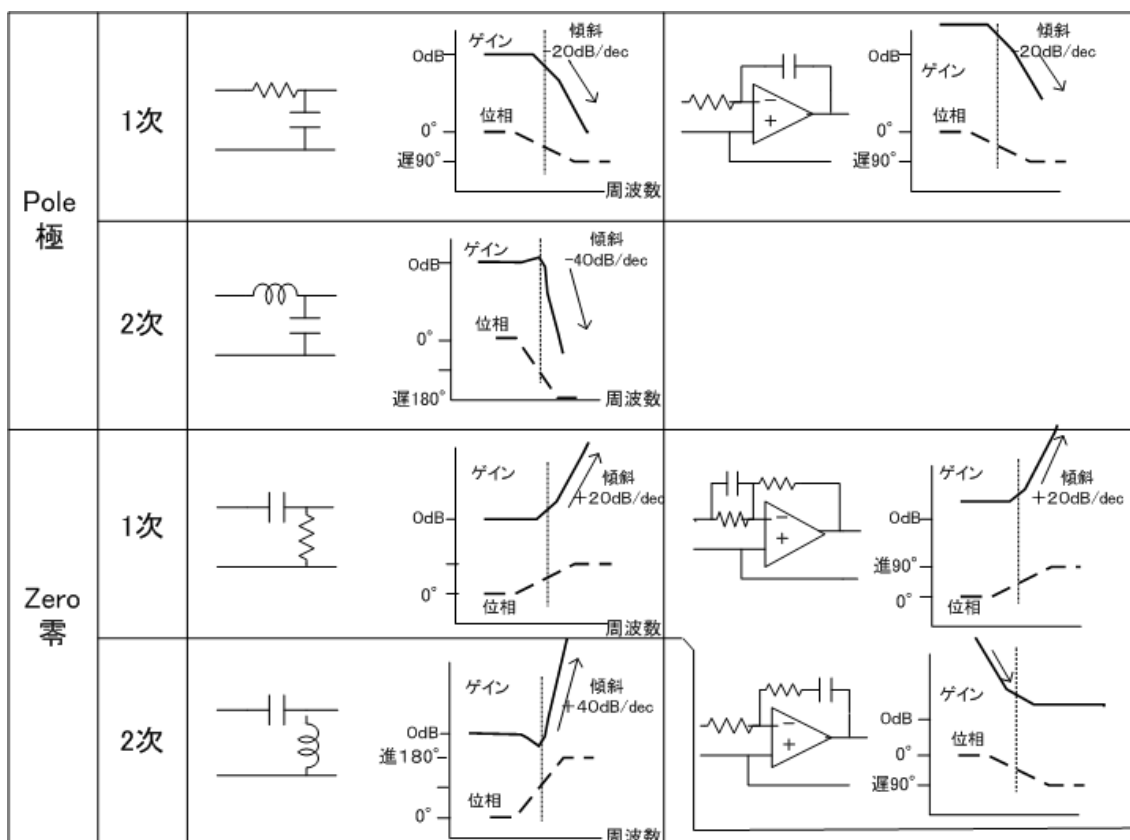


fig2.4.6.1

前項までの FRA から目標の制御回路の設計の要点を整理すると次のようになる。

- ・ 開ループ伝達関数位相余裕、ゲイン余裕で安定制御することで外乱時の発信やリングングを抑える
- ・ 閉ループの G を高くして偏差を抑える。
- ・ 開ループゲイン 0 dB の周波数に至る帯域幅を広くして高速な応答を実現する。
ということになる。

電源回路の制御設計に用いられる代表的な制御設計 2 例を次に行う。

○ PI 制御による制御設計 (*7) (*7 参考文献 IR 社 アプリノート AN-1162)

P は proportion(比例)、I は integration (積分) を意味する。

PI 制御は閉ループ伝達関数に発生する偏差を 0 に近づけるために開ループ設計の低周波部分で誤差増幅部に積分操作を取り入れた設計である。

また高周波部では PW 部フィルターの ESR を使用して微分動作を利用する。

適用電源の仕様面ではスイッチング周波数波が比較的lowくフィルターにケミコン使用のものとなる。PIでの設計においても当然安定性を確保する位相余裕の確保は前提となる。PIでの開ループブロックとブロックごとのボード線図をfig4.2.6.2に示す。

PIは自動制御の表現であり電源設計ではタイプIIまたは2pole-1zeroとも呼ばれる。

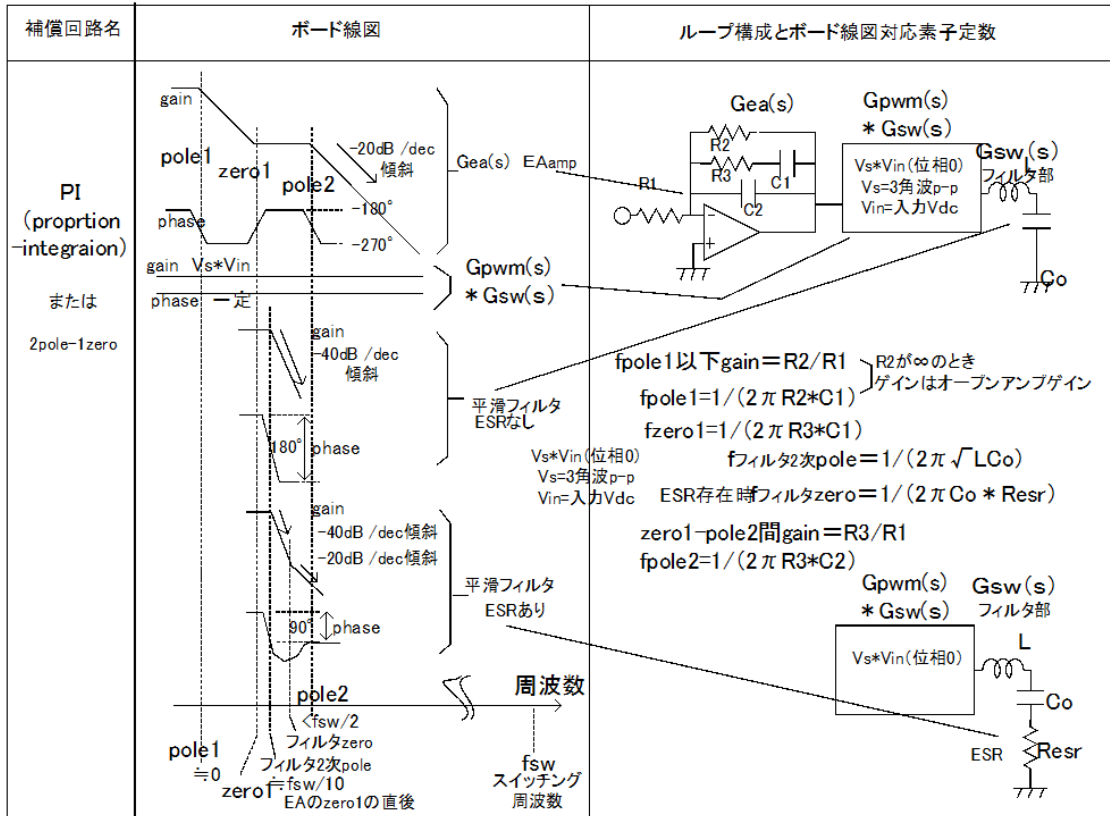


Fig4.2.6.2

Fig4.2.6.2の左側のボード線図は回路ブロック別に同一周波数上にpoleとzeroを配置したものである。周波数軸上には各poleとzero周波数のスイッチング周波数fswと比率関係を示す。

図の右は各poleとzeroを発生する回路ブロックの素子と周波数の関係である。

以下図に合わせてボード線図の状態を説明する。

ボード線図のpole1、zero1、pole2はオペアンプの補償回路で作成される。

最低周波数からpole1まではゲイン一定でpole1からはzero1に向かって20dB傾斜でゲインが低下する。最低周波数からpole1まではオペアンプの裸のゲインあるいはそれに近い高ゲインでzero1周波数まで積分すると同時に位相余裕を確保するため適当なゲインまでゲインを低下させる。(なお以下位相の角度表現は負帰還(-180°)込の位相一巡伝達で示す)。Zero1を通過して定常ゲインになる。また位相はpole1で一度一巡伝達関数で-270°となるがzero1で-180°近くまで戻される。

ここまでのPIの重要ポイントはpole1以下周波数では高ゲインそれ以上zero1周波数までは高ゲイン積分で閉ループ伝達関数のGが非常に大きく、偏差の抑圧の役目である。

Pole1 以上周波数設計は極力ゲインを保つ広帯域幅で 0dB 周波数で位相余裕が得られる特性が目標になる。この領域工夫を要するのは平滑フィルターを含んでの特性設計である。

C に ESR (C 内部に存在する直列抵抗) を有さない平滑フィルターは 2 次の pole を有し位相が -180° (180° 遅れ) 回る。このボード線図は図に ESR なし平滑フィルターで示した。オペアンプの補正回路の素子数が少ない PI 補償では位相遅れの最も少ない zero1 と Pole2 の間であってもすでに -180° になっている。したがってこの最小遅れ -180° 部分にフィルター周波数を合わせても急位相遅れは -180° に加え -180° となり一巡 -360° となる。同時に zero1 と Pole2 間のオペアンプ補正部のゲイン平坦部フィルターの -40dB 低下傾斜のゲインが加わればゲイン 0dB も発生し得る。

一巡伝達関数で 0dB と位相 -360° が同時に起これば不安定状態となる。

したがって PI 構成においては平滑フィルターには位相遅れの少ないものが要求される。

この時フィルターのコンデンサーに ESR が存在するケミコン用いるとフィルターのゲインと位相変化が少なくなる。このフィルターのボード線図は fig4.2.6.2 の下部に示した。

ESR なしフィルターに比べゲインのマイナス傾斜がフィルターの zero 点で -40dB から -20dB に緩和され、同時に位相は -180° 近くから -90° に向って戻ってくる。

この ESR 入りのフィルターを周波数上ゲインと位相をオペアンプ補償の zero1 と pole2 の間に用いれば ESR なしフィルター使用時のに起こる ゲイン 0dB と位相 -360° の不安定可能性は ゲイン 0dB 位相 -270° (-180° に -90°) に改善され 90° の位相余裕の可能性(安定判定)が出てくる。

上記 90° までの余裕設計が可能という点の現実には pole や zero の周波数軸所上の配置ずれから 90° 余裕は難しく 70° もあればいい設計となる。

安定判定の 45° 余裕とはあまり大きな余裕ではないが 2 次ポールを持つフィルタが存在するとき高周波応答を狙えば 45° をわずかに超す余裕しか設計できない場合が多い。

Fig4.2.6.3 fig4.2.6.4 は ESR なしフィルター使用の PI 設計例と ESR 付フィルター使用の PI 設計例におけるボード線図と FRA 解析 2 (LTspice .ac 解析) による位相余裕判定判定例である。(FRA 解析 2 のボード線図はブロックのゲイン位相の寄与が分かる)。

Fig4.2.6.3 の ESR なし時の位相余裕は 2° で不安定判定、fig4.2.6.4 の ESR 存在の効果で位相余裕 53° に増加して安定が実現できる。

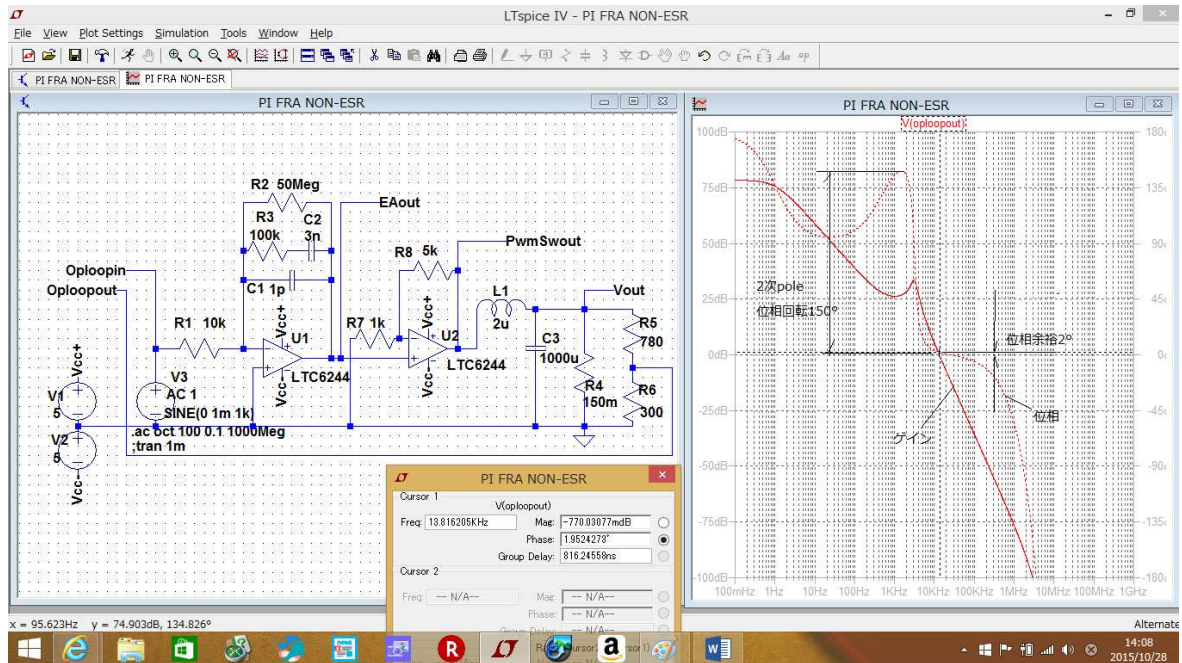


Fig4.2.6.3 (4263cct)

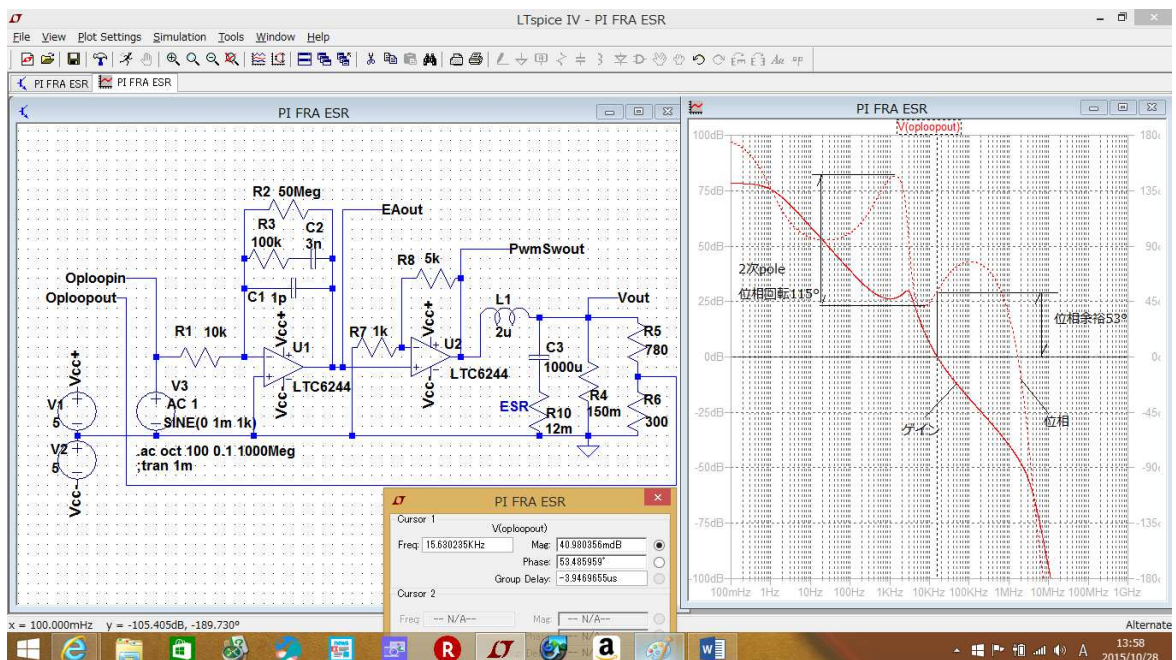


Fig4.2.6.4 (4264cct)

の制御回路搭載の電源の負荷変動特性を LTspice .tran 解析で解析した結果を fig4.2.6.5 に示す。

電源仕様と負荷変動条件は次のとおりである。

電源仕様 : Vin 12V Vout 1.8V Ioutmax=12A fsw=500khz
 負荷変動 : は 6 A⇔12A

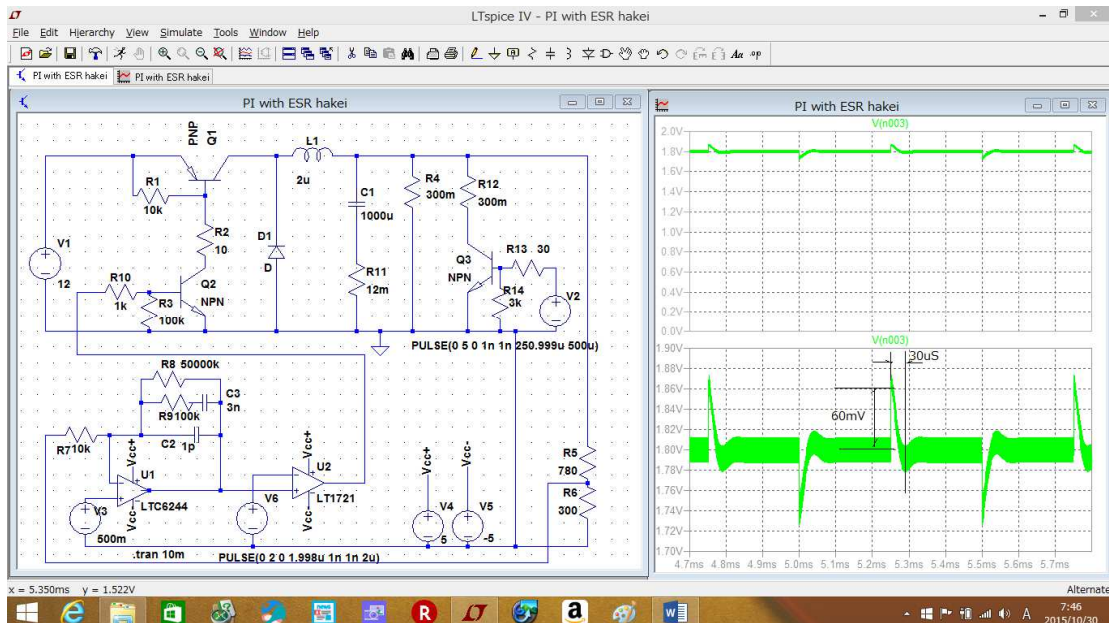


Fig4.2.6.5 (42655cct)

電圧波形上段は出力電圧、波形下段はその拡大であり安定制御の状態が解析されている。

制御性とは別にスイッチングリップル大きい点が注目される。出力電流が大きい仕様においては ESR 存在フィルター使用時は ESR によるスイッチングリップルが増大するという短所がある。

したがって出力電圧が低く電流が高い電源には ESR 利用の PI はあまり向かない。

ここで 4.2.2 項で安定性判定はゲイン 0dB の f_0 でのみ判定されると述べた点を今回の解析波形で確認してみると下の様になる。

今回の出力波形の過渡に生ずる髭の周波数が半波長 30uS から周波数としては 15kHz と観測される。この 15kHz はボード線図 fig4.2.6.4 でのゲイン 0dB に相当する f_0 周波数である。 f_0 におけるゲイン余裕が少ない場合はこの周波数のリングングや発振が髭の後に継続発生することになる。

すなわちリングングや発振波形の周波数は常にゲイン 0dB の f_0 周波数となる。

○PID による制御設計

PID の D は defarenncial(微分)を意味する。

微分の効果はゲイン 0dB 帯域の内のゲインと f_0 における位相余裕を上げ電源の変動対応特性の改善することである。PI では高い周波数においては ESR の存在を利用し位相余裕を得て変動対応特性を改善した。しかし ESR はスイッチングリップルや効率面では弊害となる。PID では微分補償回路 (D) に高周波は制御性を得るものである。

従って ESR が微小なセラミックコンデンサの平滑フィルター搭載電源にも対応でき POL など小型高効率高周波電源に適用される。

PID での開ループ構成ブロックのボード線図とその素子定数の関係を fig4.2.6.6 に示す。

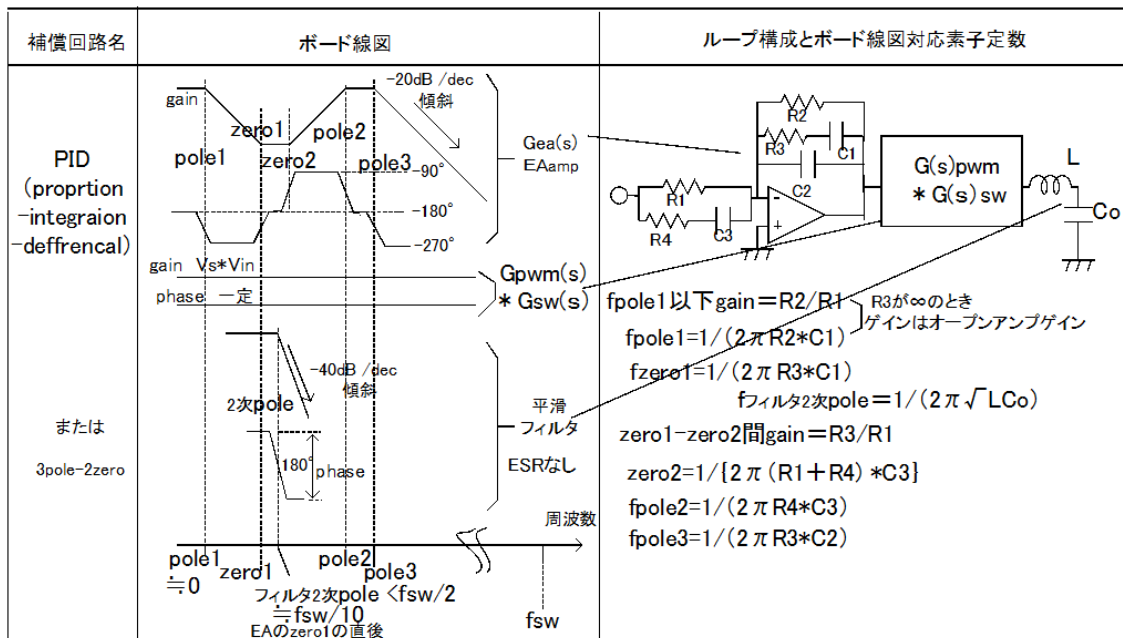


Fig 4.2.6.6

PID は別の名称としてタイプⅢ、あるいは 3pole-2zero と呼ぶことがある。

構成は PI と最初の pole1 と zero1 は同じで偏差対応しているがその上の高周波側は zero2 pole2、pole3 が配置され 3pole-2zero という構成となる。

zero1 の上側周波数に挿入されるフィルタの 2 次ポールによる 180° 位相遅れが位相余裕確保の不都合になることは PI で述べた。PID では zero1 の上側周波数に zero2 と pole2 を設置して位相を 90° 戻しこの不都合に対応したものである。

Zero2 で位相を -90° まで戻すことでそこに 2 次ポール 180° 遅れ挿入に対しても -270° (270° 遅れ)にとどまり、360° に対し 90° 余裕までの可能としている。

これはで PI で行った ESR 有するフィルタの内の zero によって位相を戻したものと同等な結果を実現することになる。(位相角は全て一巡伝達関数表現)。

この構成により PID では PI のような ESR を必要なしで位相余裕を可能にしている。

ESR を利用しないことは電源特性上 ESR によるスイッチングリップル増加や効率の低下を抑圧することができる。

Pole3 と pole4 はその上の周波数ではゲインをマイナス方向に抑え込むものである。

尚伝達関数の理論では zero の数より pole の数が多いことは高周波側でゲインを絞り込み伝達を閉じることでありプロパー(正当な)形式といい伝達関数の原則である。

以上をもとに実際の数値を入れて設計した制御の FRA 解析 2. (.ac 解析) が fig4.2.6.7 である。上段オペアンプのボード線図、下段は一巡伝達位相表現のボード線図である。

雪溪の制御回路を搭載した電源の Vout 応答を .tran 解析したものが fig4.2.6.8 である。
 なお 電源仕様 : Vin 12V Vout 1.8 V Ioutmax=12A fsw=500khz Iout 6A⇔12A
 PI のケースと同仕様とした。

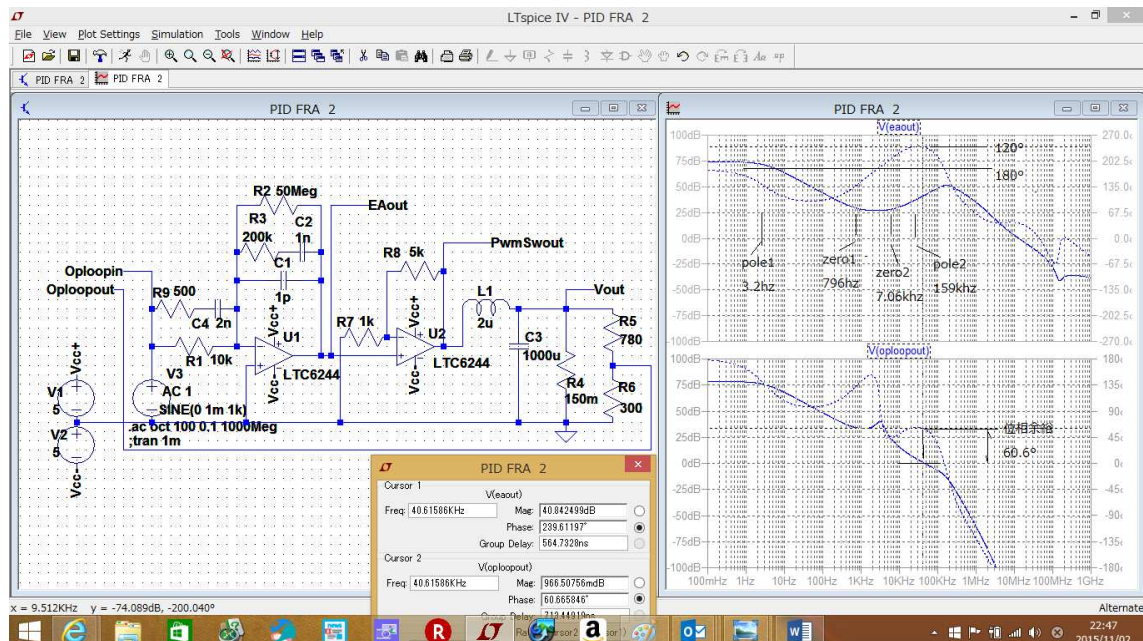


fig4267 (4267cct)

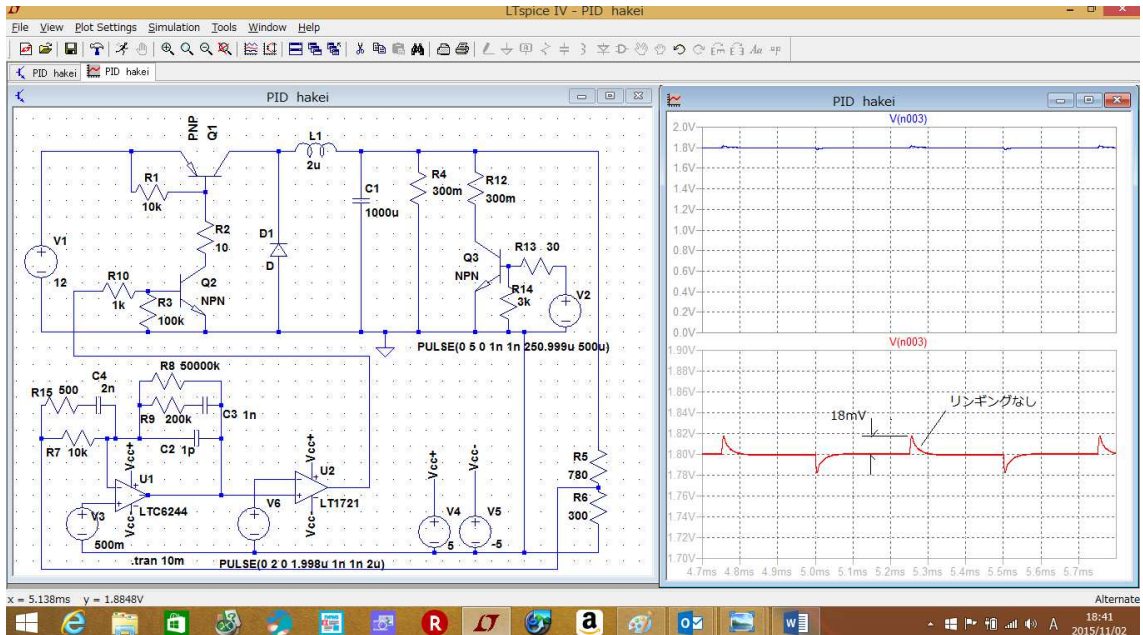


Fig4268 (4268cct)

FRA 解析 1 では 0dB 帯域が 40khz で位相余裕 61°と設計され、tran 解析では応答電圧
 が 10mV と位相余裕が多いためリンギングは見られない。PI 制御よりも優れた制御が実
 現できている。特に ESR による効率低下とスイッチングリップルの抑え込み効果が明確で
 ある。

◇4.2.7 制御回路の設計(カレントモード)

電流モードはフィルター部が FRA に及ぼす特性が電圧モードの 2 次ポール(位相回転 180°)でなく一次ポール(位相回転 90°)になる。

この様子を fig4.2.7.1 に示す。

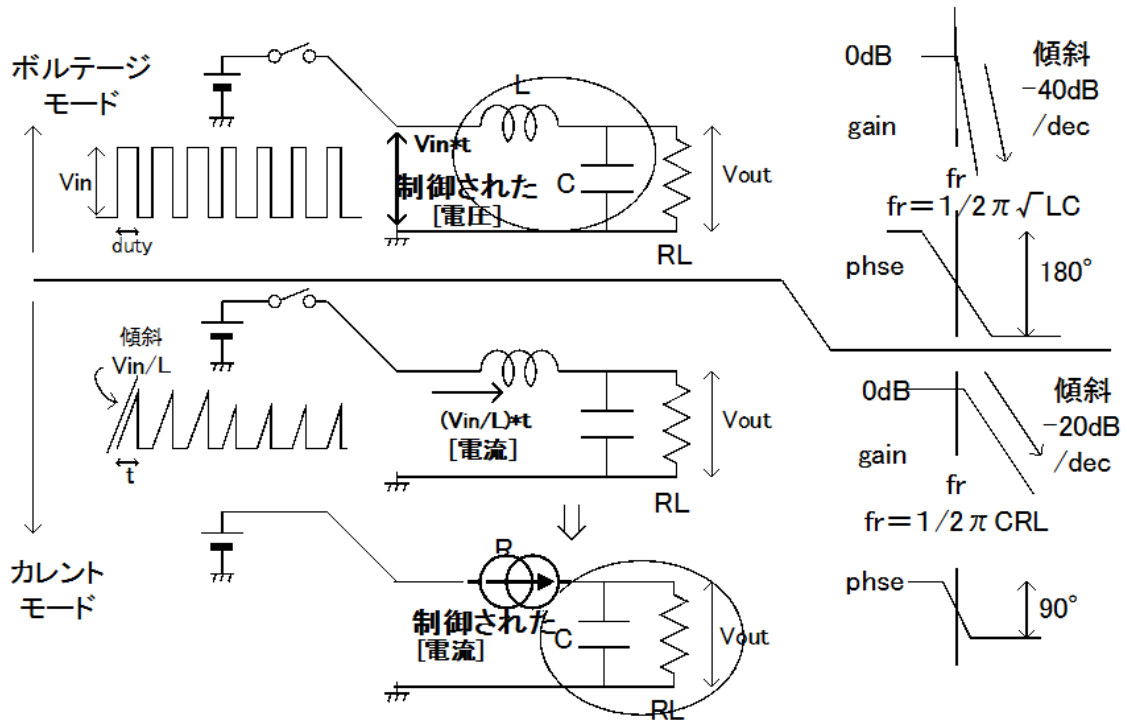


Fig4.2.7.1

カレントモードでは整流回路入力にコントロールされた定電流特性の電流である。このことでインダクターはインダクタンス特性でなく定電流特性としてふるまう。

定電流に接続される平滑コンデンサーCと負荷抵抗Rはボード線図上1次のCRポールとして動作する。(電圧モードのLCフィルターでは負荷抵抗は周波数特性に関与しないがカレントモードでは負荷抵抗Rも制御設計に関与することになる)。

この定電流特性によるフィルターを考慮した位相制御回路のボード線図をfig4.2.7.2に示す。カレントモードでは一巡伝達関数はこの1次poleのフィルターで構成されるため電圧モードの安定性設計に比べ位相遅れが 90° 少ない設計が可能ということになる。

このため電圧モードで必要としたPI制御時のフィルター回路のESRやPID制御のzero2を必要としなくて安定性設計の可能性が出てくる。

そのことからカレントモードにおいてはアンプ周辺の位相補償素子の少ないPIの制御回路が適用される。

また位相余裕の判定はゲイン0dB周波数で 45° 以上という点はモードによらずカレントモードでも同じである。

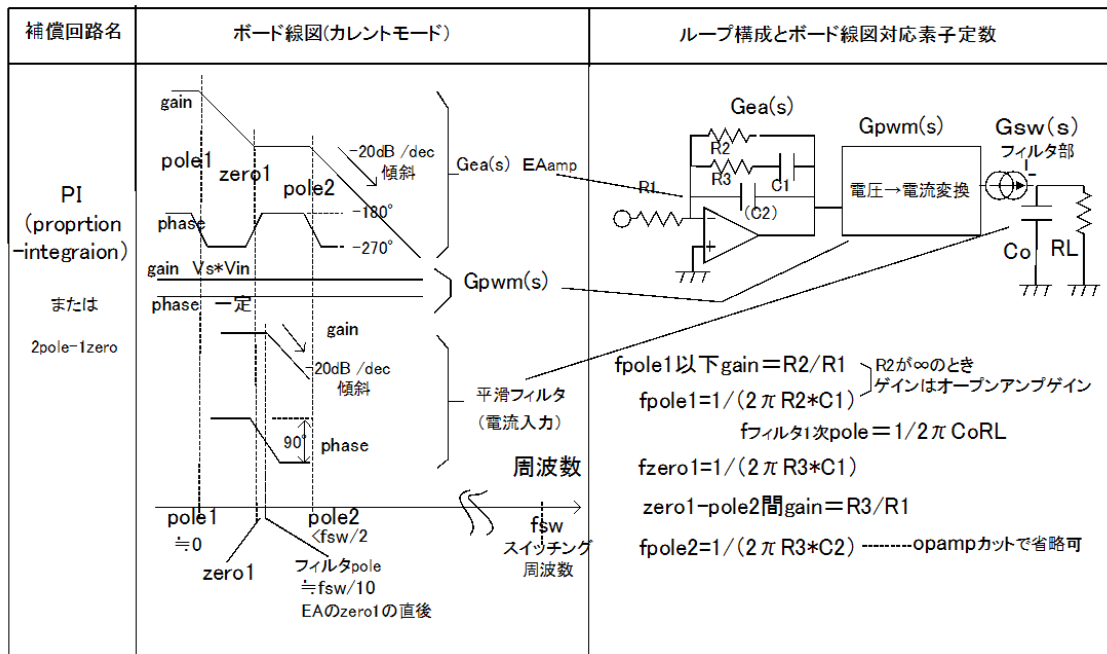


Fig4.2.7.2

制御 FRA ボード線図周波数軸上のフィルター1次ポールの挿入位置はほぼ電圧モードフィルターの位置と同じで zero1 の直上になる。

Zero1 から pole2 間の位相は -180° であり、フィルター1次 pole での 90° 遅れが加わり位相遅れは 270° にとどまることになる。したがって 360° からの位相余裕は 90° で余裕不足はないことになる。このことから位相余裕の設計は行いやすいといわれている。

しかし zero1 の設計位置によっては位相余裕がクリチカルになる。

ゲイン 0dB 帯域内周波数ゲインを上げようと zero1 をフィルター1次ポールより高いところまで移動すると zero1 より低い位置の位相 -270° 部分にフィルター1次 pole の 90° の遅れと重なり -360° (位相余裕 0°) 発生の懸念 (fig4.2.7.7 参照ください) が生じる。

このことから zero1 とフィルター1次 pole の位置は慎重に行うことが必要である。

Fig4.2.7.3 に上の fig4.2.7.2 の FRA ボード線図の配置を考慮して設計したカレントモード Buck 電源の FRA 解析 2 の (LTspice .ac) 解析を示す。

設計電源の仕様は $V_{in} 10V$ $V_{out} 5V$ $I_{outmax}=10A$ $f_{sw}=500kHz$ $I_{out} 5\leftrightarrow 10A$ に

対しボード線図設計は $f_{pole1}=0.1hz$ $f_{zero1}=640kHz$ $filterpole=677hz$ と設計した。

またフィルター構成は定電流源入力に平滑容量 47u と定格負荷 (0.5Ω) の並列にし定電流源は PI 構成オペアンプの出力で制御した 電圧-電流変換素子 (B1) で構成している。なお B1 の変換倍率 n に関しては設計回路を荒設計で動作させ定格出力電流 (I_{out}) と制御 OP アンプ出力電圧 (V_{cont}) の倍率を適用して $B1/(1/n)$ と設定する。

荒設計電源実動作の処理電流/アンプ出力電圧 1.56 倍であるので解析では $B1/(1/1.56)$ →を $B1/0.64$ としスイッチ電流三角パルスアナログ化する。(n= I_{out} /誤差増幅器 V_{out})

解析結果(解析時間秒単位)でゲイン 0dB 周波数 5.3kHz 位相余裕 90° となる。

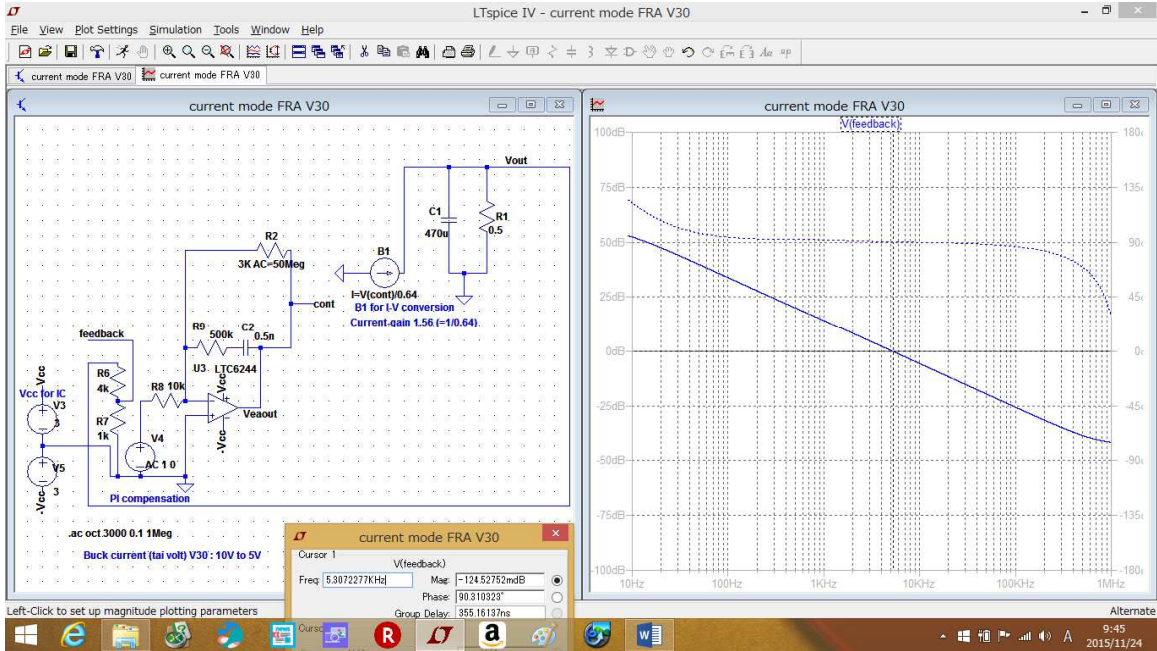


Fig4.2.7.3 (4273cct)

次に同回路を LTspice 提供の FRA 解析 1 で解析し上結果と対比すれば fig4.2.7.4 となる。解析結果（解析時間 5 分）はクロスオーバー 8.3kHz、位相余裕 90° と FRA 解析 2 と実用レベルで一致する。

（FRA 解析 1 でスロープ補償がアンプでなく電流にされていると一致性は低下する）。高速解析メリットから設計過程（繰り返しの解析）は FRA 解析 2 で行き 最終仕上げ確認を FRA 解析 1 で行うことが設計時間の短縮になる。

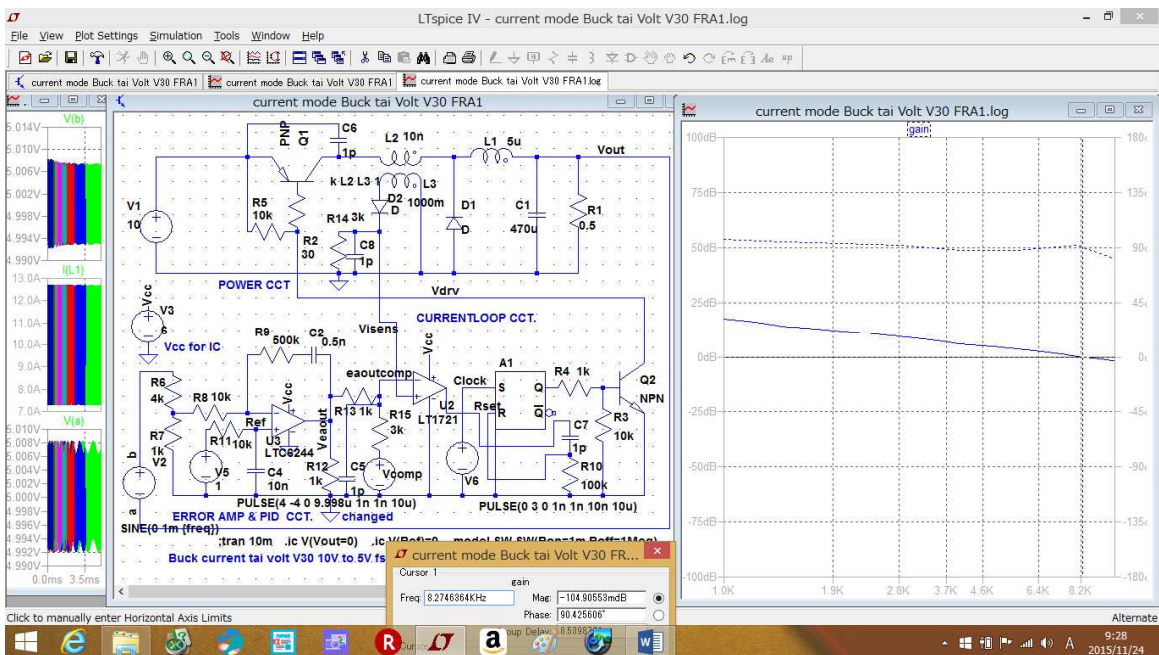


Fig4.2.7.4 (4274cct)

Fig4.2.7.5 は設計された電源回路の LTspice .tran 解析による負荷変動応答波形である。

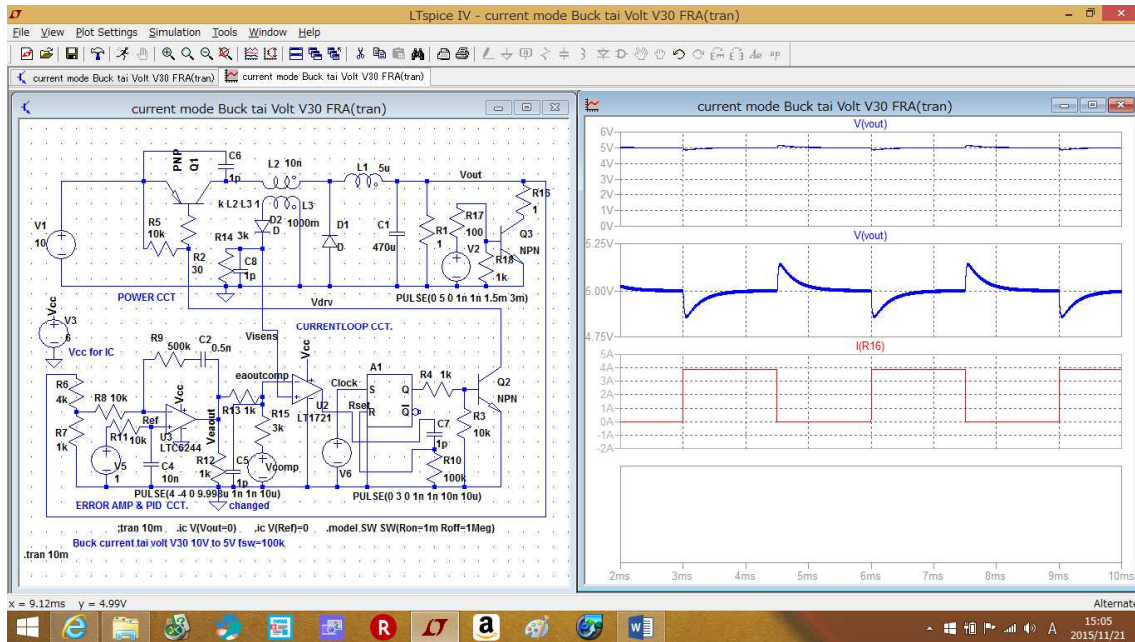
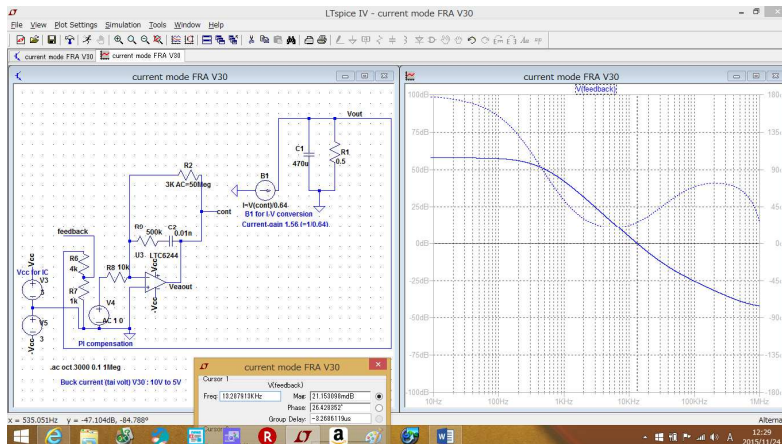


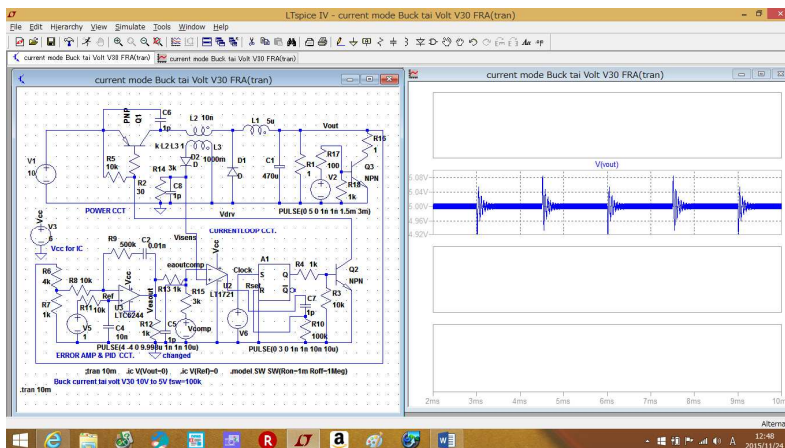
Fig4.2.7.5 (4275cct)

上記設計は標準的なボード線図によるものであるが応答速度に注目して位相余裕を 45 度以下まで犠牲にした設計例をボード線図を fig4.2.7.6 に応答波形で fig4.2.7.7 示す。



Zero1 32k に上げて設計
ゲイン 0dB 周波数 13.3kHz
位相余裕 26°

Fig4.2.7.6 (4276cct)



高ゲイン高 f0 のため必要以上に zero1 上昇設計はカレントモードであっても位相余裕が減り応答は速いが安定性不足（リングング、発振）になる。

Fig4.2.7.7 (4277cct)

第5章 電源特性の定量測定

5.1 効率測定

電源の性能においては安定性や高速応答性は重要であるが、スイッチングにおいて高効率是最も期待される性能である。

新しいトポロジーに挑戦するときはそのトポロジーが得られる効率の大枠を把握する推定が必要である。

LTspice においては回路に使用されるデバイスに LTspice ライブラリーやメーカーから提供されるマクロモデルを使用することで電源回路のアナログ特性を定量値で把握できる。

この項では例として高効率いわれる非対称ハーフブリッジ（以下 AHB）電源の効率を推定推定してみる。

設計する AHB の仕様は

入力 390V 出力 5V 20A(100W) fsw=100khz とする

390V 入力 5V 出力はスイッチング電源では効率があげにくい仕様であるが、目標効率を 90% とする。

◇5.1.1 マクロモデル適用と効率測定

Fig5.1.1.1 は目標仕様で設計した AHB でありスイッチ素子にマクロモデルを適用し、2次電流路に 20mΩ を想定したものである。

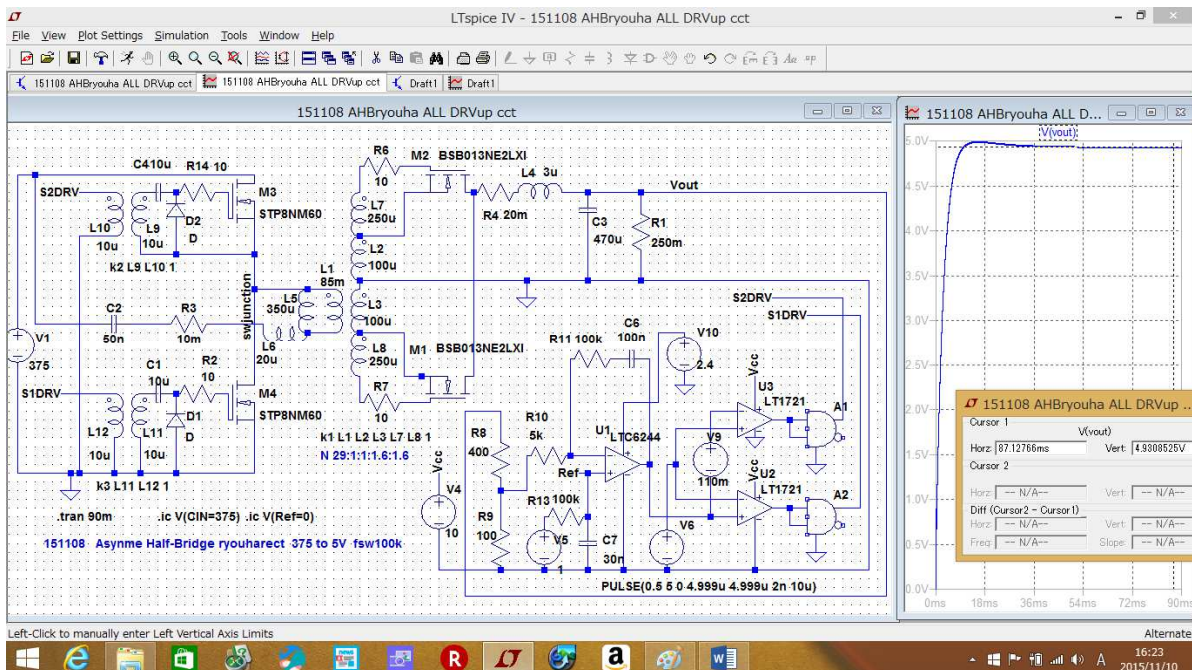


Fig5.1.1.1 (5111cct)

右チ波形画面は安定までの負荷 $250\text{m}\Omega$ の出力電圧であり安定 V_{out} 4.93V を得ている。

以上を確認した上で設計品の効率の測定に進む。

V_{out} が定常になった後のスイッチング 1000~2000 サイクル幅を選んでチャート画面に下記の手順で出力電力と入力電力を表示する。

- 手順 1. チャート画面の時間軸を 80mS~90mS (1000 サイクル幅) にする。
2. チャート画面を右クリック→add plot pane(左クリック)で数画面にする。
3. 空白画面上で右クリック→add trace (左クリック)で Add Trace to plot ウィンドウを得る。
4. このウィンドウ最下段に入力電力を算出する計算式を書き込む (ウィンドウ内に V や I で表示されている電圧や電流はカーソルで選択できる)。
- OK をクリックで空白画面に入力電力が表示できる。

Fig5.1.1.2 は入力電力式の記述例である。

5. 3-4 を繰り返し出力電力を次の画面に表示する。

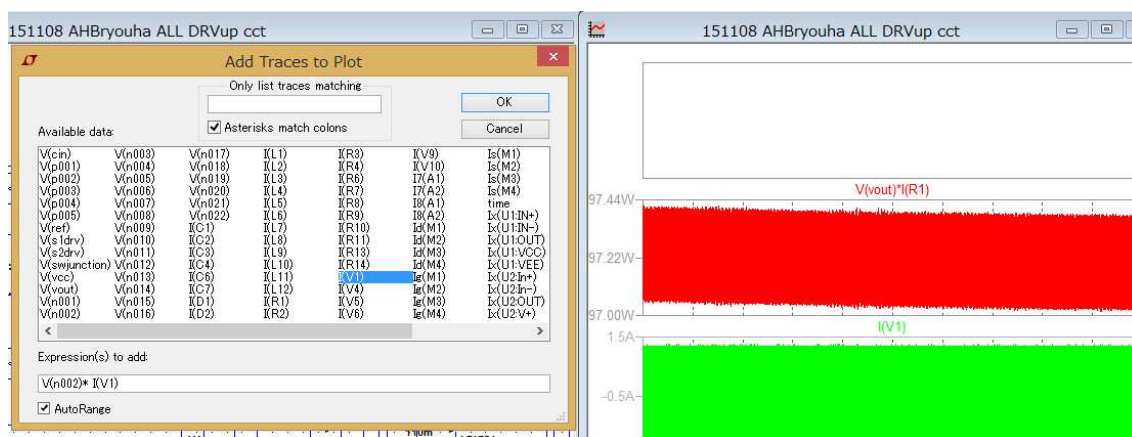


Fig5.1.1.2

6. 入力電力、入力電電力画面から電力を読み取る。

読み取りは各画面の表題を **Ctrl** を押しながらクリック(左)で小ウィンドウ内に表示される。

Fig5.1.1.3 は入力電力、fig5.1.1. 4 は出力電力の読み取りであり

$$\begin{aligned} W_{in} &= 107.31 \quad \text{W} \\ W_{out} &= 97.21 \quad \text{W} \quad \text{となる。} \end{aligned}$$

この読み取りから 効率 = $W_{out}/W_{in} = 0.9058$ (90.58%) となる。

2次回路系に $20\text{m}\Omega$ を設置しての $5\text{V}(20\text{A})$ 出力 として 90.58% は 高い効率である。

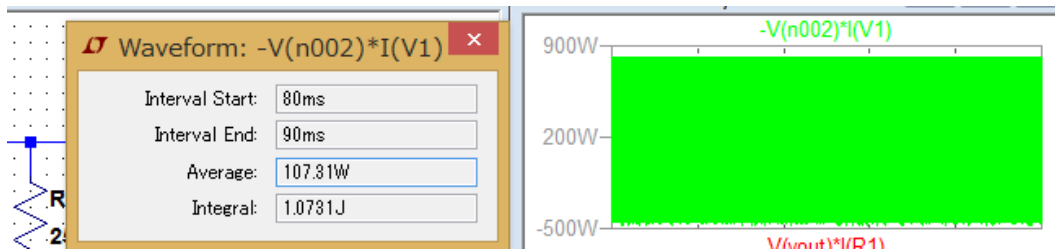


Fig5.1.1.3

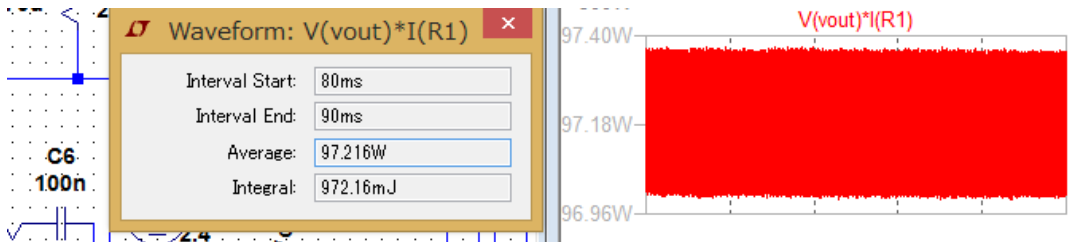


Fig5.1.1.4

◇5.1.2 回路変更と効率見積

電源設計において部品変更や回路変更が生ずる。

この場合どの程度効率が影響受けるかの見積もりをするのに LTspice での効率測定が効果的である。

2つの例で効率の変化を測定してみる。

○2次回路の損失抵抗を削減する場合(fir5.1.1.1 から2次損失抵抗を10mΩにした場合)。

20mΩの損失抵抗を設定したが10mΩまでの低減を行うとしたら効率はどこまで上がるかを測定してみる。Fig5.1.2.1は入力電力想定結果である。

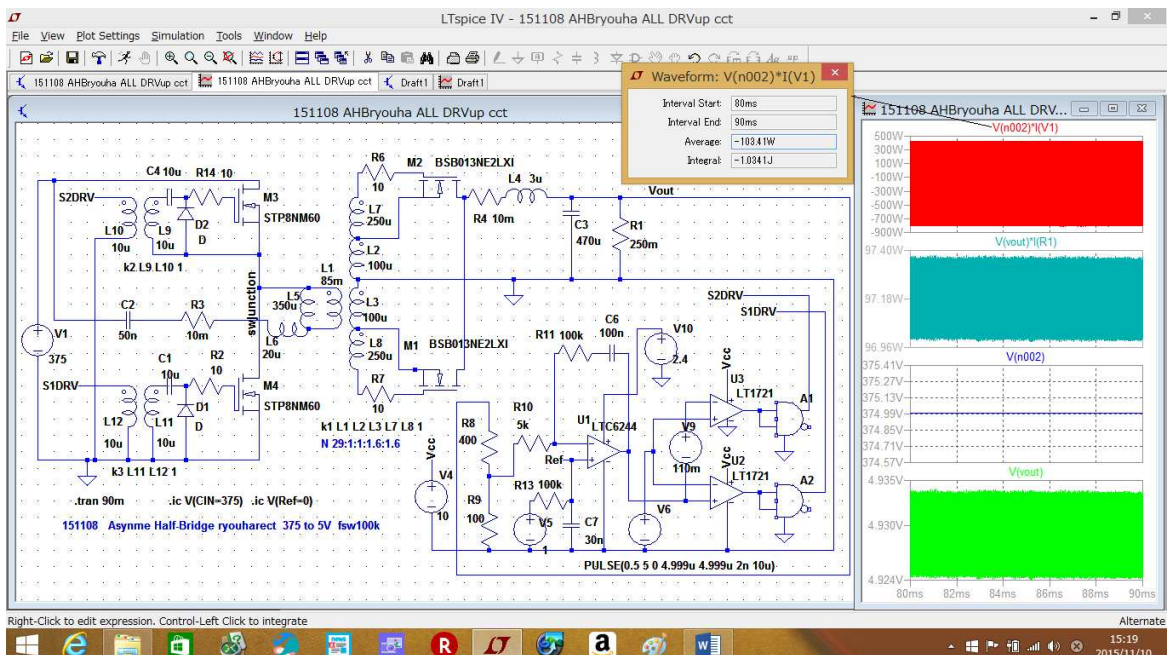


Fig5.1.2.1 (511cct)

2次回路損失抵抗を $10\text{m}\Omega$ での効率は

$$W_{in}=103.41 \quad \text{W}$$

$$W_{out}=97.21 \quad \text{W}$$

$$\text{効率} = W_{out}/W_{in} = 0.9400 \quad (94.00\%)$$

2次回路の抵抗損失改善工夫時代で95%に近い効率確保の可能性が見えてくる。

○整流平滑に同期整流を使わない場合

20A クラスの出力電流を扱うには同期整流が一般であるが何らかの制約でダイオード整流を使わざるを得ない時どの程度効率が低下するか測定してみたのが fig5.1.2.2 である。

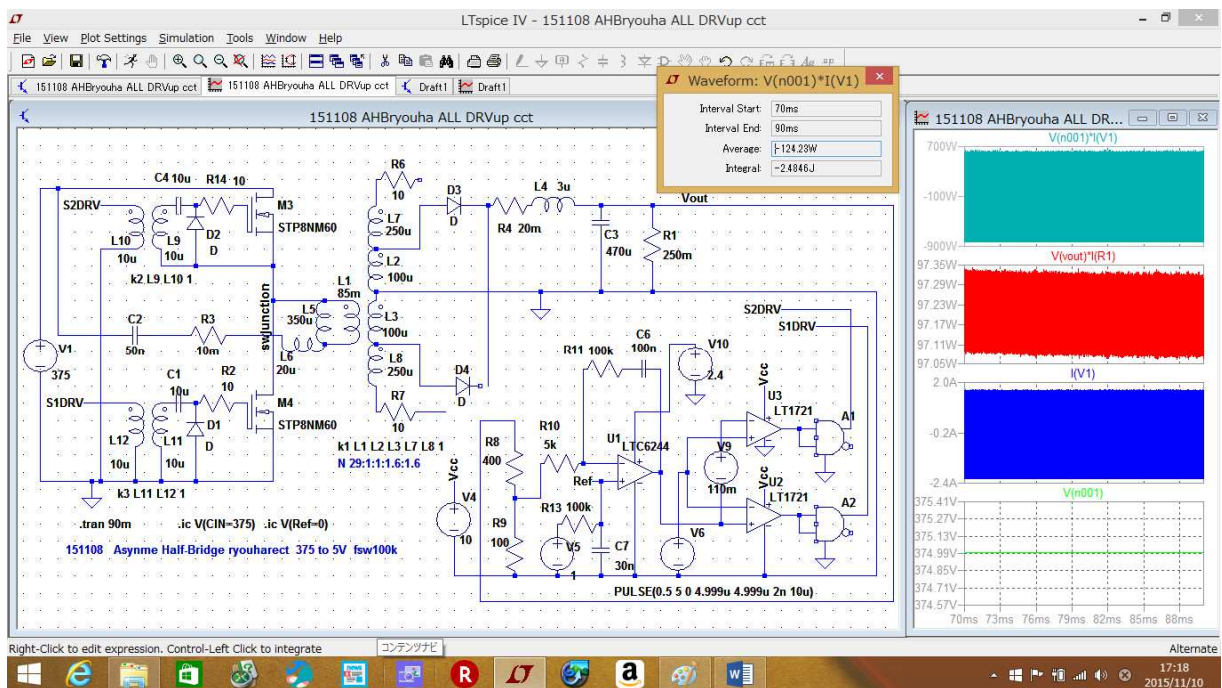


Fig5.1.2.2 (511cct)

ダイオード整流時の効率は

$$W_{in}=124.28 \quad \text{W}$$

$$W_{out}=97.21 \quad \text{W}$$

$$\text{効率} = W_{out}/W_{in} = 0.7821 \quad (78.21\%) \quad \text{となる。}$$

同期整流使用の 効率 90.58%(6.1.1 項)と比較すれば 5V 出力の電源における同期整流の必要性和効果が実感できる。

以上のように LTspice 解析でマクロモデルを適用すれば 電源効率見積もりが感覚によらない定量的な数値で行える。

5.2 力率、高調波電流測定

入力 AC の電源においては高効率と同時に高力率と入力電流の低高調波が要求される。

電源自体の効率が高くても力率が低いと電源ラインに電圧波形と流通角がありピークの高い電流が流れ無効電力となり電源配電系で損失が発生する。

また流通角のある電流は電源ラインに商用周波数以外の高調波を派生し EMI の源になる。

力率や高調波が電源の外に悪影響を与えるために国際規格 IEC-61000 が規制されている。これらの見積もりも LTspice .tran(時間解析)で行える。

◇5.2.1 AC-DC 変換と力率

AC 入力機器において AC の直接整流平滑を行う場合は力率の低下が発生する。

Fig5.2.1.1.は AC 入力機器の入力電圧と整流平滑部によって発生する入力電流波形である。

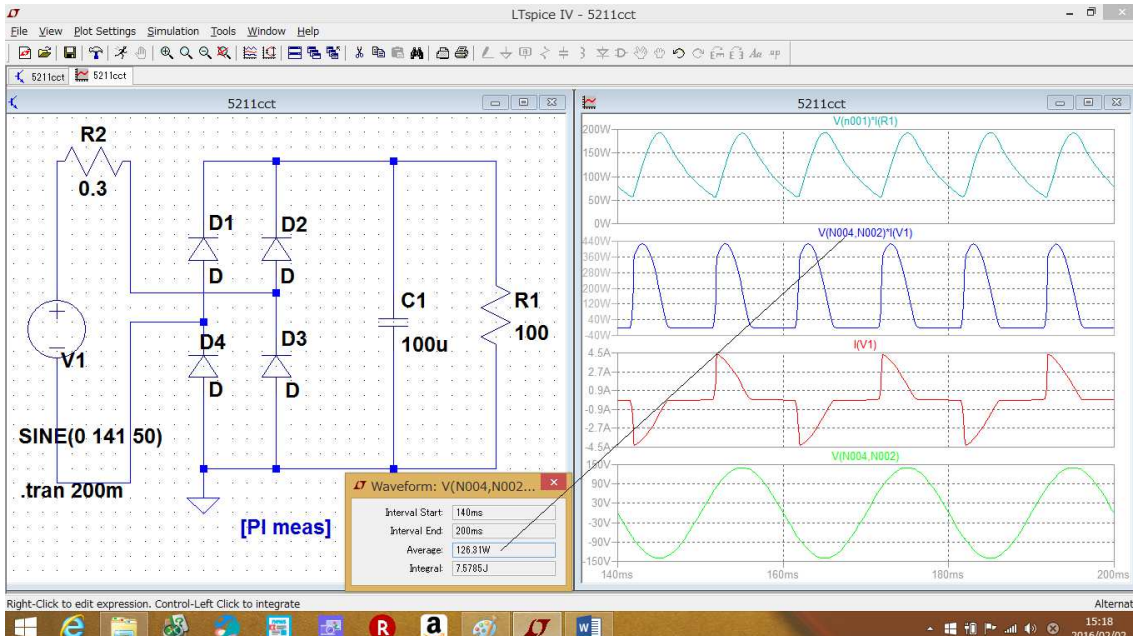


Fig5.2.1.1 (5211cct)

.tran 解析された チャート波形下段から上段へ

入力電圧 (読み取り値 rms 99.537V)

入力電流 (読み取り値 rms 1.7648A)

入力電力 (読み取り値 average 126.31W)

負荷消費電力 (読みとり値 average 123.07W) となる。

(fig5.2.1.1 のように AC 周波数で波形数が少ない時は整数倍のサイクル波形を用いる)。

力率 (PI) = 有効電力 / 皮相電力 = 入力電力 / (入力電圧 * 入力電流)

= 126.31 / (99.53 * 1.7648) = 126.31 / 175.72 = 0.72 力率は 0.72 まで低下する。

機器内部の効率は入力電力 (126.31W) と負荷消費電力 (123.07W) の比率から

97.4%と低くない (3.24W 損失はダイオードの電圧降下による)。したがって AC-DC 変換の効率問題はほとんどない。

この機器が及ぼす弊害は入力電流である。入力電力 126.31W を AC100V(振幅 141VAC) から得るには正弦波であれば 1.263A(rms)で対応できるはずである。これに対し整流平滑を含む機器では 1.269 に対し 0.496A 過多の 1.7648A(rms)が電力ラインに流れていることになる。

電力ラインの抵抗損は $(1.7648/1.269)^2$ (≈ 2 倍)になる。またこの損出低下を生んだ入力電流波形は正弦波でなく多くの高調波を含むことになり EMI の源にもなる。

その弊害を抑えるための対応が力率補正 (PFC) 回路である。

◇5.2.2 PFC レギュレータ の効率、高調波測定

力率を 1 に近い値で AC-DC 電源を構成するためには PFC プリレギュレータを AC-DC 電源に前置する方法がとられている。PFC プリレギュレータは AC から高力率で DC を発生するものである。

Fig5.2.2.1 がその PFC 回路と入力電流、電圧、電力である。

波形は下段から入力電圧、入力電力である。

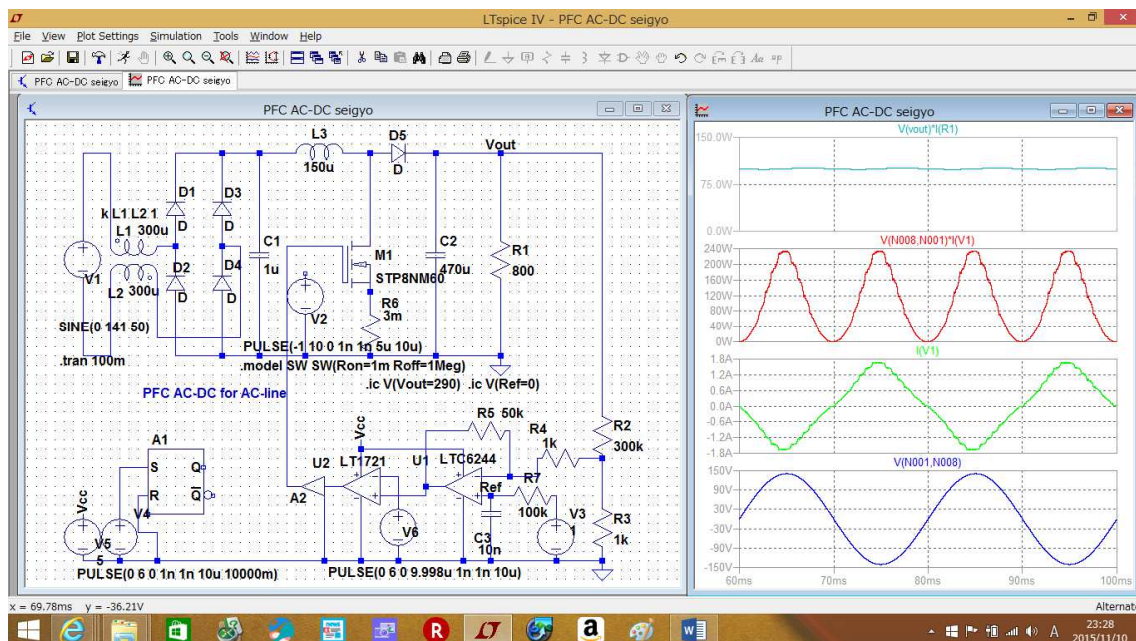


Fig5.2.2.1(23127ect)

各入力電流、入力電圧、入力電力は fig5.2.2.2 の通り

入力電流 1.0381A(rms)

入力電圧 99.702V(rms)

入力電力 102.33W(average)

力率=入力電力 / (入力電圧 * 入力電流) = 102.33 / (99.702 * 1.0381) = 0.989

PFC 回路により 1 に近い力率に補正されている。

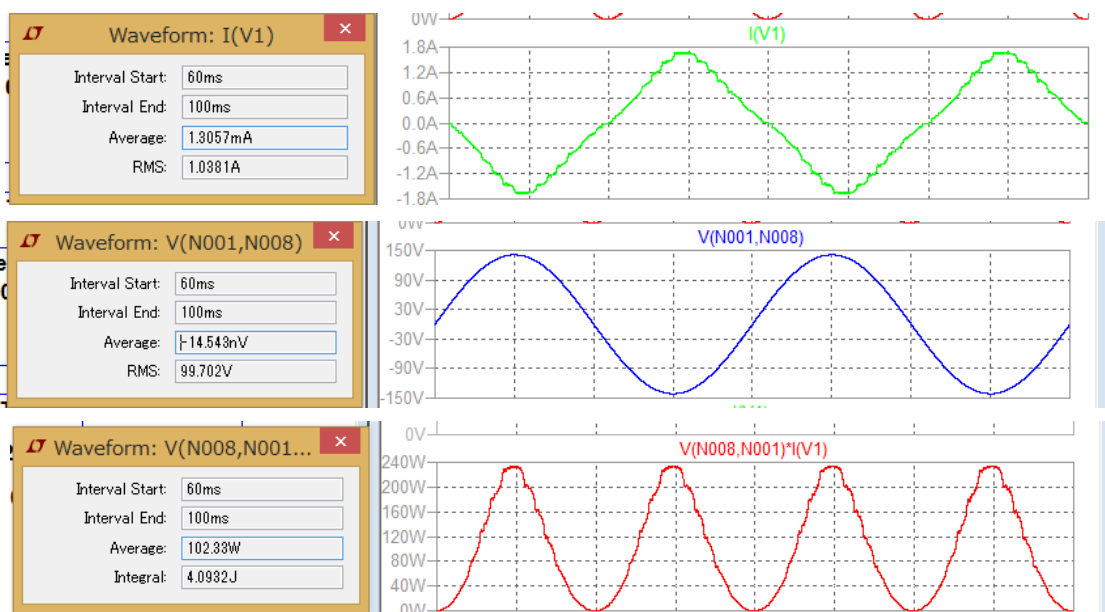


Fig5.2.2.2

高調波電流であるが Fig5.2.2.3 は入力電流波形を FFT 解析したものである。

手順 1.チャート画面を右クリックし選択画面の View→FFT を選択

手順 2.表示されたウインドウの波形名(今回は I(V1))を選択 でフーリエ展開画面が得られる。
基本波(50hz)に対して第 3 高調波(150hz)は 18 d B 、第 7 高調波(350hz)は 43 d B 抑圧抑圧されている。

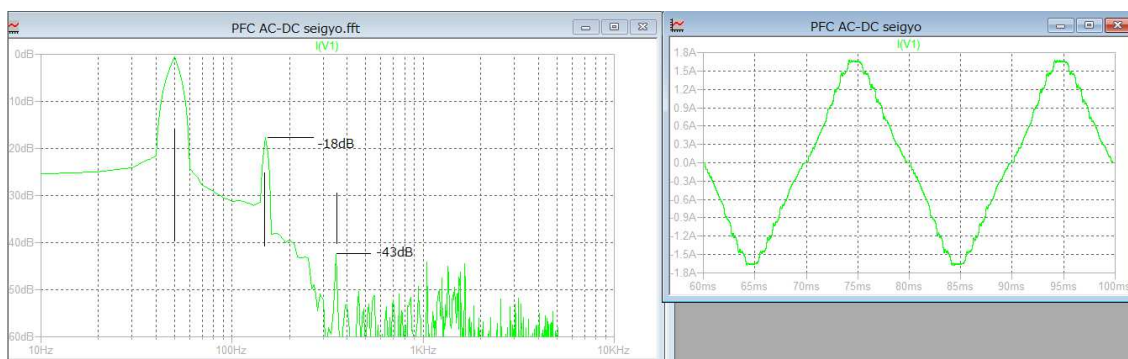


Fig5.2.2.3

第6章 LTspice をうまく電源回路に使うには

6.1 シミュレータの動作を知る

シミュレータで電源回路を解析する時、リニア回路解析ほどスムーズに解析が進まないことが起こり得ます。この章ではこれまで行った各種電源回路や項目の解析後、読者なりに回路変更や新回路を作成し解析に進むときに解析を効率的に行う手助けとなりうる項目を述べる。そのためにまずは回路シミュレーター一般の動作を粗く説明する。

◇6.1.1 回路図から回路方程式へ

回路図は回路方程式作成へのエデターである。

回路技術者は回路図を回路方程式に置き換えるのは非常に面倒である。まして数百点にのぼる素子による多数の閉回路について回路方程式を得るのは現実不可能である。この点方程式への変換のプログラムを与えさえすれば計算機は多大な変換を短時間で行える。

一方目的に合った回路図作成など創造的な仕事は計算機には向かない。

回路シミュレータでは回路技術者は目的に従った回路図を従来の回路図記述法とほとんど変わらない形でモニタスクリーンに作成する。

計算機はその回路図を所定のプログラムで解析用の計算に適した回路方程式に変換し膨大な回路方程式を作成する。

この人間と計算機との間を取り持つのが回路図エデターである。

回路図から回路方程式に変換するまでが シミュレータの前半の仕事である。Fig6.1.1.1

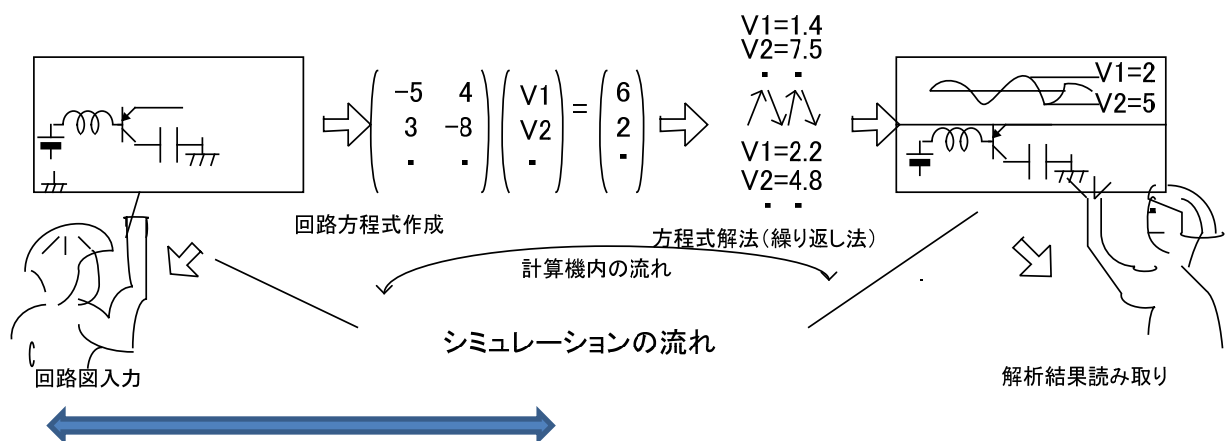
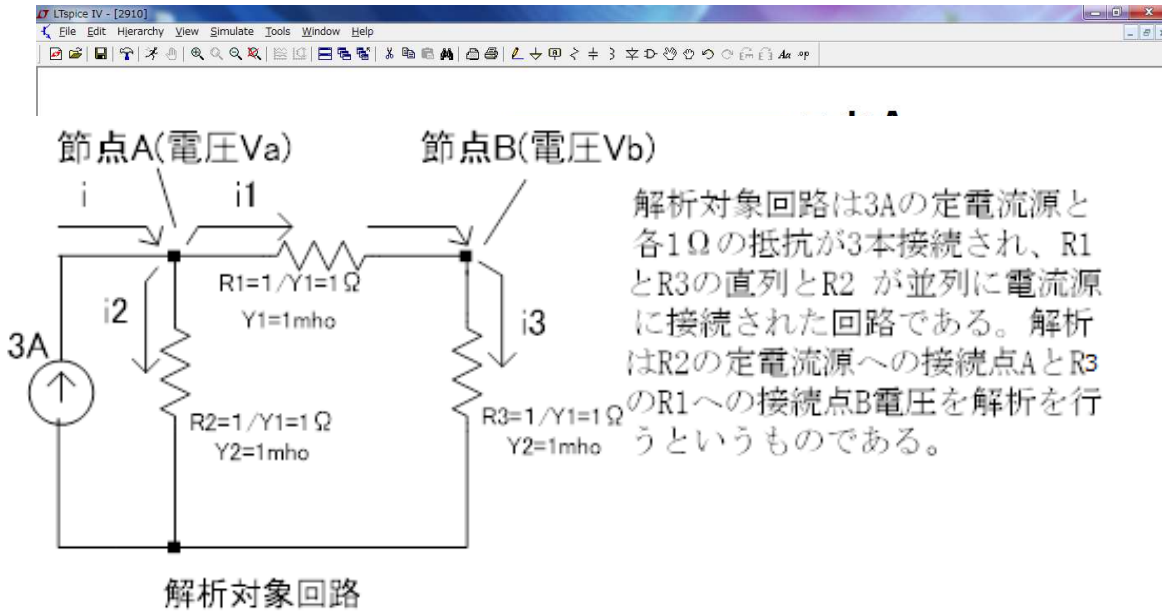


Fig6.1.1.1

まず回路図から回路方程式（行列式）への展開を説明する。

実際の回路では素子数とその接続により発生する多数の回路ループに跨って計算機ならではの多量の計算が行われる。説明では回路をわかりやすくするため閉回路ループ 2 個で構成される回路 fig6.1.1.2 で考えてみる。

○エデターへの入力の回路図



解析対象回路は3Aの定電流源と各1Ωの抵抗が3本接続され、R1とR3の直列とR2が並列に電流源に接続された回路である。解析はR2の定電流源への接続点AとR3のR1への接続点B電圧を解析を行うというものである。

Fig6.1.1.2

○回路方程式の作成（計算機内）

回路方程式はキルヒホッフの第1法則（一つの接点に流れ込む電流の総和は0である）を用いてたてる。

Fig6.1.1.2について 接点A, 接点Bにこの法則を適用してみると。

接点A $-i+i1+i2=0$

$$-3+Y1*(Va-Vb)+Y2*Va=0 \quad \rightarrow \quad Va(Y1+Y2)-Vb * Y1 = 3 \quad \text{---(611-1)}$$

接点B $-i1+i3=0$

$$-Y1*(Va-Vb)+Y3*Vb=0 \quad \rightarrow \quad -Y1* Va +Vb*(Y1+Y3)=0 \quad \text{---(611-2)}$$

(1)(2)行列式表現にすると
$$\begin{pmatrix} (Y1+Y2) & -Y1 \\ -Y1 & (Y1+Y3) \end{pmatrix} \begin{pmatrix} Va \\ Vb \end{pmatrix} = \begin{pmatrix} 3 \\ 0 \end{pmatrix} \quad \text{--- (611-3)}$$

 ただし $Y1=1, Y2=1, Y3=1$

行列式表現は元数の多いときは扱いやすい表現ができる、今回は回路内に二つの接点を解析しているが回路規模が大きいと Va、Vb、Vc、Vd から Van まで非常に長く、行の多い式になるが行列式表現だとコンパクトな形で表現できる。

計算機はまずはエデターからの回路図をキルヒホッフの法則に当てはめ (611-3) の方程式を作るわけです。

◇6.1.2 回路方程式の解法 (反復繰り返し計算)

方程式を解いて各ノードとパスの電流を求め、Fig6.1.1.3 のように波形画面に反映するのがシミュレーター解析動作の後半となります。

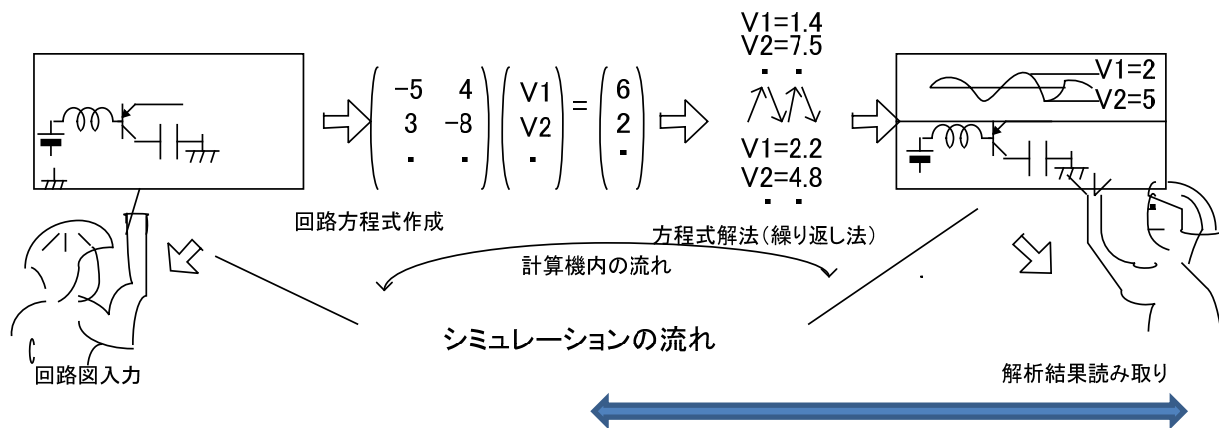


Fig6.1.1.3

計算機は単純作業を高速で繰り返すのを得意とします。

多くのシミュレーターにおいては反復法という解法が用いられています。

(611-3) 式を反復法を適用して V_a, V_b を解いてみる。

(611-3) 式は 2 元 1 次 の方程式

$$2V_a - V_b = 3 \quad \rightarrow \quad V_b = 2V_a - 3 \quad \text{--- (311-4) ---} \quad \text{下の文中では (4)}$$

$$-V_a + 2V_b = 0 \quad \rightarrow \quad V_b = V_a / 2 \quad \text{--- (311-5) ---} \quad \text{となります。下の文中では (5)}$$

反復法の初回はまず解く対象の未知数 (ここでは V_a, V_b) に仮りの数値決めを (4) に V_b 入れ V_a を求め、(5) 式に V_a を入れ V_b を求めます。に入れを求めます。次回はその求めた V_a 、を (4) 式と V_b を (5) 式に入れそれぞれ V_a と V_b を求めます。(4) 式で得られら V_a 値を次回 (5) 式に、(5) 式で得られた V_b 値を (4) 式に代入のように交互に。これを繰り返し行くと V_a と V_b が各々ある一定の数値に収束して行きます。

充分収束した時点で繰り返しをとめて V_a, V_b の解とする。この V_a, V_b が解というわけです。

この様子を数回手計算でトレスしたのが次の表 Fig6.1.1.4 です。

	初期値(V)		反復後(V)	
	V_a	V_b	V_a	V_b
反復初回	2	2	2.500	1.000
反復2回	2.500	1.000	2.000	1.250
反復3回	2.000	1.250	2.125	1.000
反復4回	2.125	1.000	2.000	1.0625

Fig6.1.1.4

またこの表に合わせ V_a, V_b 軸のチャートにプロットすれば fig6.1.1.5 となる。
 数値入りの黒点は繰り返し回数と V_a, V_b 値の位置である。収束点は (4) (5) 式の交点になっ
 ていることが分かる。反復法が (3) 式の解に繰り返し順に収束するのがわかる。

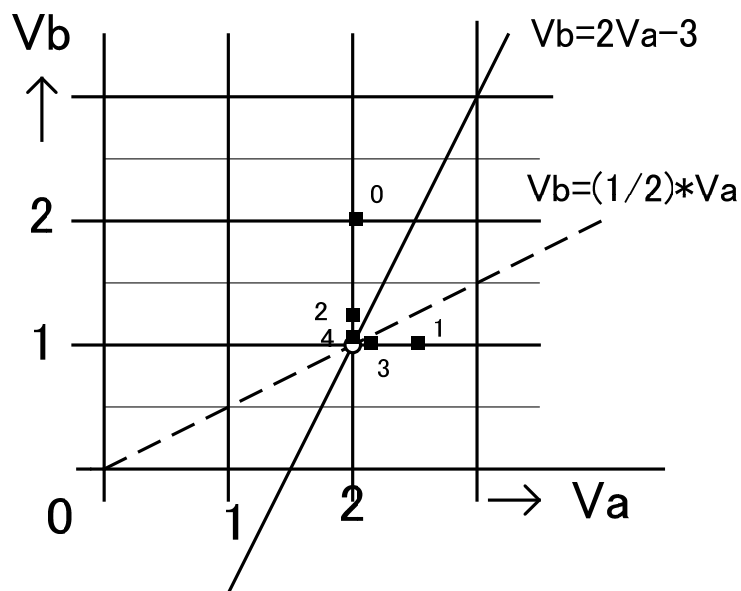


fig6.1.1.5

Fig6.1.1.6 は実際に LTspice で行った fig6.1.1.2 の解析結果である。

$V_a=2V, V_b=3V$ が解析されている。解析結果波形を見た時その後ろに上記説明の行列
 式や反復法の計算機動作がおこなわれている訳である。

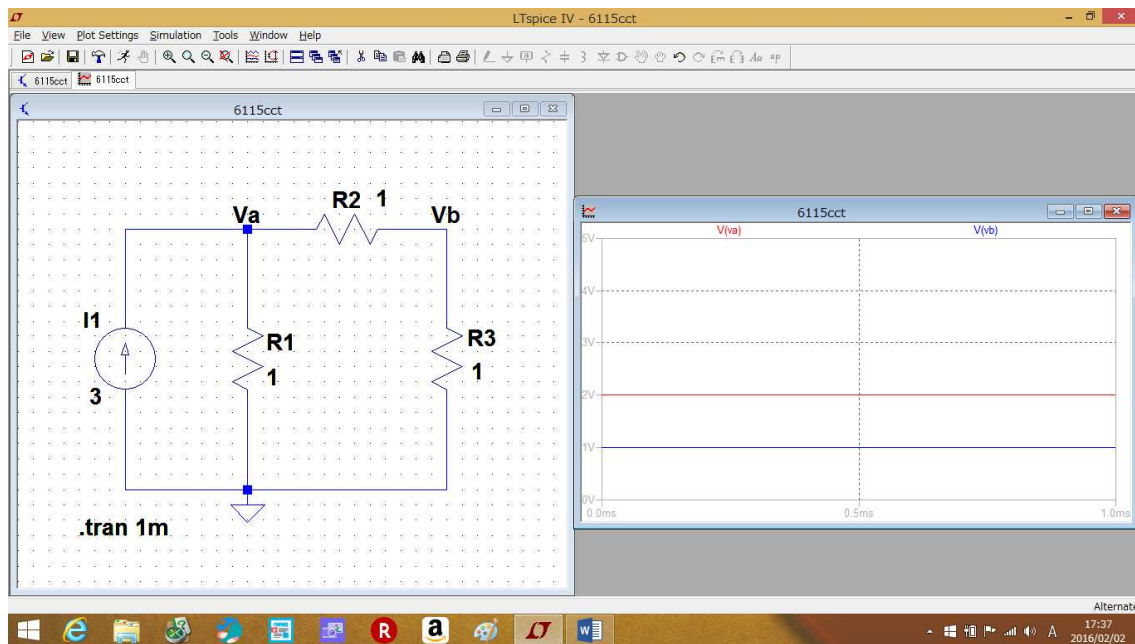


Fig6.1.1.6 (6116cct)

6.2 解析計算の収束性

反復法の解説で初回の仮の数値（初期値）を結果に近い数値に選んでいたが、どこを選ぶかは重要であり各種シミュレーターによりいろいろ工夫がされている。アナログ回路の別によって収束性に幾分の差がある。

◇6.2.1 リニア回路の解析

シミュレータで用いる反復繰り返し計算はリニア回路(線形回路)との相性が最も優れます。これは回路状態の変化がなだらかであり、反復繰り返しスタートの初期値に前解析ポイントの解析値と今回解析されるポイントの結果解析結果が常に近い値にあるからです。

繰り返しスタートの回路状態がと解析される結果の回路状態と近ければ繰り返し回数が少なく短時間で繰り返しは収束するからです。

元来回路シミュレーターはリニア回路用に利用されたものである。

◇6.2.2 非線形回路の解析

非線形回路解析では前サンプリングポイントの回路状態と解析されるポイントの回路状態間変化がリニア回路より大きくなる可能性があるがリニア回路と大差はなく収束時間が増す状況ではない。不連続状態のない非線形であれば一般シミュレーターで十分対応可能です。

◇6.2.3 スイッチング回路の解析

LC 回路内のスイッチングを含む解析はシミュレーターの収束動作が難しくなる状態が発生する事象が多くなります。

電源回路などでサージやスパイク的波形が発生する時は初期値に設定する前ステップの解析値とスパイクのレベル値が大きく離れ反復法が収束できないことが起こり得ますこの子の状況を fig6.2.3.1 に示します。

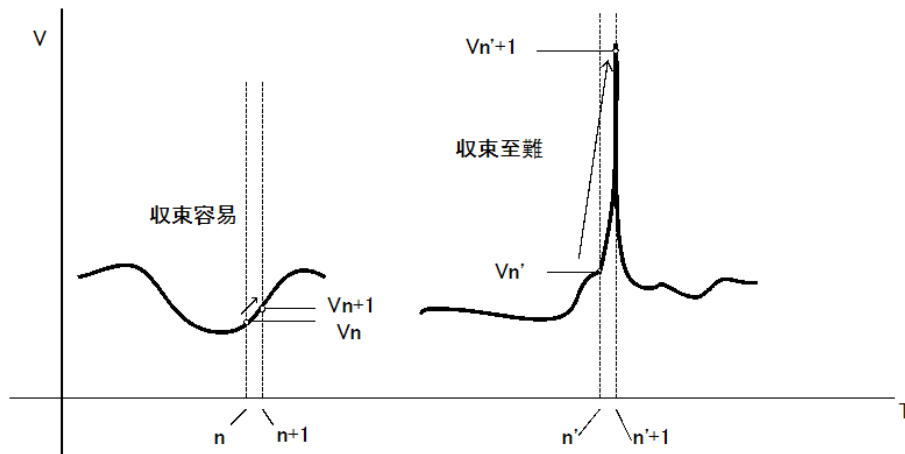


Fig6.2.3.1

LTspice は spice のパルス回路対応として開発された経過からある程度の急変波形の解析は収束可能であるがサージ、スパイクなどへの対応は完全とは言えない。

被解析回路作成技術者は繰り返し法の収束のメカニズムを理解しトポロジー解析には不要なスパイクなど抑圧した回路を作る工夫が必要である。(次項で再度触れる)。

6.3 シミュレータを高速で動かす

◇6.3.1 サージ、スパイク波形の抑圧

電源用途のスイッチング回路では LC 回路電圧、電流の on-off が行われ 電圧や電流サージが発生する。また LC の共振で回路インピーダンスがゼロや無限になりやすい。

このような波形やインピーダンス状態は 先の項 6.1.2 の反復繰返しでの収束時間が長くなるか、あるいは収束不可となりシミュレーションできないことがある。

シミュレーションし易くあるいはシミュレーション解析時間を短くするためには被解析回路自体に基本動作に影響が出ない程度の値の CR や抵抗のを追加やスイッチに損失を内蔵するマクロモデルのトランジスタの適用でサージ波形やインピーダンスの急変を抑えておくことが効果的である。この回路例を fig6.3.1.1 に示す。

(1) (2) は電圧サージ対策、(3)は零インピーダンスの緩和、(4) は無限大インピーダンスの緩和、(5) 理想 SW のマクロモデル SW への置き換えでの CR 挿入 である。

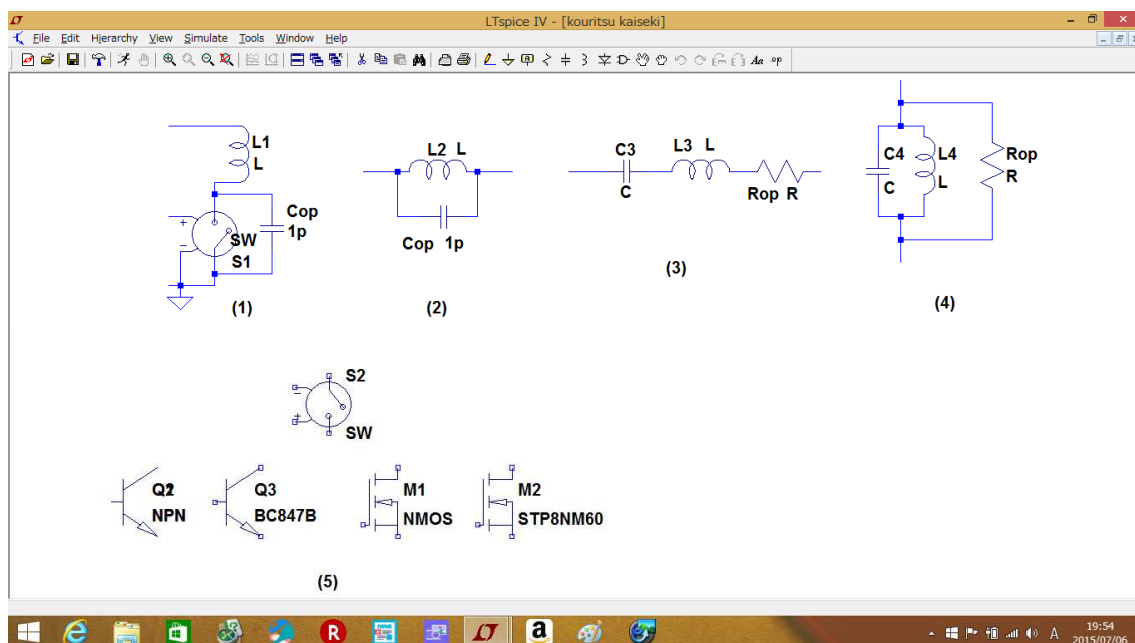


Fig6.3.1.1

これらの実施例のうちの (1) の例を fig6.3.1.2 に示す。

Fig6.3.1.2 では先にカレントモード fig4.1.2.3 で紹介した回路である。

メインスイッチ npn のコレクター エミッター間 に 1p のコンデンサーを付加してある。

この 1p を削除した時には収束が困難になり解析が不能である。

実感されてください。スイッチ時サージ波形が 1p で緩和されると推定できます。

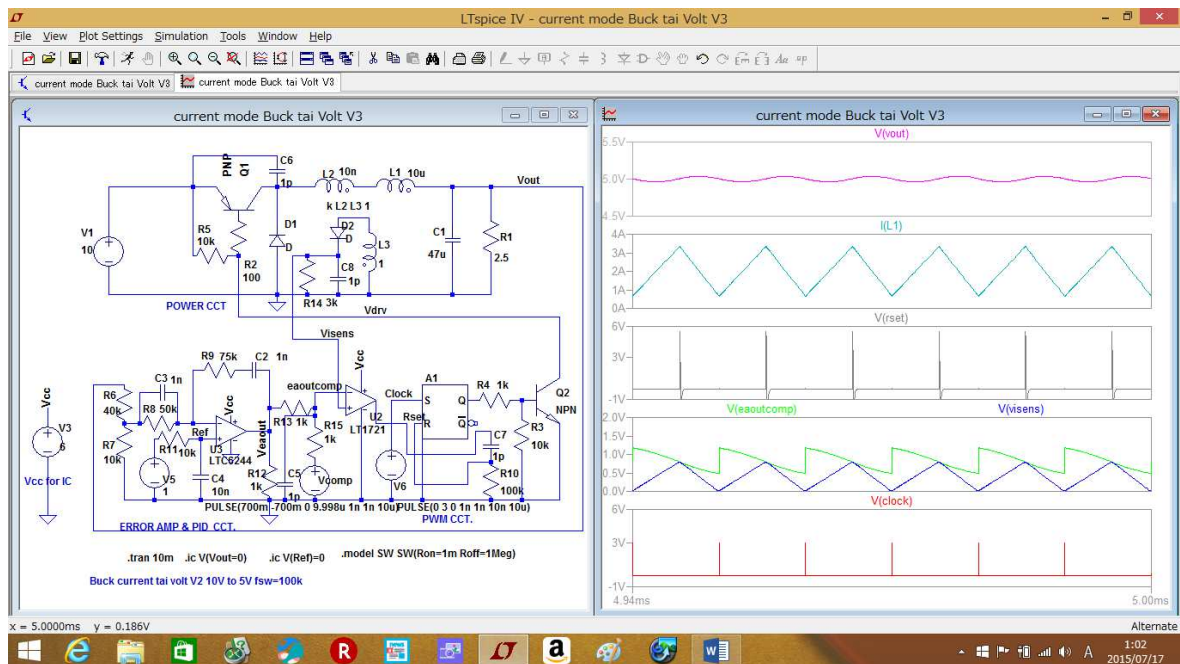


Fig 6.3.1.2 (4123cct)

◇6.3.2 解析エンジンでの解析効率向上

LTspice は解析エンジンを 2 モード (normal と alternate) を用意している。エンジンのアルゴリズム自体は詳細開示されていないが normal で収束できない時には Alternate で対応すると収束できることがある。

Alternate は時間ポイント当たりの収束は時間を要するが収束不可の割合が低下するので総解析期間は必ずしも長くない。

◇6.3.3 パルス回路から AC 回路へ

LTspice のアルゴリズムは公開されていないが 正弦波を解析する .ac 解析は非常に高速で動作する (正弦波はアナログの代表であり解析ステップの初期値など明確である為必ず収束するためとも推定できるが)。

本書では LLC 電源動作	2.4.2 項
非接触給電	2.6.1 項
LTspice による FRA2	4.2.5 項
制御回路の設計 (ボルテージモード)	4.2.6 項
制御回路の設計 (ボルテージモード)	4.2.7 項

において

パルス回路を同機能の正弦波アナログ回路で置き換えることで解析時間を飛躍的に短縮した。

第7章 電源回路解析に多用する数式

7.1 素子に流れる電気量

◇7.1.1 インダクター関連 数式

インダクターを構成する素材が磁気飽和しないで動作できる範囲では

インダクタンス : L (ヘンリー H)

印加電圧 : V (ボルト V)

印加時間 : T (秒 S)

流入電流 : I (アンペア A)

蓄積エネルギー : E_g (ジュール J $E \times$ 繰り返し回数 $n = WS$)

電力 : W (ワット J/S)

• $I = (L/V) * T$ (電圧印加後 T 秒の流入電流)

$L=10\mu\text{H}$ $V=10\text{V}$ $T=20\mu\text{S}$ のとき $I = (10/10\mu) * 20\mu = 20\text{A}$

• $E_g = (1/2) L * I^2$ (T (20 μS 秒後にインダクターに蓄積されるエネルギー)

$E = (1/2) * 10\mu * 20^2 = 0.002\text{J}$

• $W = 0.002\text{J} \times 25,000 \text{ 回/S} = 50\text{J/S} = 50\text{W}$ (上記 E_g を 25khz で伝送に値する力)

Fig7.1.1.1 に上記波形上段からインダクタに流入する電流波形 (10V 20 μS 印加)、2 段目流入切断後の電流放出波形 (20 μS 放出)、とんで最下段放出電力 (50W 45.44W となるのはダイオード損失による) を LTspice .tran の波形解析で観測できる。

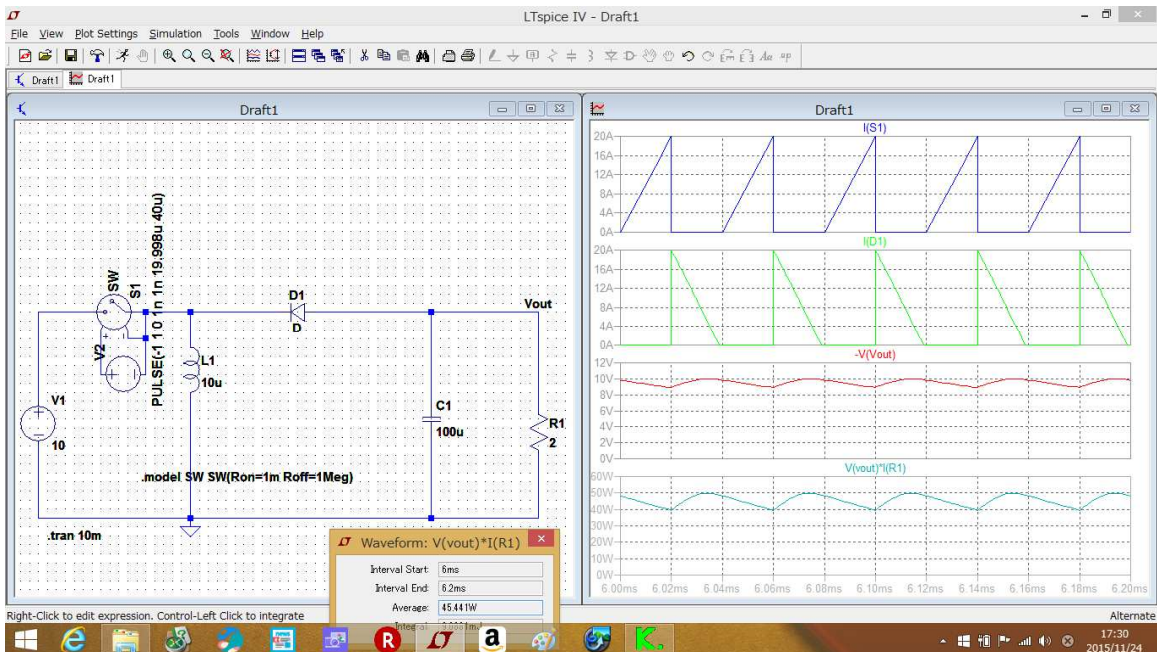


Fig7.1.1.1 (7111ect)

◇7.1.2 キャパシタ（コンデンサー）関連 数式

キャパシタを構成する素材が耐圧破壊しないで動作できる範囲では

キャパシテイ： C (ファラッド F)

印加電流： I (アンペア A)

印加時間： T (秒 S)

上昇電圧： I (ボルト V)

蓄積エネルギー： E_g (ジュール J $E \times$ 繰り返し回数 $n=WS$)

電力： W (ワット J/S)

・ $V = (I/C) * T$ (電圧印加後 T 秒の流入電流)

$C=10\mu F$ $I=10A$ $T=20\mu S$ のとき $V = (10/10\mu) * 20\mu = 20V$

・ $E_g = (1/2) C * V^2$ (T (20 μS 秒後にキャパシタに蓄積されるエネルギー)

$E = (1/2) * 10\mu * 20^2 = 0.002J$

・ $W = 0.002J \times 25,000 \text{ 回/S} = 50J/S = 50W$ (上記 E_g を 25kHz で伝送に値する力)

Fig7.1.2.1 に上記波形上段からキャパシタ上昇電圧波形 (10A 20 μS 印加)、2 段目流入切断後の電圧放出波形 (短時間)、3 段目放出電流波形(短時間)、とんで最下段放出電力 (50W 49.69W となるのは SW 損出による低下) である。解析は 25kHz (40 μS 毎) の充放電のため放電時間(20 μS)内に完全放電し次サイクルに備える。このため低抵抗負荷で短時間放電している。短時間のため放電電流は大きく放電時間は短く放電波形はほぼ瞬時見える波形の状態で解析されることになる(時間拡大すれば幅が見える)。

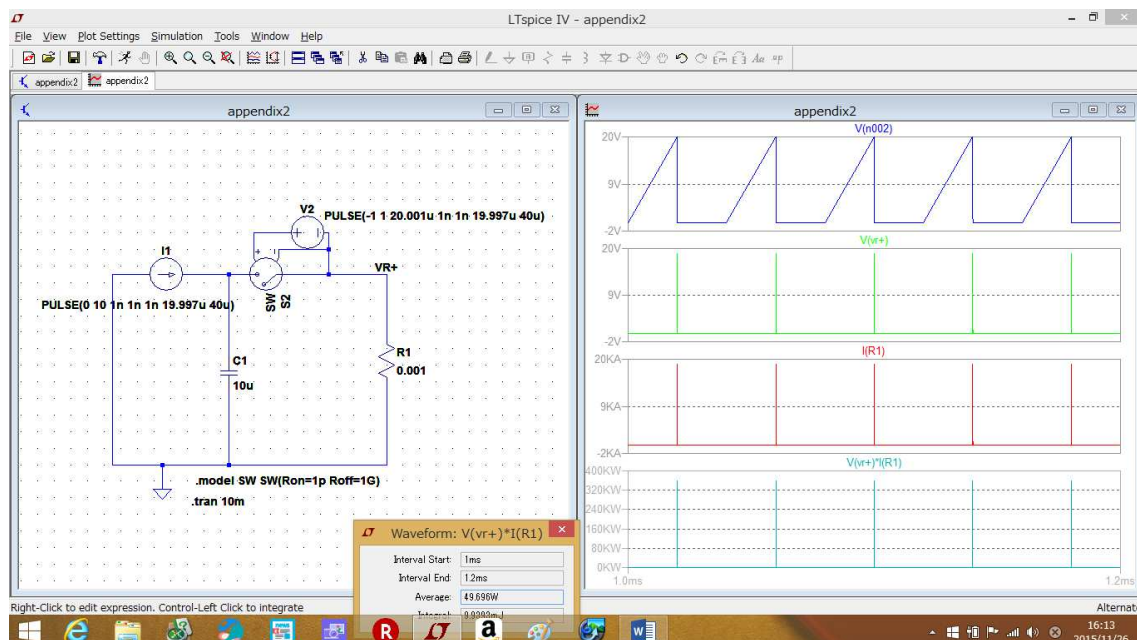


Fig7.1.2.1 (7121cct)

7.2 オペアンプのゲインと位相

◇7.2.1 直流増幅 数式

オペアンプは非反転 (+) 入力と反転 (-) 入力と両入力の差電圧を増幅した出力端子を有する増幅器である。またゲインは直流処理では 100dB を超す。

非反転入力と反転入力を利用すると多様な増幅が可能となる。Fig7.2.1.1 にその増幅器の接続と名称を示す。

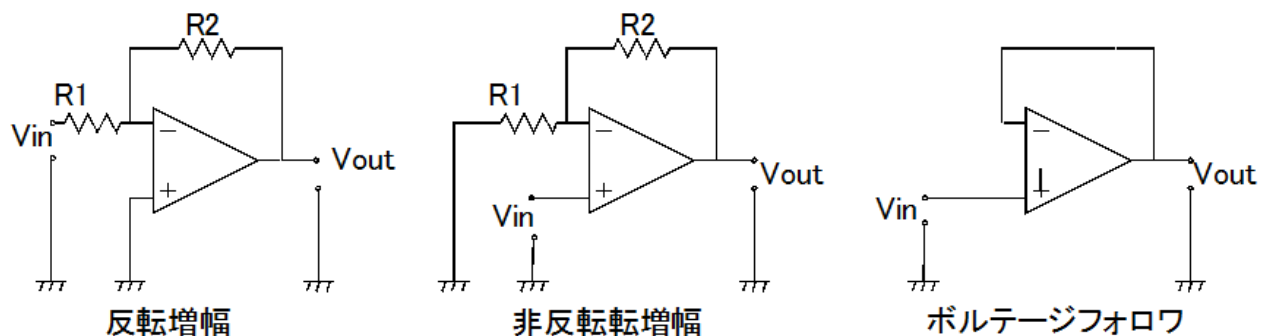


Fig7.2.1.1

反転増幅の V_{in} , V_{out} 間のゲインは下式から

$$V_{out} = -(R2/R1) * V_{in} \quad G = V_{out}/V_{in} = -R2/R1 \dots \dots \dots (721-1)$$

この式はオペアンプのゲインが非常に大きいときバランス状態になったときは V_{out} が深い (-) になりその (-) が $R2$ 通してと $R1$ の V_{in} でバランスし反転入力に帰還された反転入力 (-) 端子電圧と非反転入力端子 (+) 間の電圧ともに 0 となる (イマジナル・ショートということから求められる。(-) 端子電圧が 0 ということは電流で考えれば入力端子間に電流は流れない式

$$(V_{in} - 0) / R1 = [(0 - V_{out}) / R2] \text{ から求められる。}$$

非反転増幅の V_{in} , V_{out} 間のゲインは下式から

$$V_{out} = \{(R1 + R2) / R1\} * V_{in} \quad G = (R1 + R2) / R1 \dots \dots \dots (721-2)$$

この式はやはり イマジナル・ショートの $V_{in} / R1 = (V_{out} - V_{in}) / R2$ から求められる。

ボルテージフォロワ

$$V_{out} = V_{in} \quad G = 1 \quad \dots \dots \dots (721-3)$$

非反転の $R2$ が 0 として求められる。

ボルテージフォロワは増幅器よりローインピーダンス信号用のインピーダンス変換回路として用いられる。Fig7.2.1.2 に上記各回路の.tran 解析を示す。

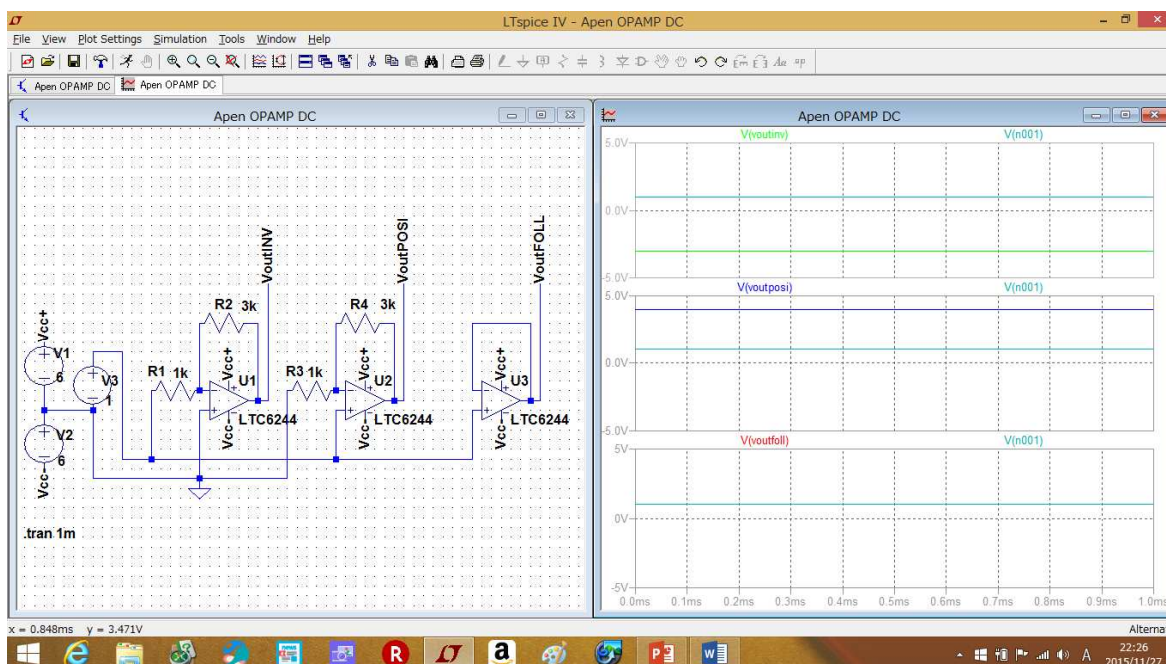


Fig7.2.1.2 (7212cct)

◇7.2.2 交流増幅 数式

前項の直流回路式は交流においても適用可能である。電源回路用オペアンプ回路においてはアンプ内寄生のリアクタンス (L,C) で起こる周波数特性も考慮し交流解析で増幅を解析する必要があり.ac 解析が必要となる。オペアンプと抵抗の増幅回路を.ac 解析した結果を fig7.2.2.1(代表して反転増幅のみ)に示す。反転極性は位相(-180° で表示)される。

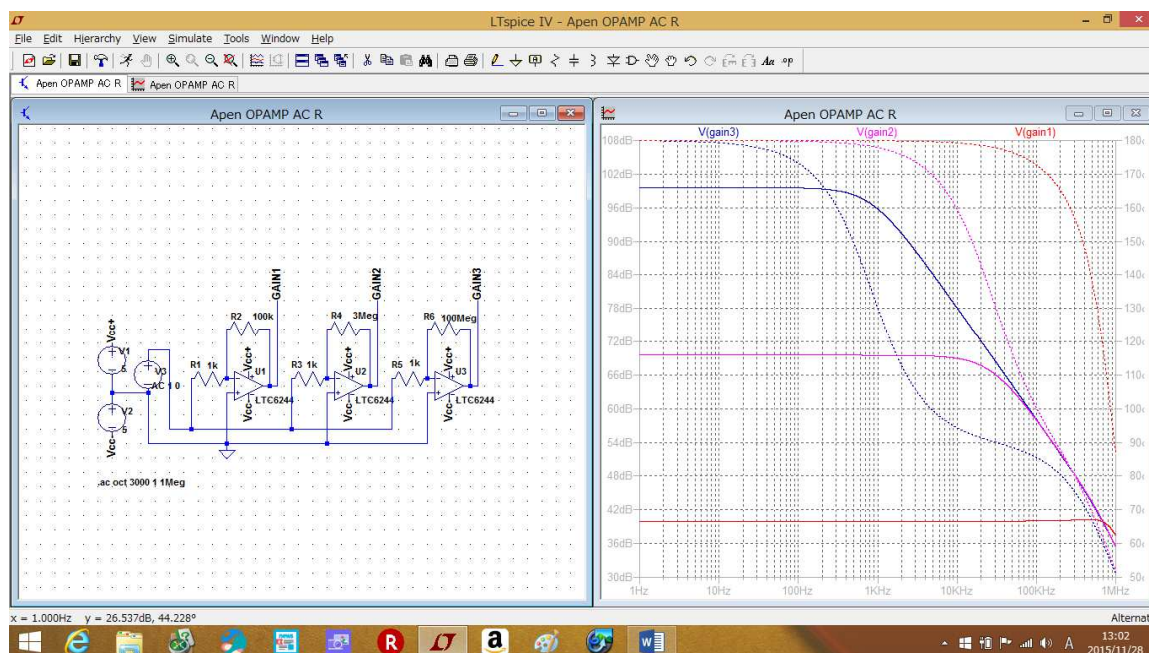


Fig7.2.2.1 (7211cct)

解析結果は各 R2/R1 に対応したゲイン dB になる (100k/1k では 40dB 等なる)。周波数軸では 100k/1k、3Meg/1k、100Meg/1k 各対応してポールが 800hz、2khz、700khz に生じる。pole 以下の周波数領域では 7.2.1 項の数式によるゲインであり平坦ということが分かる。制御設計行った pole、や zero はこのオペアンプゲイン特性以内の周波数部分で設計されることになる。また位相はゲイン平坦部は -180° で反転増幅を表示している。

◇7.2.3 制御回路設計の 数式

オペアンプに抵抗とコンデンサーを用いて pole や zero を設計するときの素子定数は次の式から設計される。

$$\text{Pole1 周波数 } fp1 = 1 / (2\pi * R2 * C1) = 0.7\text{hz} \text{----- (723-1)}$$

$$\text{Zero1 周波数 } fz1 = 1 / (2\pi * R3 * C1) = 3.3\text{khz} \text{----- (723-2)}$$

$$\text{Pole2 周波数 } fp2 = 1 / (2\pi * R2 * C2) = 100\text{khz} \text{----- (723-3)}$$

$$\text{pole1 以下の帯域のゲイン } G(f < fp1) = R2/R1 = 5000 \text{ (74dB)} \text{----- (723-4)}$$

$$\text{pole1 zero1 間の傾斜 } -20\text{dB/dec} \text{----- (723-5)}$$

$$\text{zero1 pole2 間のゲイン } G(fz1 < f < fp2) = R3/R1 = 10 \text{ (20dB)} \text{----- (723-6)}$$

$$\text{pole2 以上の帯域の傾斜 } -20\text{dB/dec} \text{----- (723-7)}$$

この定数をオペアンプの制御設計に施し LTspice の .ac 解析した結果が fig7.2.3.1 である。チャートでは補正無しの裸オペアンプのゲインと比較して解析している。

設計された pole と zero は裸オペアンプ特性の内側に存在することになる。したがって制御される電源のスイッチング周波数が Mhz オーダーと高いケースでは本例の LTC6244 のオペアンプでは制御設計が難しくなる。

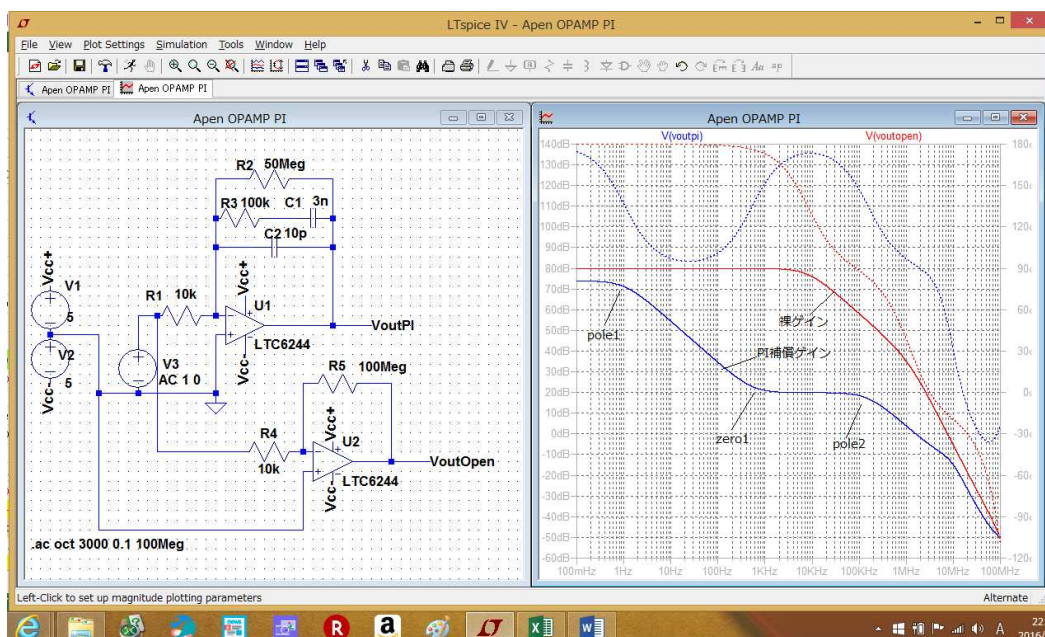


Fig7.2.3.1 (7231cct)

完

長編の資料にお目通しありがとうございました。
今回は初版ですので多くの校正ミスや読みづらい文章があったと思います。
時間をかけて改定に努める所存です。
今後ともよろしくお願ひ申し上げます。

平成 28 年 2 月 17 日
K-A.tech. 代表 荒川洗治